

Charakteristika, vznik a rozdělení PLD

- Je to obvod, který pracuje s **digitalními signály** pomocí **tranzistorů a hradel**.
 - Tranzistor - spínač
 - MOSFET
 - N-MOS - otevře se když má na vstupu 1 - pustí proud k zemi
 - P-MOS - otevře se když má na vstupu 0 - pusí proud k napájení
 - díky kombinaci několika tranzistorů vzniká hradlo
 - Hradlo - provádí jednoduché operace
 - NOT - negace - opačná hodnota
 - AND - všechny vstupy 1 aby byl výstup 1
 - OR - alespoň jeden vstup 1 aby byl výstup 1
 - NAND - všechny vstupy 1 aby byl výstup 0
 - NOR - žádný vstup 1 aby byl výstup 1
 - XOR - vstupy musí být různé aby byl výstup 1
 - Nemají předem danou funkci - to jim dává programátor.
 - Mají vstupní část a signál prochází propojenými hradly
 - tím tvoří nějakou funkci s nějakým výstupem
 - existuje zpětná vazba - to je že vstup závisí na předěšlém výstupu
 - Nekompilujeme, ale syntetizujeme - vytvoříme si svůj vlastní obvod

Vznik

- Nahrazují kombinační a sekvenční obvody
 - kombinační - výstup závisí jen na aktuálních vstupech
 - sekvenční - výstup závisí na vstupech a předchozím stavu (má paměť)
- Abychom prostě nemuseli stavět obvod pro naši potřebu - hradla, registry, čítače
 - tak se postavilo PLD který si naprogramuješ a nemusíš si stavět svůj výjimečný

Rozdělení

- **PROM (Programmable Read-Only Memory)**
 - nejjednodušší PLD
 - možnost naprogramovat jen jednou - potom se jenom čte
 - programuje se vypálením některých pojistek
- **SPLD (Simple PLD)**
 - čip spíš pro kombinační logiku
 - po vypnutí a zapnutí najede to co tam bylo nahráno
 - prostě několik hradel spojených - dekodéry, multiplexéry, řadiče
 - PAL, PLA, GAL
- **CPLD (Complex PLD)**
 - přišly makrobuňky - začaly stavové automaty - více SPLD propojených
 - řadiče, konfigurace chipsetu, klávesnice
 - už pro více složitější operace
 - uchovává jak má být obvod zapojen - EEPROM
 - programování HDL jazykem (Hard Descriptional Language) - syntetizace
- **FPGA (Field Programmable Gate Array)**
 - nejvýkonnější typ PLD
 - tisíce až miliony logických obvodů - možnost libovolného naprogramování
 - jsou už logické bloky namísto makrobuňek
 - napamatují si konfiguraci - musí se jí znova nahrát z pomocné paměti
 - tváří se to jako procesor
 - programování HDL jazykem (Hard Descriptional Language) - syntetizace

Výrobci

- Xilinx, Lattice, Intel

Programovací jazyky

- HDL, VHDL, Verilog

PLD a NPLD

- Charakteristika, vznik a rozdělení PLD
- Popis dílčích PLD obvodů
 - PLA, PAL, GAL, CPLD, FPGA
- Makrobunka vs. logický blok
- Vývojové prostředí WebPack
 - PLD kompilátor
- Charakteristika NPLD
- Popis a využití vybraných obvodů
 - 74164, 74166, 74595, 74573, 74244, 74245, 74688, 74193

Makrobuňka vs Logický blok

- Makrobuňka - OLMS (Output Logic Macro Cell)**
 - základní částí je D-klopný obvod a pomocná hradla
 - pro sekvenční automaty a pamatování předchozího stavu - kombinační
 - ANDy, ORy, Hradla
 - u CPLD
 - složení více makrobuňek dohromady tvoří Logický blok

Logický blok

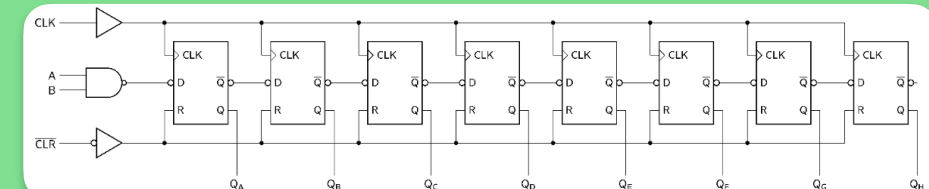
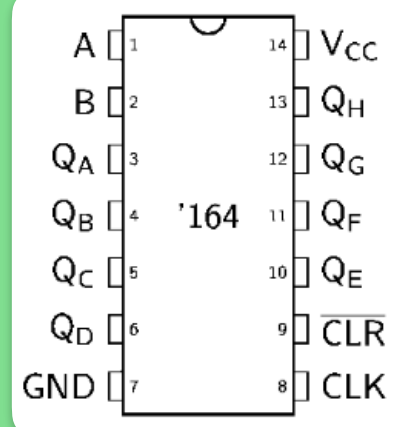
- více makrobuňek propojených společně
- dovoluje se libovolně propojit mezi bloky
- plně programovatelný
- u FPGA
- potřebuje paměť, nepamatuje si předchozí stav po restartu
- využívá pro vlastní čipy, procesory

NPLD - Non Programmable Logical Device

- Integrovaný obvod, který má pevně danou funkci.
- použití
 - posuvné registry
 - zachytňné registry
 - posilovače sběrnice
 - komparátory
 - čítače

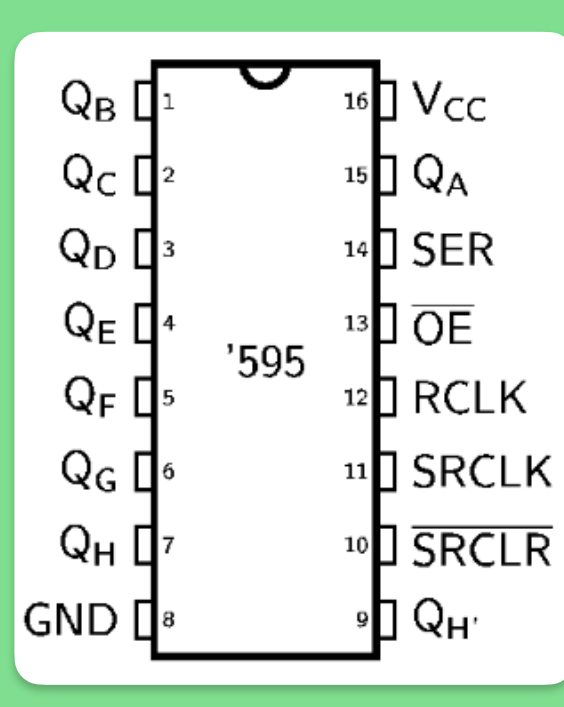
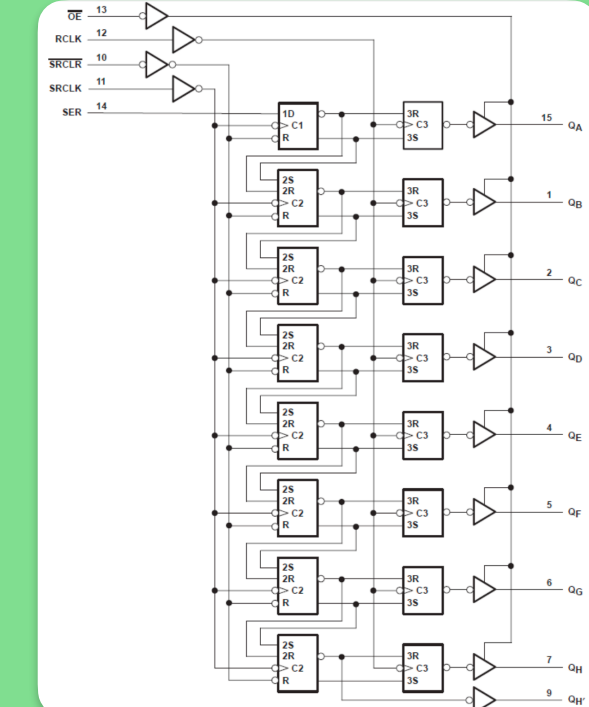
74164

- 8bit posuvný registr
- seriové -> paralelní
- 2 vstupy - A, B
- CLR - pro vymazání
 - aktivní v 0
- CLK - pro posun o 1bit
 - minimálně 8 clk, aby se registr naplnil
- použití
 - rozšíření počtu výstupů
 - vysílací jednotka - pro připojení na paralelní vstup
 - aby neplýtvat kabely



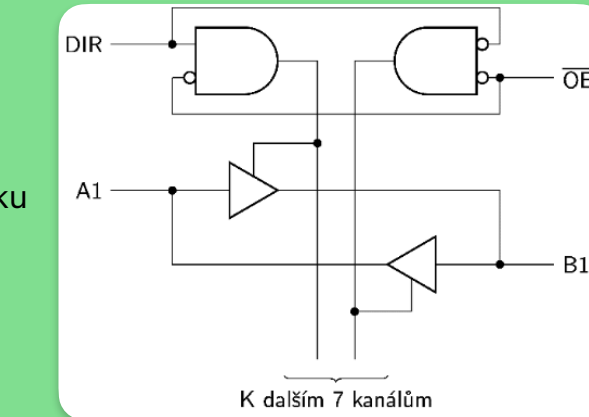
74595

- 8bit posuvný registr
- seriové -> paralelní
- vstupy
 - SER - nové bity, seriová informace
 - SRCLR - reset
 - SRCLK - Shift - posun o 1bit
 - RCLK - obsah registru se překlápí na výstupní reg.
- OE - Output Enable - buffer aktivní v 0
 - má 3-stavový výstup
 - 1, 0, nebo stav vysoké impedance (chová se jako by nebyl připojený)
 - umožní nám mít jen čistou informaci
 - je tam 1 a když dame 0 celá hodnota se najednou přepíše - bez odporu
- použití tam kde se mají objevovat jen konkrétní data - světelné tabule



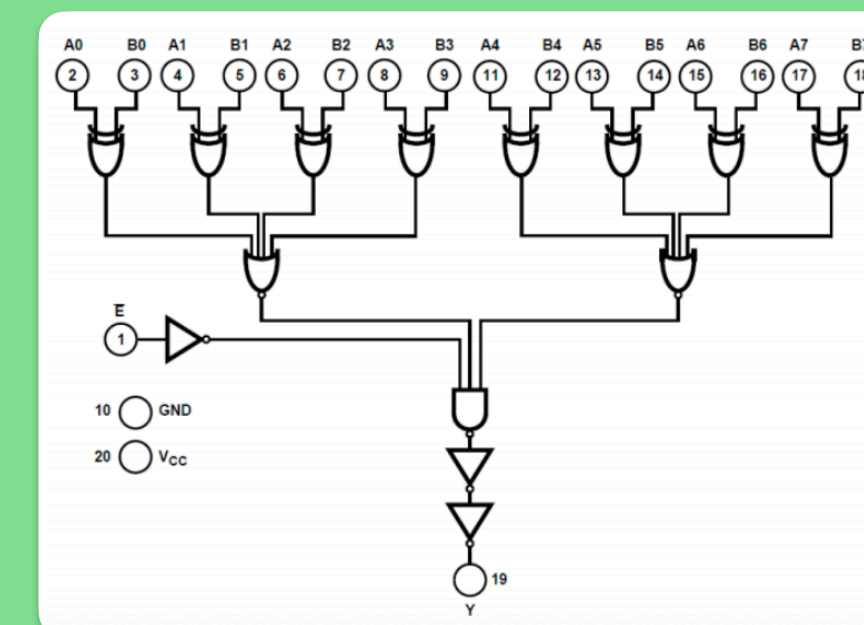
74245

- 2x 8bit obousměrný budič
- posilovač sběrnice
- jsme schopni měnit směr
- vždy jen jeden směr v daném okamžiku
- signály
 - DIR - směr - 1 (A->B) | 0 (B->A)
 - OE - 3 stavový výstup
- výstup - 3,3V nebo 5V
- možnost spínat náročnější součástky



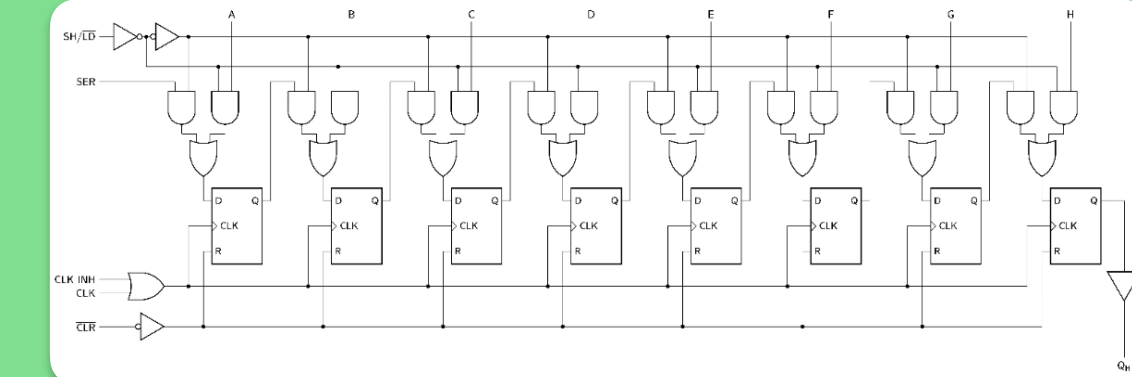
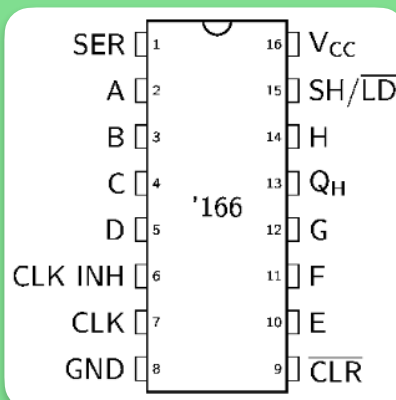
74688

- 2x 8bit Komparátor
- porovnává dva čísla a říká jestli jsou shodné nebo ne
- hradla shora
 - XOR - eXklusivní - jedno z toho - detekce rozdílů
 - NOR
 - NAND
- 2x inventar - posílení výsledku
- signály
 - E - aktivace v 0
- pokud jsou shodné na výstupu je 0
- vyhnout se u maturity



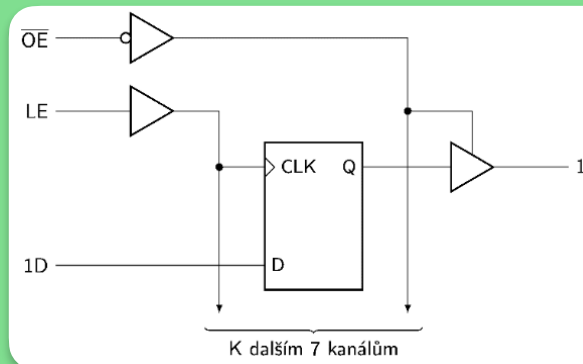
74166

- 8bit posuvný registr
- paralelní -> seriovou
- opak '164
- SH a LD
 - Shift - posun | Load - nahrání - aktivní v 0
- v 1 posouváme - vznikají nové bity
- v 0 nahráváme - načtení dat z paralelních vstupů
- SER - Seriová informace
 - nový bit, který se načte při posunu - SH=1
 - je tam pro připojení více těchto obvodů za sebou
 - SER je tam pro možnost rozšíření
- CLK - clock
- CLK INH - poddržení, zastavení clocku
- CLR - vymazání toho co je v obvodech



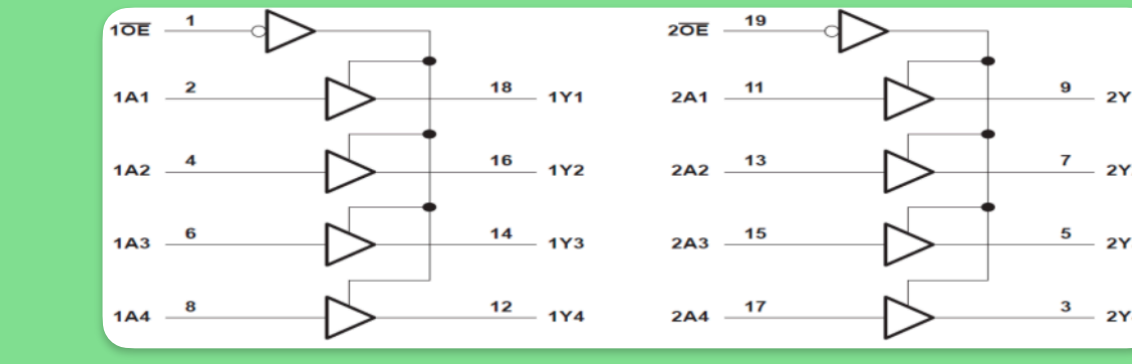
74573

- 8bit střadač / zachytňný registr
- k dočasnému uchování dat
 - hodnota na výstupu se nemění
 - až jak přijdou další data
- ten trojúhelník na LE slouží jako buffer
 - aby napětí neklesalo
- signály
 - LE - Load Enable
 - dokud je v 0 - probíhá clear - žádné data
 - když je v 1 data z D se přepíšu na výstup
 - OE - Output Enable
 - řídí třístavový výstup
 - jen když ho povolíme data se oběví na výstupu
- Je jich tam 8, ne 1 jak na obrázku



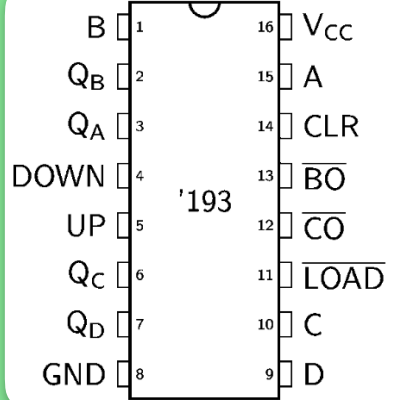
74244

- 2x 4bit jednosměrný budič
- posilovač sběrnice
 - pro možnost odebrání většího proudu
 - po připojení velkého spotřebiče na pin se nám může spálit
- co dělá?
 - umožňuje práci tomu zařízení
 - dodává mu větší napětí
 - chrání procesor - stojí to asi 5kč
 - zachrání procesor za pár stovek
- 3 stavový výstup zase
- výstupy - 3,3V nebo 5V



74193

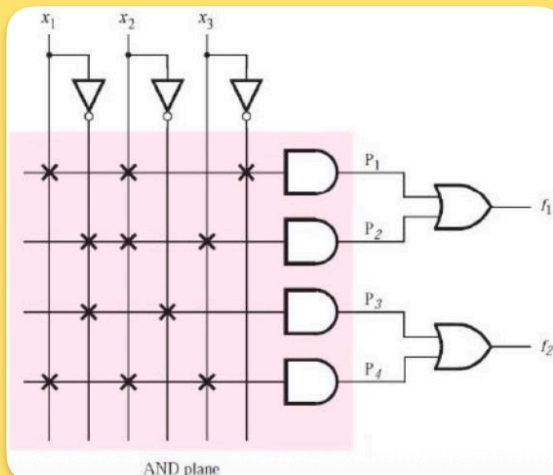
- 4bit obousměrný čítač - nahoru a dolů
 - od 0 do 15
- umožňuje kaskádování
 - připojení více čítačů za sebou
 - 2 čítače - možnost počítat do 255
- 4vstupy
- signály
 - CLR - reset
 - LOAD - nahrání hodnoty - aktivní v 0
 - CO - Carry Out - přetečení - 1111 -> 0000
 - BO - Borrow Out - přetečení naopak - 0000 -> 1111
 - DOWN - odečte při LOAD v 0
 - UP - přičte při LOAD v 0
- složen z 4 JK klopných obvodů
- možnost omezení počítání - reset u 9 třeba



Popis dílčích PLD obvodů

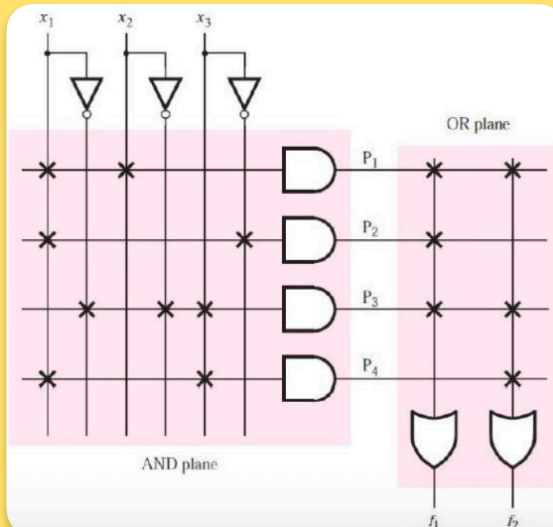
PAL - Programmable Array Logic

- součást SPLD
- můžeme programovat pouze pole ANDů
- ORy jsou dané natvrdo
- kde jsou křížky tam ro je rozpojené - tranzistory
- programování pomocí pojistek - vypálení - jednorázově



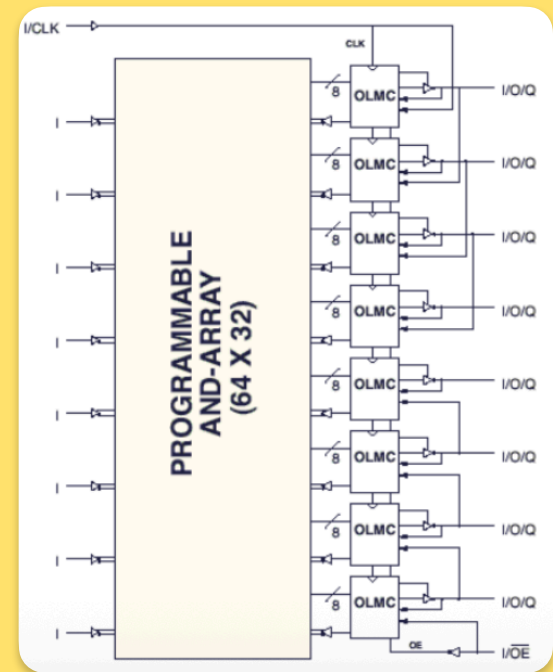
PLA - Programmable Logic Array

- součást SPLD
- jsou programovatelné jak ANDy tak ORy
- kde jsou křížky tam ro je rozpojené - tranzistory
- programování pomocí pojistek - vypálení - jednorázově



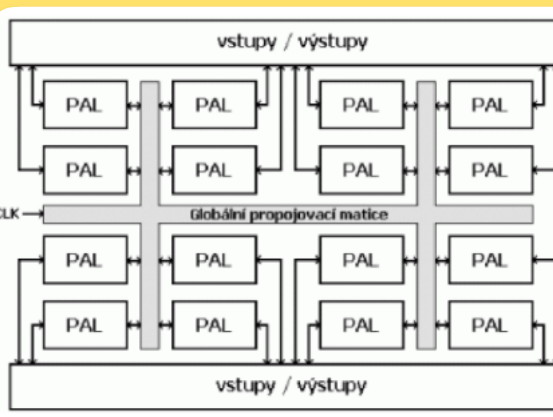
GAL - Generic Array Logic

- součást SPLD
- je to PLA s přidávkem OLMC
 - makrobuňka výstupní logiky
 - pro uložení předchozího stavu - může ovlivnit vstupy
 - stává se z toho sekvenční obvod místo kombinačního
 - skládá se z D-klopných obvodů - jednobitová paměť - registr



CPLD - Complex PLD

- více PAL propojených maticí
- složitější SPLD - více makrobuňek



FPGA - Field Programmable Gate Array

- obsahuje tisíce až miliony logických bloků - místo makrobuňek
- bloky komunikují se sebou nezávisle - nezpomaluje to celý běh
 - každý blok se stará o sebe
 - komunikují přes nějakou centrální sběrnici
- ke každému IOB je přiřazen pin abychom s ním mohli pracovat
 - Jako na STM32
- nejsložitější
- musíme mít externí paměť - nepamatuje si stav po restartu
- tváří se jako procesor
- jsou tam speciální obvody jako PLL - násobení frekvence

