

东南大学 考试卷 (A卷)

课程名称 计算机组织与结构 考试学期 09-10-3 得分
 适用专业 计算机 考试形式 闭卷 考试时间长度 120 分

一、选择题 (每小题 2 分, 共 26 分)

1、冯·诺依曼模型计算机中, 程序执行过程实际上是循环的指令执行过程, 指令地址用作循环变量, 通常存放在 (A) 寄存器中。

A. PC B. IR C. MAR D. MDR

2、下列 (B) 方法有利于提高计算机中数据传送与数据处理的并行性。

A. 多总线互连 B. 以存储器为中心 C. 多种存储器共存

3、下列接收的奇偶校验码中, 若只有一个有奇数个错误, 则它是 (D)。

A. 11001011 B. 11010110 C. 11000001 D. 11000101

4、若浮点数尾数(纯小数)用补码表示, 则下列 (C) 为非格式化的尾数。

A. 0.100111 B. 1.011000 C. 1.101100

5、运算器的核心是 ALU, 为支持关系运算, 常在状态寄存器中设置 Z/C/S 位, 这些状态位应在 (B) 时改变其值。

A. 逻辑运算时 B. 算术运算时 C. 传送操作时

6、为提高主存的性能/价格, 现代计算机中内存条常由 (D) 芯片组成。

A. SRAM B. Cache C. EDO SDRAM D. SDRAM

7、虚拟存储器中, 快表(TLB)通常存放在 (A) 中。

A. CPU B. 主存 C. 辅存

8、堆栈寻址方式中, 假设 SP 为主存堆栈栈顶指示器, 若入栈操作的动作顺序是 $SP \leftarrow (SP) + 1$, $[(SP)] \leftarrow (R0)$, 则出栈操作的动作顺序应是 (B)。

A. $R0 \leftarrow [(SP)]$, $SP \leftarrow (SP) + 1$
 B. $R0 \leftarrow [(SP)]$, $SP \leftarrow (SP) - 1$
 C. $SP \leftarrow (SP) + 1$, $R0 \leftarrow [(SP)]$
 D. $SP \leftarrow (SP) - 1$, $R0 \leftarrow [(SP)]$

9、微程序控制器中, 微指令周期实现的功能与硬布线控制器中 (C) 实现的功能相当。

A. 机器周期 B. 节拍周期 C. 节拍脉冲

10、下列集中式总线仲裁方式中, (C) 方式可支持隐藏式仲裁。

A. 串行菊花链 B. 计数器定时查询 C. 独立请求

某 32 位数据宽度、总线时钟频率为 100MHz 的总线中, 若一次总线传输需 4 个总线时钟周期, 则总线带宽为 (D)。

A. 400MB/s B. 400MB/s C. 100MB/s D. 100MB/s

12、以存储器为中心的工作方式是提高计算机系统性能的重要手段之一, 下列 I/O 方式中, (C) 可实现以存储器为中心的工作方式。

A. 中断方式 B. 程序查询方式 C. DMA 方式

13、程序中断方式中, 两次数据传送的最小间隔为一个 (A)。

A. 指令周期 B. 存取周期 C. 总线周期

二、填空题 (每空 1 分, 共 16 分)

1、若 $X = -21$, $Y = +19$, 则用 8 位二进制表示的 $[X]_2 = 10010101$, $[X]_2 = 11101100$

$[X+Y]_2 = 11111110$, $[X-Y]_2 = 11101100$

2、7 位定点表示中, 用补码形式表示的有符号整数范围是 -2^7 至 2^7-1 。

3、层次结构存储系统可满足用户大容量、高速度、低价格要求的原因是程序呈现出 局部性规律, Cache-主存-辅存层次结构中, Cache 主要解决主存速度问题, 故 Cache 全部由硬件构成, CPU 按 地址访问 Cache。

4、Cache 实现技术中, 直接映像方式的块冲突概率最高, RRU 替换算法的命中率最高, 直写策略不存在一致性问题。

5、指令系统有 CISC 和 RISC 两种风格, 程序执行时间可用 $T_{\text{exec}} = I_n \times C_{\text{PI}} \times f_c$ 表示, RISC 侧重强化公式中参数 CPI 的性能(使该值较小), 而 CISC 则侧重强化公式中参数 I_n 的性能。

三、计算题(每小题6分,共24分)

$$y_2 = \frac{0.11007}{\dots}$$

2、某主存-Cache 层次结构中，主存容量 1MB、按字节编址，Cache 容量 64KB、块大小为 32B，采用 4 路组相联映像方式。① 画出主存地址及 Cache 地址的组成格式，并标出各部分的长度；② 若 CPU 访问的主存地址为 944703H 时，该主存地址可能映像到 Cache 的哪个组中？③ 若 Cache 采用 LRU 替换算法，则目录表最少需增加多少容量来存储各个块的计数器值 (LRU 位)？

3、某16位CPU约定主存单元长度为16位，指令系统的指令格式如下图所示，其中DF=000、010、100分别表示立即寻址、基址寻址、相对寻址方式，CPU中只有1个基址寄存器(简称为RB)和1个变址寄存器(简称为RI)，形式地址A用原码表示。

操作码OP	寻址方式位OP	形式地址A
-------	---------	-------

①该指令系统最多可定义多少种不同操作? ②若(RB)=0037H, (RI)=1122H, 请分别计算执行的指令为[1234H] = 4450H, [1235H] = 2512H, [1236H] = 1224H时的各指令操作数值或操作数EA

4、某CPU主频为10MHz，指令系统中含指令的指令周期均包含3个机器周期，每个机器周期均包含4个节拍周期(主时钟周期)。若程序A执行时共需执行1000条指令。①若该机器采用串行方式执行指令时，计算执行程序A所需时间。②若该机器采用流水方式执行指令时，流水线以节拍周期为拍，假设程序A中各指令间均不存在数据相关，计算执行程序A所需时间。

$T = 10^{-1} \text{ s}^{-1}$

共 4 页

第 3 页

$$T = 10^{-7} \text{ s}^{-1}$$
$$10^{-4} = 1000 \times 10^{-7}$$

1、总线周期包含那些操作步骤？简述各步骤的主要操作。

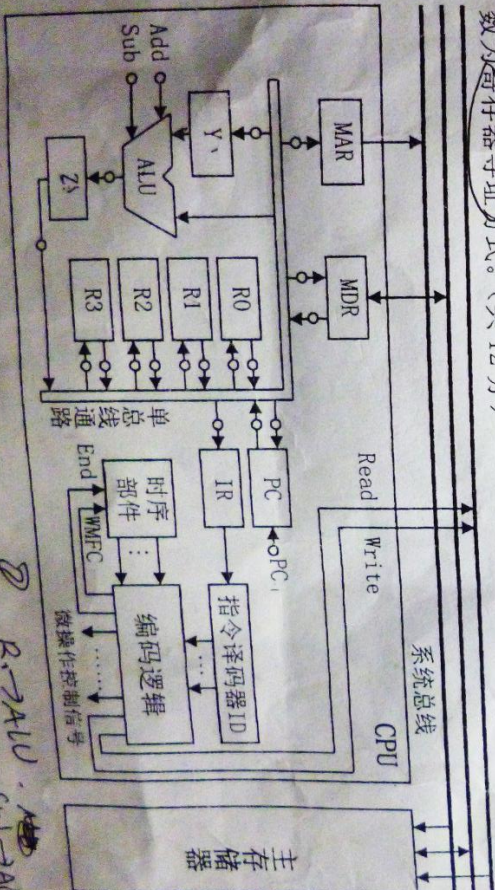
2、向量中断响应阶段需完成哪些工作？简述各个工作的主要任务。

五、欲用 $16\text{K} \times 4\text{bit}$ 的 SRAM 芯片构成 $32\text{K} \times 8\text{bit}$ 的存储器, 完成下列要求:

2) 目标存储器需由多少片 SRAM 芯片组成? 用图或表格形式说明各 SRAM 芯片在目标存储器空间中的位置(地址及数据位范围), 若目标存储器的片选信号线为 \overline{CS} , 写出各 SRAM 芯片的片选引脚信号的有效逻辑:

3) 画出目标存储器的各信号线与各 SRAM 芯片相应引脚连接的逻辑结构图, 注意标出所有相关引脚名称。(共 12 分)

六、CPU 内部结构及数据通路如下图所示，Y 中存放加数或减数，时序系统采用联合控制方式，相关微操作控制信号已在图中标出，寄存器的微操作控制信号未标出（用 $R_{X_{in}}$ 及 $R_{X_{out}}$ 表示，如 $R0_{in}$ 及 $R0_{out}$ ）。写出指令 $R0 \leftarrow [R2]$ 的微操作命令序列。其中，指令的源操作数为寄存器间接寻址方式。目的操作数为寄存器寻址方式。（共 12 分）



① $PL \rightarrow MA$, 1-Read

⑦ R. \rightarrow ALL. ~~ALL~~
SUB \rightarrow ALL, ALL.

~~ALL~~
Sub \rightarrow ALL, ALL-