

东南大学考试卷（A卷）

课程名称 计算机组织与结构 考试学期 2010-2011-3 得分 _____
 适用专业 计算机 考试形式 闭卷 考试时间长度 120 分钟
 （开卷、半开卷请在此写明考试可带哪些资料）

题目	一	二	三	四	五	六	七	八	总分
得分									
批阅人									

一、选择题（每小题 2 分，共 26 分）

1、冯·诺依曼模型计算机中，程序执行过程实际上是循环的指令执行过程，指令地址用作循环变量，通常存放在（ ）寄存器中。

- A. PC B. IR C. ID D. MDR

2、下列部件中，（ ）是使指令执行过程实现循环的关键部件。

- A. PC B. 时序部件 C. 控制信号形成部件

3、下列奇偶校验码中，采用偶校验的校验码是（ ）。

- A. 11001011 B. 11010110 C. 11001001

4、若浮点数尾数(纯小数)用补码表示，对浮点数尾数 $[X]_{补}=1.101100$ ，使其变为规格化尾数时，下列说法中正确的是（ ）。

- A. 无需规格化 B. 需左规 1 次 C. 需右规 1 次

5、计算机中关系运算常用算术运算及逻辑运算实现，为此需在状态寄存器中设置 Z/C/S/V 位，这些状态位应在（ ）时改变其值。

- A. 逻辑运算 B. 算术运算 C. 逻辑运算或算术运算

6、为提高主存的性能/价格，现代计算机中内存条常由（ ）芯片组成。

- A. SRAM B. Cache C. FLASH D. SDRAM

7、（ ）虚拟存储器中，辅存与主存间的信息交换单位的大小是可变的。

- A. 段式 B. 页式 C. 段页式

- 8、下列寻址方式中，() 寻址方式只能用于指令寻址。
- A. 立即 B. 寄存器 C. 基址 D. 相对
- 9、下列集中式总线仲裁方式中，() 方式的仲裁过程不需要主设备参与(即仲裁过程中不需要询问主设备)。
- A. 串行菊花链 B. 计数器定时查询 C. 独立请求
- 10、某 32 位数据宽度、时钟频率为 133MHz 的总线中，一次总线传输周期需 2 个总线时钟周期，则总线的数据传输率(又称总线带宽)为()。
- A. 266MB/s B. 532MB/s C. 266Mb/s D. 532Mb/s
- 11、下列流水线的数据相关处理方法中，() 的性能最佳。
- A. 后推法 B. 重定向法 C. 乱序流动法
- 12、若一个磁盘存储器有 10 个双面盘片(最外侧两个盘面不用)，用于记录信息的柱面数为 2000，每个磁道上有 3000 个扇区，每个扇区可记录 512B 信息，则该磁盘存储器的容量约为()。
- A. 27MB B. 54MB C. 27GB D. 54GB
- 13、现代计算机常采用以存储器为中心的工作方式来提高系统性能，下列 I/O 方式中，() 可实现以存储器为中心的工作方式。
- A. 中断方式 B. 程序查询方式 C. DMA 方式

二、填空题(每空 1 分，共 16 分)

- 1、若 $X = -41$ 、 $Y = +29$ ，则用 8 位二进制表示的 $[X]_{\text{原}} = \underline{\hspace{2cm}}$ 、 $[X]_{\text{补}} = \underline{\hspace{2cm}}$ ， $[X+Y]_{\text{补}} = \underline{\hspace{2cm}}$ 、 $[X-Y]_{\text{补}} = \underline{\hspace{2cm}}$ 。
- 2、6 位补码形式的定点表示中，可表示的有符号整数范围是 至 。
- 3、层次结构存储系统可满足用户大容量、高速度、低价格要求的原因是程序呈现出 规律，Cache-主存-辅存层次结构中，Cache 主要解决主存速度问题，故 Cache 全部由硬件构成、CPU 按 地址访问 Cache。
- 4、Cache 实现技术中， 映像方式的块冲突概率最低， 替换算法的命中率最高， 写策略存在一致性问题。
- 5、指令系统中，地址码采用不同寻址方式的主要目的是 ，操作码不采用霍夫曼编码的主要原因是该编码方式的 。

6、为提高计算机系统的可扩展性,现代计算机大多采用_____互连方式,为实现 I/O 操作的标准化,常使用称为_____的部件中转 CPU 对不同 I/O 设备的各种 I/O 操作,CPU 则通过_____表明当前 I/O 操作的类型及目标。

三、计算题（每小题 6 分，共 24 分）

1、RA、RB、RP 均为 8 位寄存器，有符号整数 X 及 Y 的机器数存放在 RA 及 RB 中， $(RA)=10101001$ 、 $(RB)=01100101$ ，用原码一位乘法规则计算 $[X \times Y]_{\text{原}}$ ，并写出存放结果的寄存器 RP 及 RB 的内容，RP 存放乘积高部。

2、某计算机主存按字节编址，CPU 有 20 根地址引脚、8 根数据引脚，配有 16KB 的 Cache，Cache 与主存间采用 2 路组相联映像方式、块大小为 16B。

①画出主存地址的组成格式，计算并标出各组成部分的长度；

②计算 Cache 中块标记的长度；

③若 CPU 访存地址为 2E701H 时，计算 Cache 命中时可能的 Cache 块号及块标记的值。

3、某 16 位 CPU 约定主存单元长度为 16 位，指令系统的指令格式如下图所示，其中 DF=001、010、100 分别表示立即寻址、基址寻址、相对寻址方式，CPU 中只有 1 个基址寄存器(简称为 RB)及 1 个变址寄存器(简称为 RI)，立即寻址及相对寻址的形式地址 A 用原码表示。

15	11	10	9	8	7	0
操作码 OP				寻址方式位 DF		形式地址 A

①该指令系统最多可定义多少种不同的操作？

②若 $(RB)=0037H$ 、 $(RI)=1122H$ 、 $(PC)=1234H$ ，当欲执行的指令分别为 42A0H、29A2H 及 1424H 时，请分别计算各指令 DF 对应的操作数值或操作数 EA。

4、某 CPU 主频为 100MHz，所有指令的指令周期均包含 3 个机器周期，每个机器周期均包含 3 个节拍周期。若程序 A 执行时共需执行 1000 条指令。

①该 CPU 采用串行方式执行指令时，计算程序 A 所需执行时间。

②该机器采用流水方式执行指令时，指令流水线以节拍周期为拍，且程序 A 中各指令间均不存在数据相关，计算程序 A 所需执行时间，及程序 A 执行期间流水线的吞吐率。

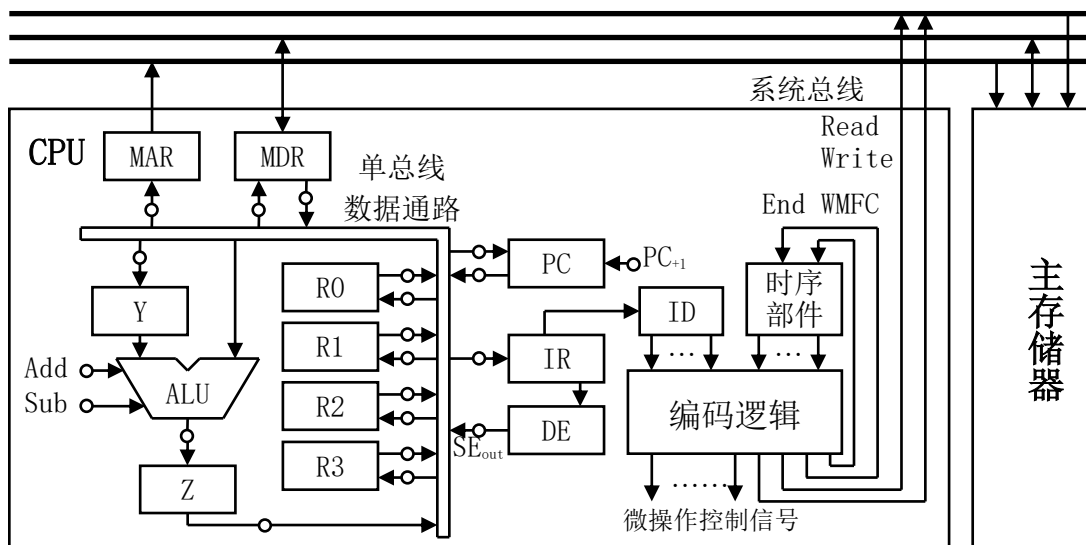
四、简答题（每小题 5 分，共 10 分）

- 1、总线同步定时方式与异步定时方式的主要原理各是什么？简要说明主设备、从设备如何进行联络的。
- 2、向量中断的中断响应阶段需完成哪些工作？简述 I/O 中断请求能够得到响应的条件。

五、欲用 $16K \times 4\text{bit}$ 的 SRAM 芯片、 $8K \times 8\text{bit}$ 的 ROM 芯片构成 $64K \times 8\text{bit}$ 的主存储器（前 16KB 为 ROM 空间），完成下列要求：

- 1) 写出 ROM、SRAM 芯片及主存储器的地址引脚信号、数据引脚信号个数；
- 2) 主存储器需用 ROM、SRAM 芯片各多少片？用图或表格形式说明各芯片在主存储器空间中的位置(起/止地址及起/止数据位)，若主存储器的片选信号线用 $\overline{\text{CS}}$ 表示，写出各 ROM、SRAM 芯片的片选引脚信号的有效逻辑；
- 3) 画出主存储器的各信号线与各 ROM、SRAM 芯片相应引脚连接的逻辑结构图，注意标出所有相关引脚名称。（共 12 分）

六、CPU 内部结构及数据通路如下图所示，DE 为位扩展部件，Y 中存放加数或减数，时序系统采用联合控制方式，相关微操作控制信号已在图中标出，寄存器的微操作控制信号未标出(用 $R_{x_{in}}$ 及 $R_{x_{out}}$ 表示，如 $R_{0_{in}}$ 及 $R_{0_{out}}$)。写出**单字长指令** $R_0 \leftarrow [(R_2) + A] - (R_0)$ 的**微操作命令序列**。其中，指令的源操作数为变址寻址方式(A 为形式地址)，目的操作数为寄存器寻址方式。（共 12 分）



《计算机组织与结构》2011 试卷 A 参考答案

一、选择题（每题 2 分，共 26 分）

(1)~(5) A B C B B (6)~(10) D A D C A (11)~(13) C D C

二、填空题（每空 1 分，共 16 分）

- (1)10101001、11010111、11110100、10111010 (2)-32、+31
 (3)访问局部性、主存 (4)全相联、LRU、写回法(或写一次法)
 (5)缩短指令字长(或扩大寻址空间或提高编程灵活性)、规整性不好
 (6)总线、I/O 接口、I/O 指令

三、计算题（每小题 6 分，共 24 分）

- 1、 $[|X|]_{\text{原}}=00101001$ 、 $[|Y|]_{\text{原}}=01100101$ ，(1 分)
 $[|X \times Y|]_{\text{原}}=0001\ 0000\ 0010\ 1101$ (结果 1 分，过程 3 分)
 $(RP)=90H$ 、 $(RB)=2DH$ (1 分)
- 2、①主存地址：区号(7 位)+区内块号(9 位)+块内偏移(4 位) (格式 1 分，参数 2 分)
 ②块标记长度为 7 位 (1 分)
 ③可能命中的 Cache 组号为 0 0111 0000，即 0E0H 或 0E1H 块 (1 分)
 命中时的块标记为 0010111 (1 分)
- 3、① 2^5 种=32 种； (2 分)
 ②指令 42A0H 的操作数 $EA=0037H+A0H=00D7H$ ， (1 分)
 指令 29A2H 的操作数值 $[VAL]_{\text{原}}=10100010$ ， $VAL=-0100010=-34$ ； (1 分)
 指令 1424H 的操作数 $EA=(1234H+1)+24H=1259H$ (2 分)
- 4、①串行方式 $T=1000 \times 3 \times 3 \times 1 / (100 \times 10^6) = 90\mu s$ ； (2 分)
 ②流水方式 $T=[3 \times 3 + (1000-1)] \times 1 / (100 \times 10^6) = 10.08\mu s$ (2 分，其中单位共 1 分)
 吞吐率 $T_p=1000 \text{ 条} / 10.08\mu s = 90.21M \text{ 条/s}$ (2 分)

四、简答题（每小题 5 分，共 10 分）

- 1、同步方式采用公共时钟定时，异步方式采用握手（应答）方式定时；(2 分)
 同步方式的主从设备按约定好的时序联络，各设备在规定时间内完成约定的动作；(2 分)
 异步方式的主从设备按约定的制约关系联络，制约关系有全互锁、半互锁、不互锁三种，互锁时各设备完成约定动作的时间不受限 (2 分)
- 2、有识别中断源、保存现场、获得中断服务程序入口、转入中断服务阶段 4 项工作 (2 分)
 响应条件有：(1)中断允许标志为 1，或 $IF=1$ ，或处于开中断状态，
 (2)至少有一个 I/O 中断请求有效，
 (3)当前指令周期结束时，或 $End=1$ ，
 (4)无不可屏蔽中断请求及 DMA 请求。(共 4 分)

五、①ROM 芯片地址=13 根、数据=8 根，SRAM 芯片地址=14 根、数据=4 根，

主存储器地址=16 根、数据=8 根，(共 2 分)

②需 ROM 芯片 2 片、SRAM 芯片 6 片，(2 分)

各芯片的位置及逻辑： (范围 2 分、逻辑 2 分)

芯片	数据位	在目标存储器中地址范围	片选信号的有效逻辑
ROM0#	b7~b0	0000H~1FFFH	$CS\# \& A_{15}\# \& A_{14}\# \& A_{13}\#$
ROM1#	b7~b0	2000H~3FFFH	$CS\# \& A_{15}\# \& A_{14}\# \& A_{13}$
SRAM0#	b3~b0	4000H~7FFFH	$CS\# \& A_{15}\# \& A_{14}$
SRAM1#	b7~b4		

SRAM2#	b3~b0	8000H~BFFFH	CS#&A ₁₅ &A ₁₄ #
SRAM3#	b7~b4		
SRAM4#	b3~b0	C000H~FFFFH	CS#&A ₁₅ &A ₁₄
SRAM5#	b7~b4		

③略。(4分,地址、数据、片选引脚连接各1分、其余1分)

- 六、 t1: PC_{out}、MAR_{in}、Read (取指4分,访存2分、REG传送2分、
t2: PC₊₁、WMFC (PC)+1 1分)
t3: MDR_{out}、IR_{in}
t4: R2_{out}、Y_{in}
t5: DE_{out}、Add、Z_{in} (地址形成数2分)
t6: Z_{out}、MAR_{in}、Read (访存取数2分)
t7: WMFC
t8: R0_{out}、Y_{in}
t9: MDR_{out}、Sub、Z_{in} (加法2分)
t10: Z_{out}、R0_{in}、End (写结果、End共2分)