

终于改完试卷了，卷面43分以上就及格了（还有2人没过），我很郁闷，怎么就教出这种学生？！你们上课好像在听，考试时全部归零（只会抄书、PPT），全是开卷惹的祸！

是我不会讲，还是你们愚笨，亦或不学习？不吐不快（语气不好、大家见谅）：

1、存储单元长度等于各种数据类型长度的（ ）。好多人答最大值，不知道哪个王八蛋错答后广为传播了！假设数据类型有8位、16位、32位，存储单元应该是8位还是32位？哪种更能提高存储效率呢？浪费空间就是浪费钱啊！

同级数据大小——堆栈、数组、变量、例、链表、指针等

### \*数据表示的设计：

目标—缩小语言间语义差别，提高系统性/价

方法—统计（需求程序中）各数据类型的使用频率，

选择拟支持的数据类型及其参数

兼顾存储效率

结果—支持频率较高的数据类型及其参数（可有多种）

例1：对上节例1，数据表示应包括整数、浮点数、逻辑数，  
不包括BCD、字符串、图形等

思考：确定数据长度的种类及长度值的方法是什么？

SEU.CSE.RGL

14

19

2、指令系统支持哪些操作的依据是看这些操作的（ ）及是否为完整性所需操作。好多人答类型，有点常识没有？！假设整数加法、整数乘法、浮点加法的使用频率分别占30%、2%、68%，难道硬件要支持整数乘法、不支持浮点加法吗？选择的原则是花钱要听到响声！

### \*设计方法：

①将需求程序的所有操作分解成基本操作（含OPD类型）

②对所有基本操作进行分类

③统计各基本操作的使用频率

④选择拟支持的基本操作

\*设计结果：支持频率较高的基本操作

SEU.CSE.RGL

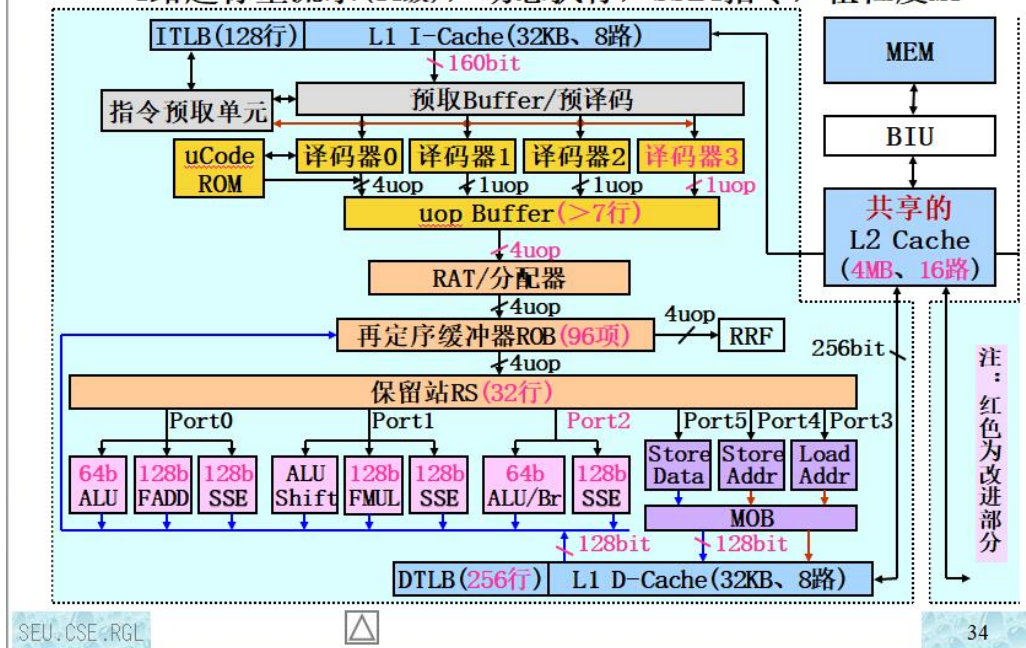


13

3、Core i7中，哪些技术体现了SIMD、MIMD特性。好多人答IMC、QPI，又是哪个王八蛋聪明地害了一堆笨蛋呢！SIMD、MIMD反映的是程序执行时的数据并行、功能并行的能力，与主存控制器是/否放在CPU中、I/O总线是串行/并行总线有一丝关系吗？为什么就不回答MMX/SSE/AVX、超标量/超线程多核等呢？

**\*内核结构：**(微架构Yonah→Core→Penryn)

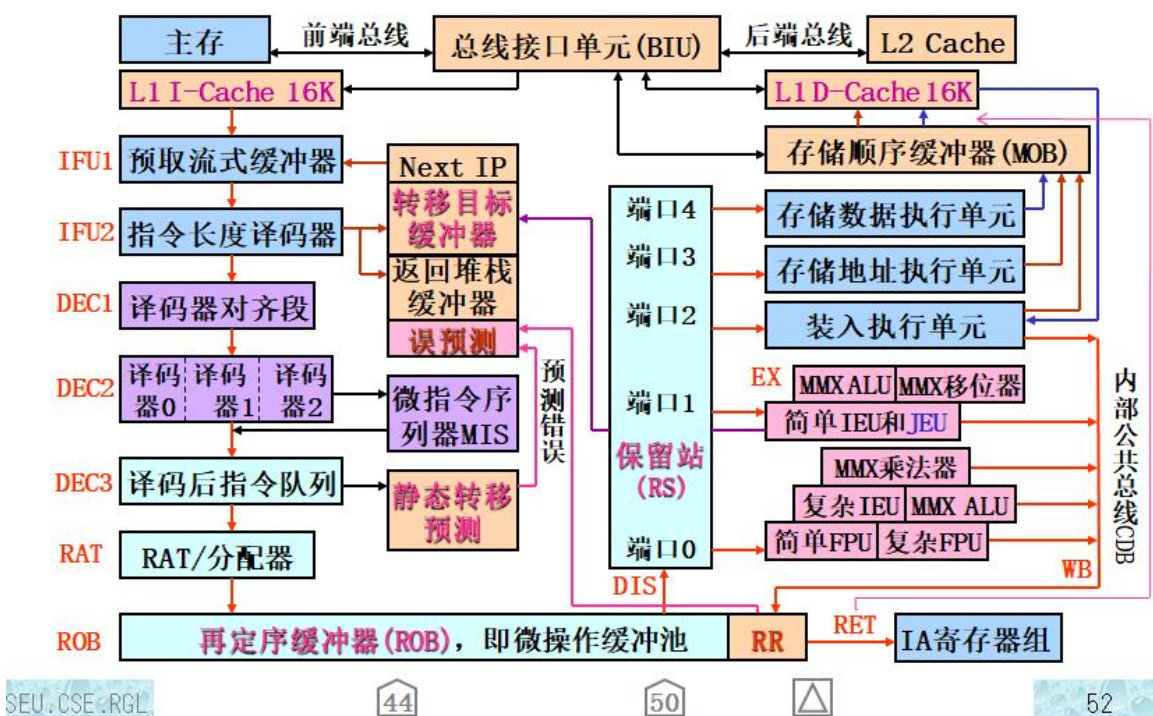
4路超标量流水(14级)，动态执行，SSE4指令，粗粒度MT



4、上课讲过动态执行技术必考。好多人答记分牌法+Tomasulo算法，或者教材目录中的动态调度+动态分支预测+多指令流出，自己就没有脑子吗：乱序执行时预测错误怎么办？动态执行技术是单流水线的冒险处理技术，与多指令流出（如超标量）毫无关系！

#### 4、PII CPU的动态执行技术

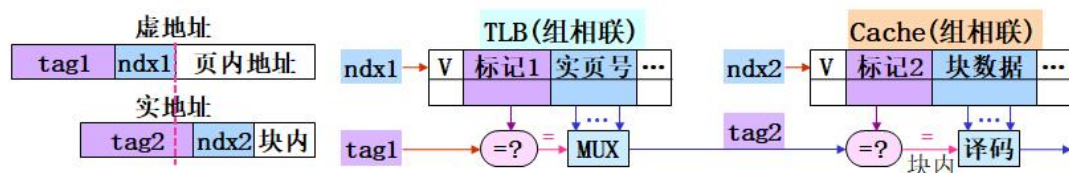
**\*技术核心：**动态分支预测+动态调度+推测执行



5、L1-Cache容量为什么一直很小？好多人乱答。上课讲过：是为了减少命中时间，争取接近于时钟周期，缺失开销、缺失率有差不多的L2-Cache顶着！



### \*物理Cache地址变换过程:



### \*虚拟Cache组织: 虚拟索引-物理标记, $T_{\text{地址变换}}$ 与 $T_{\text{取目录项}}$ 并行

↳  $\text{ndx2}$ 为虚地址[页内地址]、 $\text{tag2}$ 为实地址

容量要求— $L_{\text{ndx2}+\text{块内}} \leq L_{\text{页}}$ ,  $S=2^{L_{\text{ndx2}}} \times n \times 2^{L_{\text{块}}} \leq \text{页大小} \times \text{相联度 } n$

例: PIII L1-I\$容量= $2^7 \times 4 \times 2^5 \text{B} = 16\text{KB}$ ,  $\text{ndx2}=7$ 、 $n=4$

### 容量扩展方法—

增加相联度: 问题是 $n > 8$ 后,  $F$ 不降、 $T_{\text{命中}} \uparrow$ 、成本 $\uparrow$

☆页着色: OS使PA页低 $m$ 位与VA相同(如 $m=1$ ),  $\text{ndx2}$ 扩展 $m$ 位

例: Core i7 L1-I\$容量= $2^{(m+6+6)} \text{B} \times 4 = 32\text{KB}$ ,  $m=1$ (奇页→奇页)

页推测: 硬件推测VA页低 $m$ 位所映射的PA,  $\text{ndx2}$ 扩展 $m$ 位

6、上课讲过流水线分析必考。好多人不会答，是很难呢还是没看过例题呢？

例3: MIPS流水线中, 有EX段→EX段转发线路, bne指令在MEM段写PC。现有如下MIPS指令序列:

	<u>addi</u> \$4, \$5, 100	; I1: \$4 ← \$5 + 100
L1:	<u>add</u> \$8, \$6, \$7	; I2: \$8 ← \$6 + \$7
	<u>sw</u> \$8, 20(\$6)	; I3: M[\$6 + 20] ← \$8
	<u>addi</u> \$5, \$5, 1	; I4: \$5 ← \$5 + 1
	<u>bne</u> \$5, \$4, L1	; I5: \$5 ≠ \$4时PC ← L1
	<u>addi</u> \$9, \$9, 10	; I6: \$9 ← \$9 + 10

问: ①用阻塞法处理控制冒险时, 代码执行时间为多少拍?

②用预测法处理控制冒险时, 预测在IF段进行、预测方向都为转移, 误预测时的回头需要1拍, 代码执行时间为多少拍?

解: RAW冒险有I2-I3、I4-I5, 流水线需停0拍(可转发);

①循环共有100次, I5每次执行时流水线需停3拍; ← EX段写PC?

代码执行时间 =  $[5t + (1 + 100 \times 4 + 1 - 1)t] + 3t \times 100 = 706t$

②I5的100次预测中, 99次正确(停0拍), 1次错误(停1+3=4拍);

代码执行时间 =  $[5t + (1 + 100 \times 4 + 1 - 1)t] + 4t \times 1 = 410t$

考试题目中指出分支指令在EX段写PC, 好多蠢货居然图画对了, 不会数数(上课还特别提醒过):

addi IF ID EX MEM WB

bne IF IF IF ID EX;

IF原应该与ID段对齐, 现在与MEM段对齐了, 需停顿2拍还是3拍?! (小学生都会数的啊)

郁闷至极!!!!!!

