

# 东南大学考试卷 (A 卷)

课程名称 计算机结构与逻辑设计 考试学期 2016-17 学年 第二学期期末 得分 \_\_\_\_\_  
 适用专业 信息工程 考试形式 闭卷 考试时间长度 120 分钟

题目	一	二	三	四	五	六	七	八	总分
得分									
批阅人									

## 一、填空 (20 分, 每小题 2 分)

- 在 8 位数值系统中,  $(-89)_{10}$  的补码是 10100111。
- 逻辑函数的对偶函数表达式  $F = (AB + \overline{C} + \overline{D})(\overline{CD} + \overline{A} + B)$ , 根据对偶规则和反演规则, 其: 原函数:  $(A+B) \cdot \overline{C} \cdot \overline{D} + (\overline{C} + \overline{D}) \cdot \overline{AB}$ ;  
反函数:  $(\overline{A}\overline{B} + \overline{C}\overline{D})(\overline{C}D + AB)$ 。
- 函数  $F=AB+BC+\overline{A}C$  的最简与或表达式为:  $F=AB+\overline{A}C$ 。
- 逻辑函数  $F=\overline{A}\overline{B} + C + AD$  的最小项之和的表达式为:  $F=\sum m(8,9,11,13,15)$ 。
- 消除逻辑冒险, 可以通过修改逻辑设计的方法消除。逻辑函数  $F=A\overline{C}+B\overline{D}+CD$ , 为了消除逻辑冒险, 其表达式应改成:  $F=A\overline{C}+B\overline{D}+CD+AB+AD+BC$ 。
- 四位同步二进制集成计数器 74161 有异步清零端, 当异步清零端清零信号有效时, 计数器就清零; 四位同步二进制集成计数器 74163 有同步清零端, 当同步清零端清零信号有效并且 时钟信号上升沿 时, 计数器清零。
- 动态随机存储器 DRAM 的基本存储单元是电容, 静态随机存储器 SRAM 的基本存储单元是 锁存器。
- 构成  $8K \times 8$  的 RAM, 需要 32 片  $1K \times 2$  位的 RAM, 需要有 13 条地址线。
- A/D 转换器是由采样、保持、量化和 编码 电路构成。
- 双积分型 ADC 的转换速度很低, 完成一次转换最长可能长达  $2 \times 2^{n+1}$  个标准频率周期, 因此只能用于直流信号或者缓慢变化信号的转换。

自觉遵守考场纪律

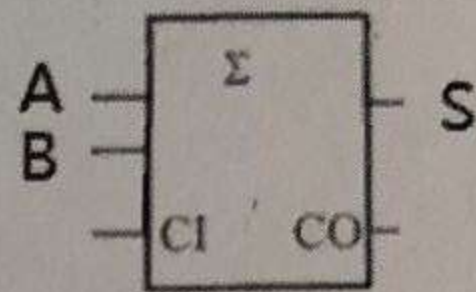
如考试作弊 此答卷无效

姓名

学号



二、(10 分) 用一位全加器和与门设计一个实现两个二位二进制数相乘的乘法器电路, 写出设计过程, 画出逻辑电路图。(两个二位的二进制数分别用  $A_1A_0$ 、 $B_1B_0$  表示; 一位的全加器逻辑符号如题图二所示)。



$$A_1A_0 \times B_1B_0 = A_1 \times B_1B_0 \times 2 + A_0 \times B_1B_0$$

$A_1 \times B_1B_0$  用与门实现

$\times 2$  直接接结果的第二位  
+ 用全加器实现

作电路图:

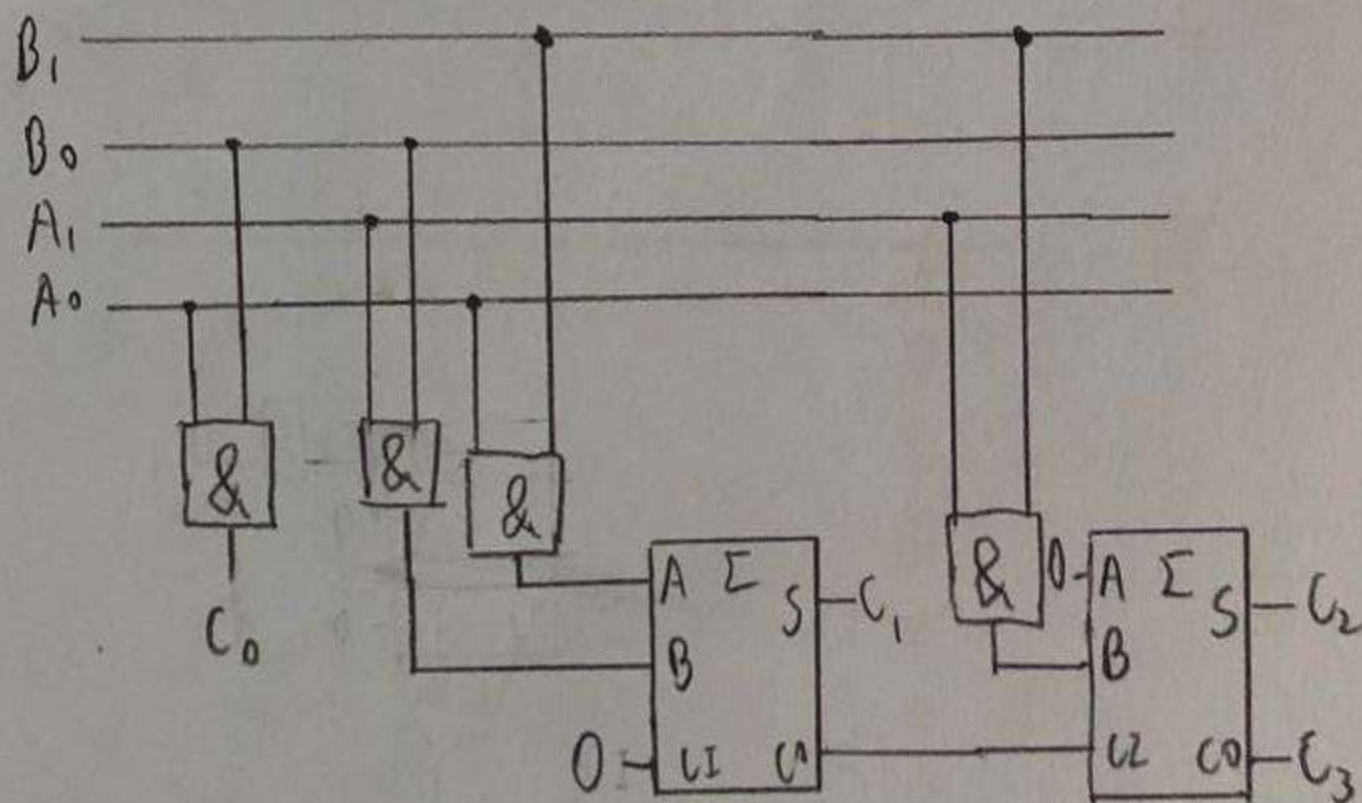
$$C_3C_2C_1C_0 = A_1A_0 \times B_1B_0$$

$$C_0 = A_0 \times B_0 = A_0 \& B_0$$

$$C_1 = A_0 \& B_1 + A_1 \& B_0 \text{ (可能有 } C_0)$$

$$C_2 = A_1 \& B_1 + C_0C_1 \text{ (可能有 } C_0)$$

$$C_3 = C_0C_2$$





三、(15分) 设计一三人表决器电路：对重大事件表决时，必须三个人全部赞成才算是通过；对于一般事件表决，只要两个人以上赞成，就通过。试写出真值表和逻辑表达式，并用与非门画出逻辑图。

过；对于一般事件表决，只要两个人以上赞成，就通过。试写出真值表和逻辑表达式，并用与非门画出逻辑图。

并用与非门画出逻辑图。

$F = f(A, B, C, D)$  ,  $A=0$  表示一般事件,  $A=1$  表示重大事件

$B, C, D$  表示三个人,  $B=1$  表示  $B$  赞成

$F$  表示通过与否,  $F=1$  表示通过

真值表

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

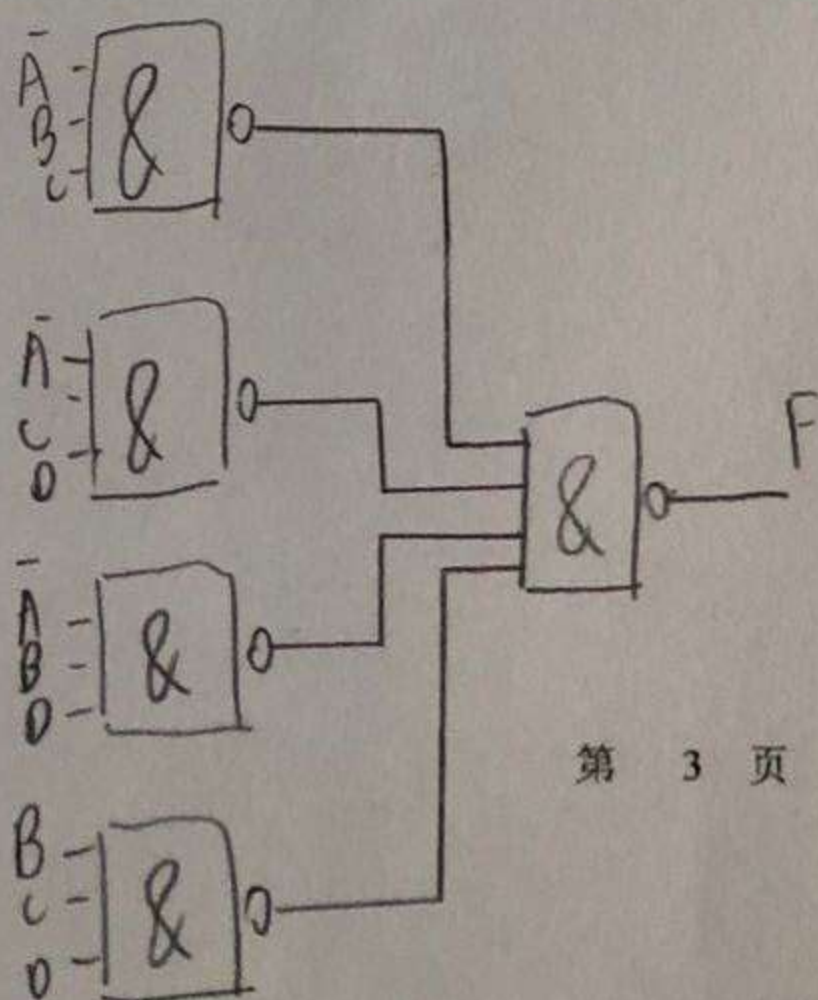
卡诺图

AB\CD	00	01	11	10
00	0	0	0	0
01	0	1	1	1
11	0	1	1	0
10	0	0	0	0

$$F = \bar{A}BC + \bar{A}CD + \bar{A}BD + BCD$$

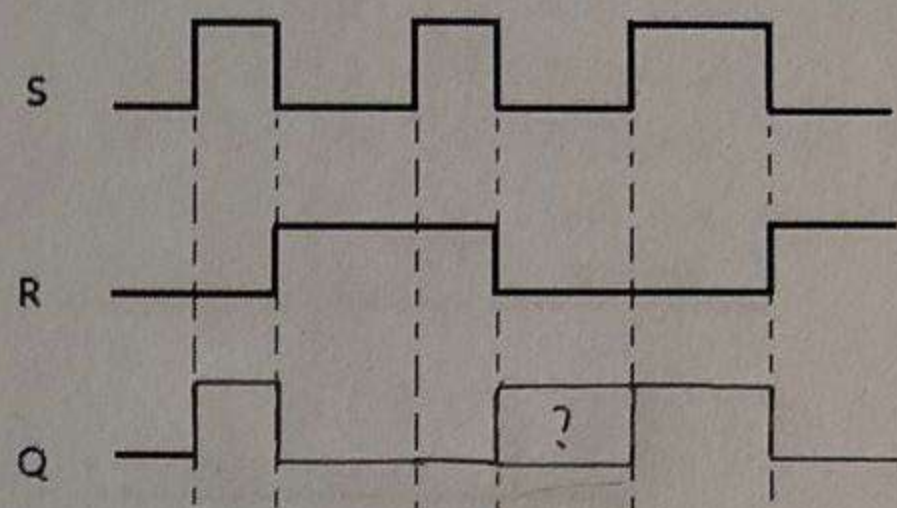
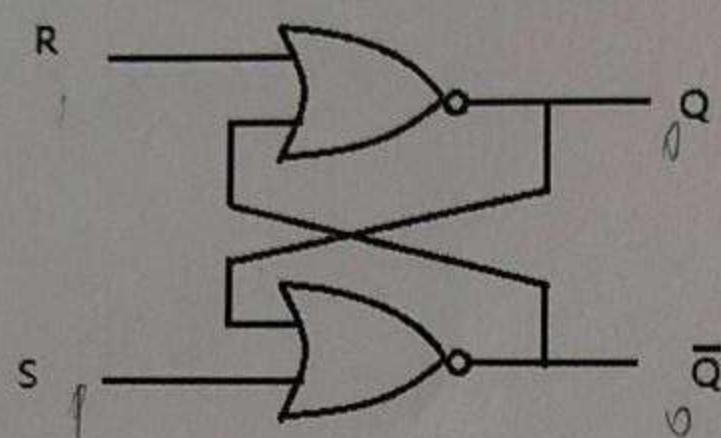
$$= \overline{\bar{A}BC} \cdot \overline{\bar{A}CD} \cdot \overline{\bar{A}BD} \cdot \overline{BCD}$$

与非门电路图





四、(15 分) 或非门构成的 RS 锁存器如图所示，分析该锁存器的工作，写出状态转移真值表，画出在图中所示 R 和 S 波形激励下，Q 端的波形。(设 Q 端的初始状态为 0，如图所示)



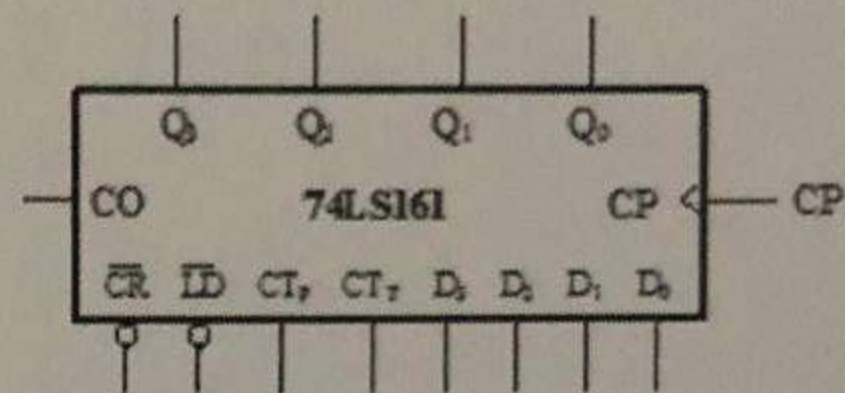
状态转移真值表

R	S	$Q^n$	$Q^{n+1}$
0	0	0	0
		1	1
0	1	0	1
		1	1
1	0	0	0
		1	0
1	1	0	全 0
		1	全 0



五、(10 分) 试用 4 位同步二进制加计数器 74LS161 及少量门电路构成同步 57 进制计数器，写出设计过程，画出逻辑电路图。

$\overline{CR}$	$\overline{LD}$	$CT_0$	$CT_1$	CP	$Q_3 Q_2 Q_1 Q_0$
0	x	x	x	x	0 0 0 0
1	0	x	x	$\uparrow$	$D_3 D_2 D_1 D_0$
1	1	0	x	x	$Q_3 Q_2 Q_1 Q_0$
1	1	x	0	x	$Q_3 Q_2 Q_1 Q_0$
1	1	1	1	$\uparrow$	加法计数

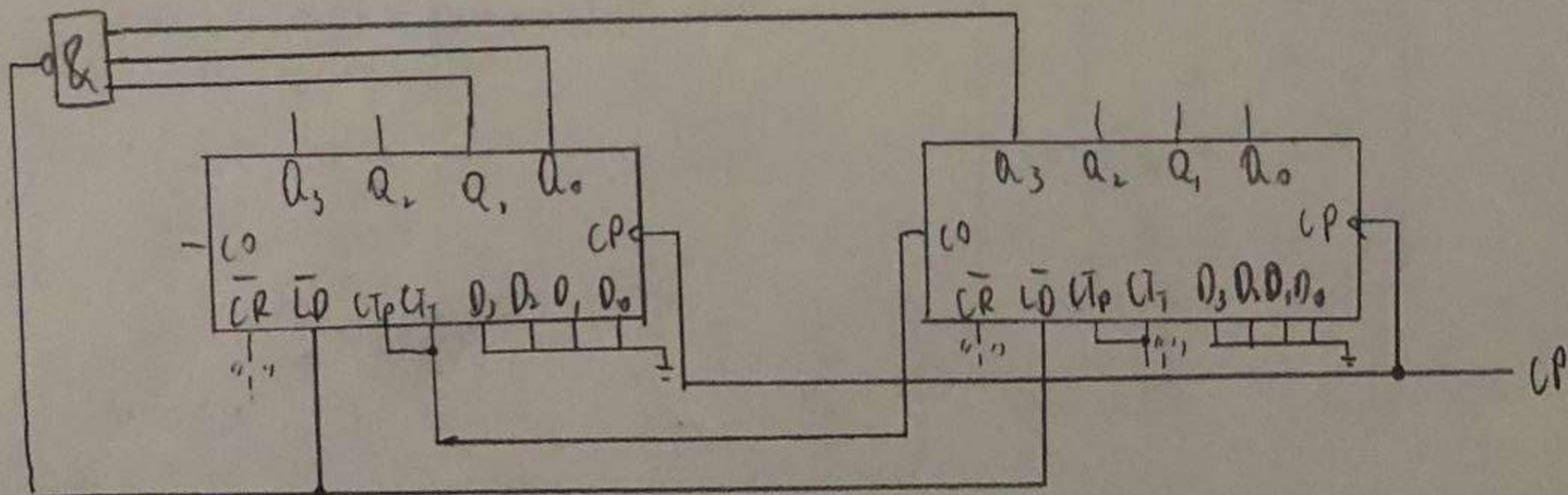


采用级联，74161为模16计数器，用两片，

采用同步置零法，计数为56时置零。

$56 = (111000)_2$ ，接高位  $Q_3, Q_2$  和低位  $Q_1, Q_0$

采用同步级联，左高右低



该电路可以自启动：若状态大于56，计数最大值6清零进入主循环。



六、(10分) 试用后边沿D触发器设计一双模计数器，可完成模6或者模7计数，写出设计过程，画出逻辑图。

用输入X控制模，X=0时模6计数

采用3个D触发器

考虑自启动，将无效状态的次态设为000

X	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
X	0	0	0	0	0	1
X	0	0	1	0	1	0
X	0	1	0	0	1	1
X	0	1	1	1	0	0
X	1	0	0	1	0	1
0	1	0	1	0	0	0
1	1	0	1	1	1	0
X	1	1	0	0	0	0
X	1	1	1	0	0	0

对于D触发器， $Q^{n+1} = D$

$D_0$

$Q_2 Q_1 Q_0 X$	00	01	11	10
00	1	1	0	0
01	1	1	0	0
11	0	0	0	0
10	1	1	0	0

$D_1$

$Q_2 Q_1 Q_0 X$	00	01	11	10
00	0	0	1	1
01	1	1	0	0
11	0	0	0	0
10	0	0	1	0

$D_2$

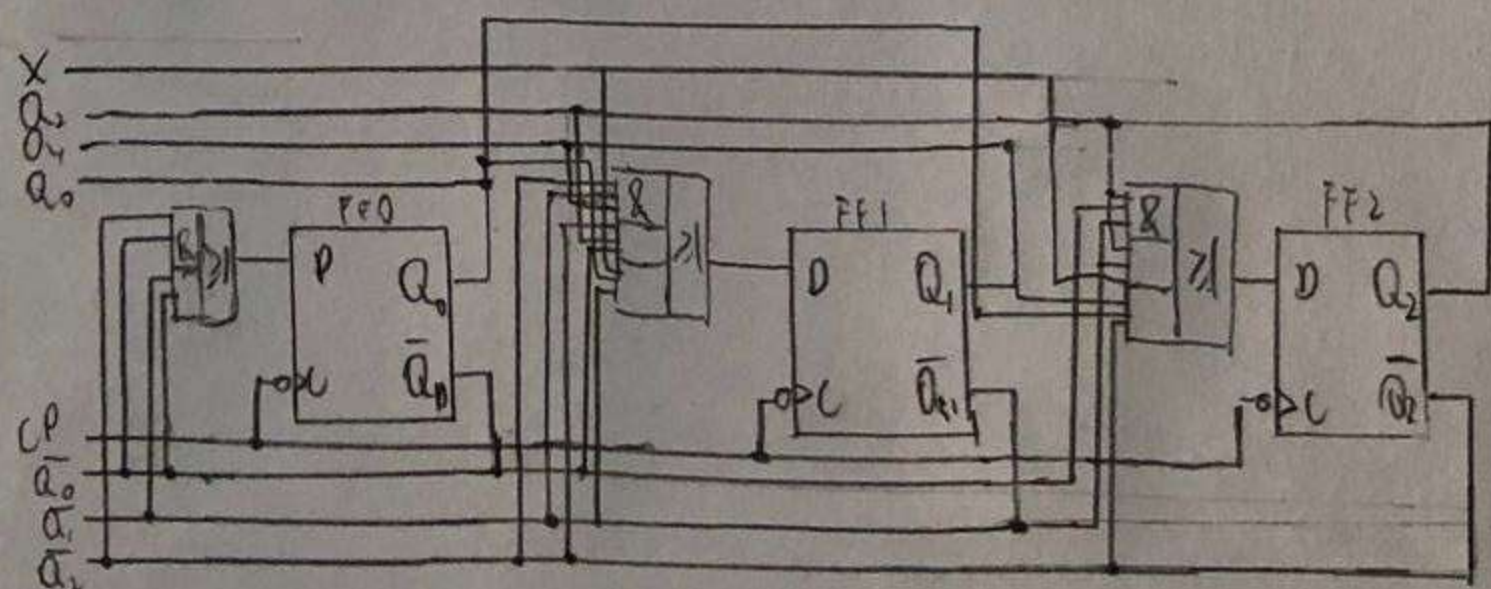
$Q_2 Q_1 Q_0 X$	00	01	11	10
00	0	0	0	0
01	0	0	1	1
11	0	0	0	0
10	1	1	1	0

$$D_0 = \bar{Q}_2 \bar{Q}_0 + \bar{Q}_1 \bar{Q}_0$$

$$D_1 = \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + \bar{Q}_1 \bar{Q}_0 X$$

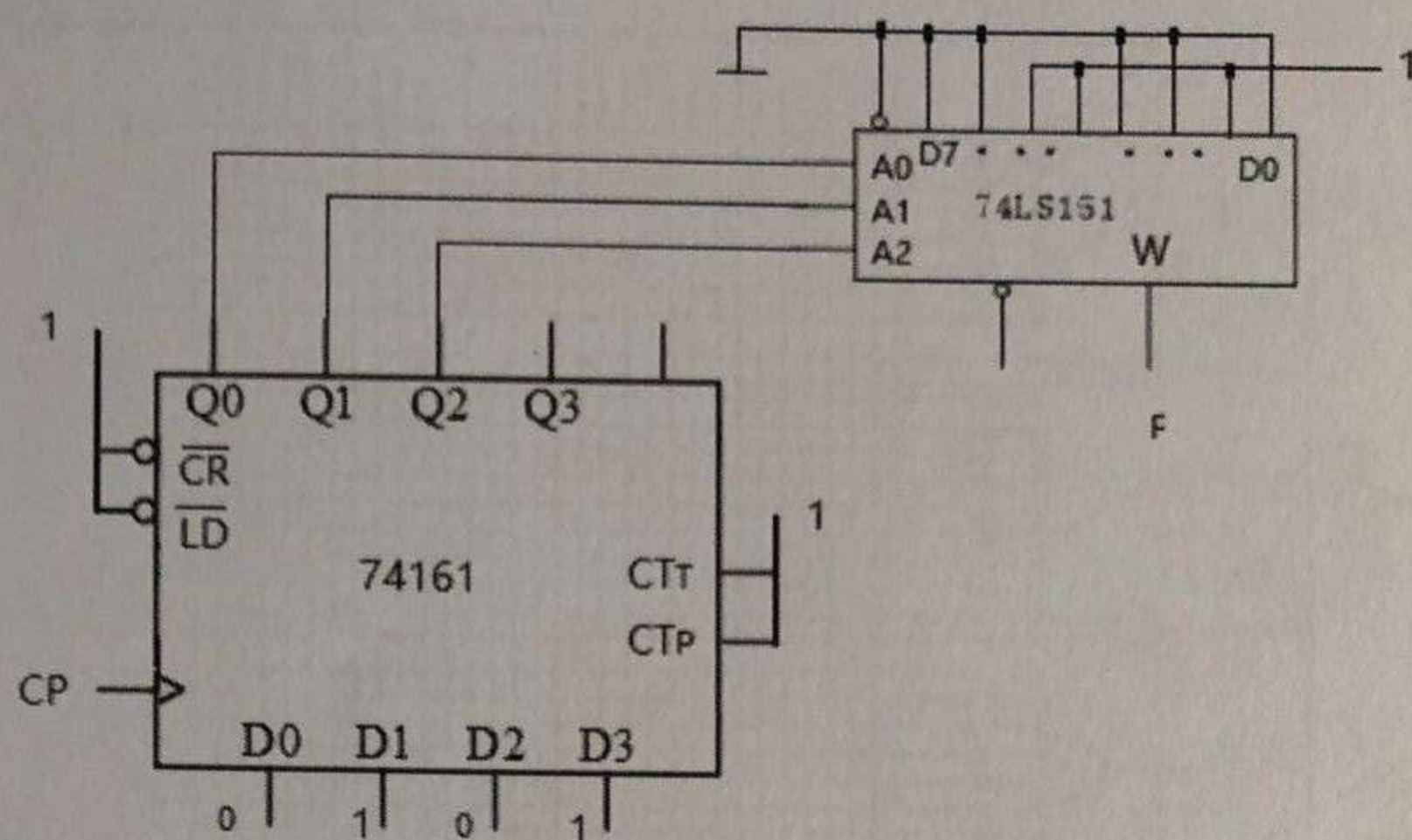
$$D_2 = Q_2 \bar{Q}_1 \bar{Q}_0 + Q_2 \bar{Q}_1 X + \bar{Q}_2 \bar{Q}_1 \bar{Q}_0$$

逻辑图





七、(10 分) 分析题图 7 所示电路，画出在 CP 作用下，F 的输出波形。(74161 功能表见第五题，74151 功能表)

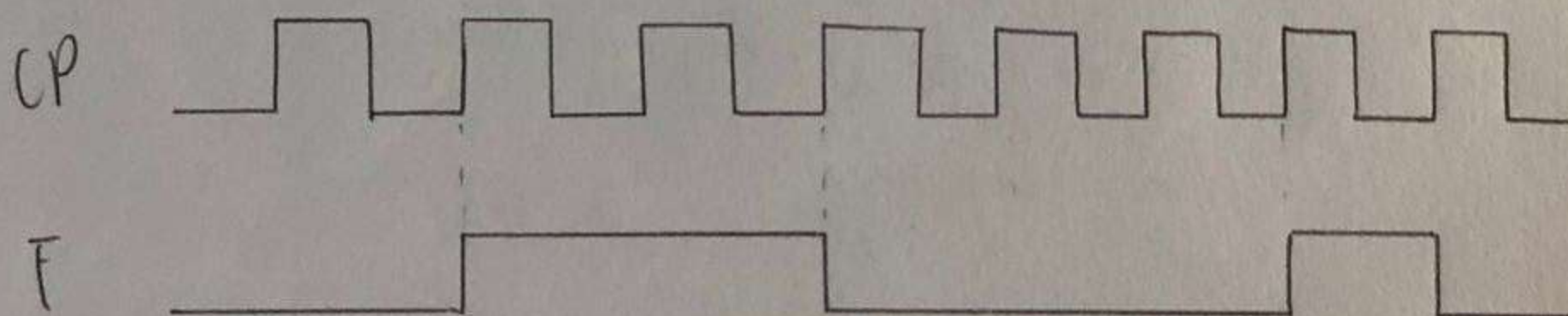


74151 功能表

CP	0	1	2	3	4	5	6	7	8
D	1010	1011	1100	1101	1110	1111	0000	0001	0010
F	0	0	1	1	0	0	0	1	0

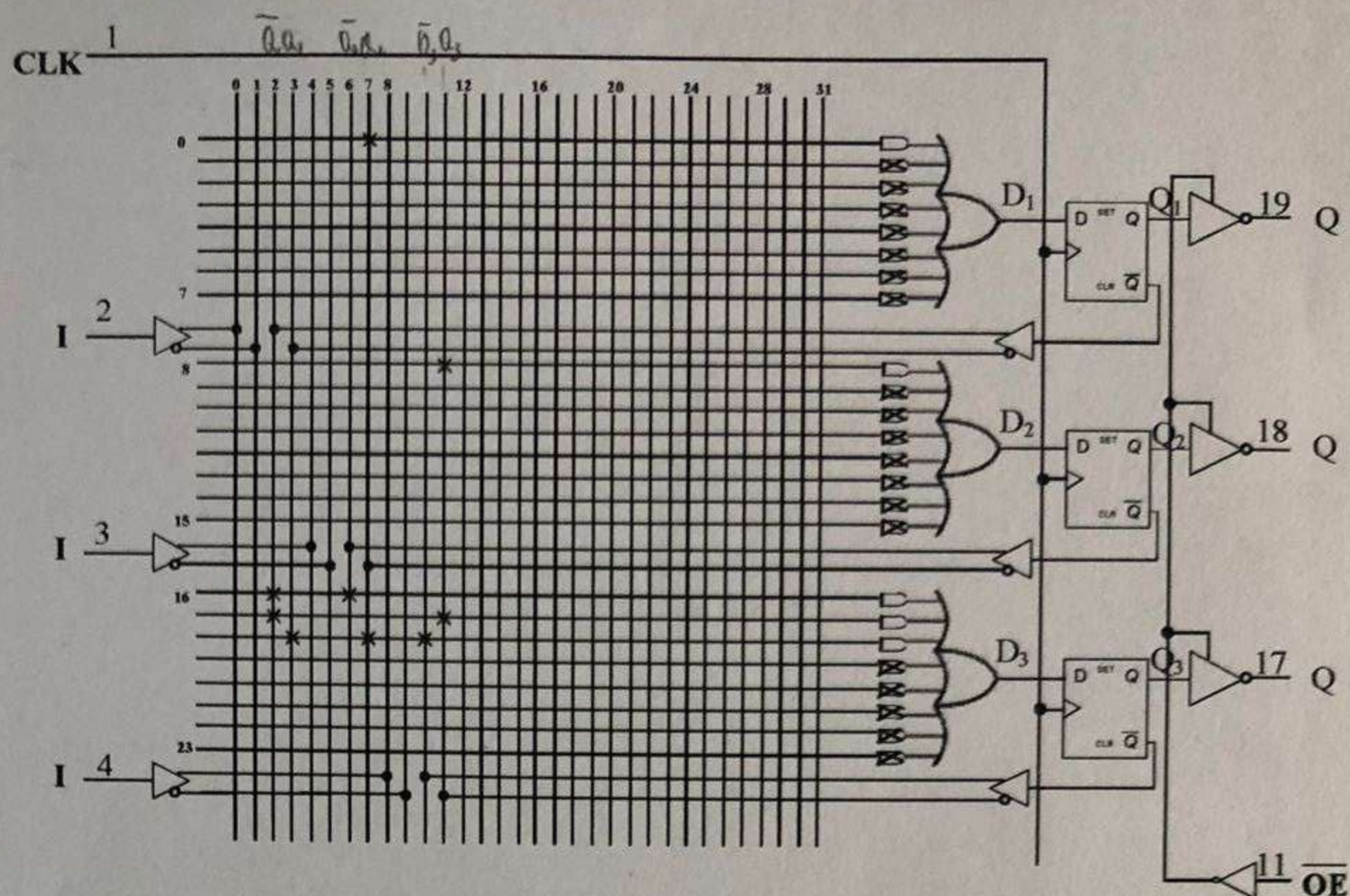
  

使能端	地址端	输出
$\bar{S}$	A2 A1 A0	W
1	× × ×	0
0	0 0 0	D0
0	0 0 1	D1
0	0 1 0	D2
0	0 1 1	D3
0	1 0 0	D4
0	1 0 1	D5
0	1 1 0	D6
0	1 1 1	D7





八、(10 分) 下图是 PAL16R8 的一部分, 试分析该电路, 写出状态方程和状态转移真值表, 在输出使能允许的情况下, 写出其 19 号引脚对应的输出序列。



激励方程

$$\begin{cases} D_1 = Q_2 \\ D_2 = Q_3 \\ D_3 = \bar{Q}_1 \bar{Q}_2 + \bar{Q}_1 Q_3 + Q_1 Q_2 \bar{Q}_3 \end{cases}$$

	$Q_2 Q_3$	00	01	11	10
$Q_1$					
0		1	1	1	0
1		0	0	0	1

状态方程

$$\begin{cases} Q_1^{n+1} = Q_2^n \\ Q_2^{n+1} = Q_3^n \\ Q_3^{n+1} = \bar{Q}_1^n \bar{Q}_2^n + \bar{Q}_1^n Q_3^n + Q_1^n Q_2^n \bar{Q}_3^n \end{cases}$$

状态表

$Q_1^n$	$Q_2^n$	$Q_3^n$	$Q_1^{n+1}$	$Q_2^{n+1}$	$Q_3^{n+1}$
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	1
1	0	1	0	1	0
0	1	0	1	0	0
1	0	0	0	0	0

$\bar{Q}_1$  的序列为 111 00010 循环