

## 计算机组成原理第 2 次测验题

### 1、填空题

- 1) 层次结构存储系统的设计基础是\_\_\_\_\_，主存由 DRAM 和\_\_\_\_\_组成。
- 2) 对 SRAM 操作时，应先发送\_\_\_\_\_信号，操作期间\_\_\_\_\_信号应一直保持有效；4M×4 位 DRAM 芯片中，除电源及地信号线外，其余信号线至少为\_\_\_\_\_根，刷新周期内需进行\_\_\_\_\_次刷新操作。
- 3) 交叉访问方式的 4 体交叉存储器中，若存储体的数据线为 8 位、存取周期为 200ns，则该存储器的带宽为\_\_\_\_\_MBps、I/O 采用\_\_\_\_\_传输方式。
- 4) CPU 用逻辑地址（虚拟地址）访存的原因是\_\_\_\_\_；页式虚拟存储器中，页表按虚页号索引的原因是\_\_\_\_\_，实现虚存-主存地址变换的硬件称为\_\_\_\_\_，设置 TLB 的好处是\_\_\_\_\_。

2、某计算机的存储器按字节编址，CPU 可寻址空间为 32 位。Cache-主存层次中，Cache 容量为 32KB，采用 8 路组相联映射方式、LRU 替换算法、全写法写策略，主存块大小为 16B。

- 1) 每个 Cache 行包含的管理信息至少为\_\_\_\_\_、分别占\_\_\_\_\_位；
- 2) 若 CPU 访存的地址为 12345678H，则 Cache 命中时的组号为\_\_\_\_\_；
- 3) 若 Cache 初态为空，CPU 从地址为 00000010H 的单元起升序连续读出 100 个 short 型数据，每次读一个数据，则访问次数为\_\_\_\_\_次，Cache 的命中率为\_\_\_\_\_。

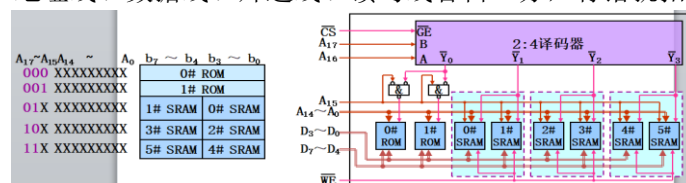
3、某 CPU 有 8 根数据线、20 根地址线 ( $A_{19} \sim A_0$ )，控制线有  $\overline{\text{MEMR}}$ 、 $\overline{\text{MEMW}}$ 、 $\overline{\text{IOR}}$ 、 $\overline{\text{IOW}}$ ，表示的操作类型分别为存储器读、存储器写、输入、输出，存储器按字节编址，CPU 可寻址空间的低端为主存空间、高端为 I/O 空间。拟配置 256KB 主存（前 64KB 为只读空间），但只有 32K×8bit ROM、64K×4bit SRAM 芯片可用，且约定主存的片选信号线为  $\overline{\text{CS}}$ 。

- 1) 画出主存内部各芯片在主存空间中的地址范围及存储单元中位置。
- 2) 画出主存引脚与内部各芯片的连接图（主存引脚名称需标出，内部芯片无需标出）
- 3) 写出主存与 CPU 连接时，其片选信号线的有效逻辑（表达式）。

### 1、(1 分\*12，每空占 1 分)

- 1) 程序访问局部性规律，ROM
- 2) 地址，片选，18，2048
- 3) 20，突发（猝发）
- 4) 程序按逻辑地址顺序执行（编写也算正确），页表存放在主存中，MMU，地址变换可以不访存（意思正确就行）

- 2、1) 左下图（3 分，ROM 个数及位置、SRAM 个数及位置、地址范围各占 1 分）
- 2) 右下图（4 分，地址线、数据线、片选线、读写线各占 1 分，有错就扣）



- 3)  $((\overline{\text{MEMR}} \oplus \overline{\text{MEMW}}) A_{19} \# A_{18} \#)$ （3 分，控制、地址、最外层#各 1 分）  
（最佳答案为  $(\overline{\text{MEMR}} \oplus \overline{\text{MEMW}}) \cdot \overline{\text{IOR}} \cdot \overline{\text{IOW}}$ ，批改时忽略  $\overline{\text{IOR}}$  及  $\overline{\text{IOW}}$  部分）

- 3、1) 有效位、标记、LRU 位，1、20、3（写脏位/修改位倒扣 1 分）
- 2) 67H（2 分）
- 3) 100，87%（1 分\*2）