

# 东南大学考试卷（A卷）

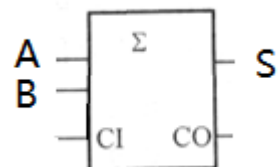
课程名称 计算机结构与逻辑设计 考试学期 2016-17 学年 第二学期期末 得分  
 适用专业 信息工程 考试形式 闭卷 考试时间长度 120 分钟

题目	一	二	三	四	五	六	七	八	总分
得分									
批阅人									

## 一、填空（20 分，每小题 2 分）

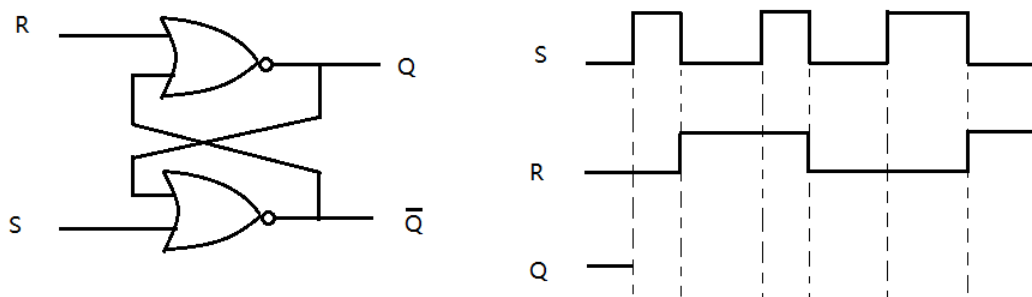
- 在 8 位数值系统中， $(-89)_{10}$  的补码是 \_\_\_\_\_。
- 逻辑函数的对偶函数表达式  $F = (AB + \overline{C + D})(\overline{CD} + \overline{A + B})$ ，根据对偶规则和反演规则，其：原函数：\_\_\_\_\_；  
反函数：\_\_\_\_\_。
- 函数  $F = AB + BC + \overline{AC}$  的最简与或表达式为：\_\_\_\_\_。
- 逻辑函数  $F = \overline{\overline{AB}} + C + AD$  的最小项之和的表达式为：\_\_\_\_\_。
- 消除逻辑冒险，可以通过修改逻辑设计的方法消除。逻辑函数  $F = A\overline{C} + B\overline{D} + CD$ ，为了消除逻辑冒险，其表达式应改成：\_\_\_\_\_。
- 四位同步二进制集成计数器 74161 有异步清零端，当异步清零端清零信号有效时，计数器就清零；四位同步二进制集成计数器 74163 有同步清零端，当同步清零端清零信号有效并且\_\_\_\_\_时，计数器清零。
- 动态随机存储器 DRAM 的基本存储单元是电容，静态随机存储器 SRAM 的基本存储单元是\_\_\_\_\_。
- 构成  $8K \times 8$  的 RAM，需要\_\_\_\_\_片  $1K \times 2$  位的 RAM，需要有\_\_\_\_\_条地址线。
- A/D 转换器是由采样、保持、量化和\_\_\_\_\_电路构成。
- 双积分型 ADC 的转换速度很低，完成一次转换最长可能长达\_\_\_\_\_个标准频率周期，因此只能用于直流信号或者缓慢变化信号的转换。

二、(10 分) 用一位全加器和与门设计一个实现两个二位二进制数相乘的乘法器电路，写出设计过程，画出逻辑电路图。(两个二位的二进制数分别用  $A_1A_0$ 、 $B_1B_0$  表示；一位的全加器逻辑符号如题图二所示)。



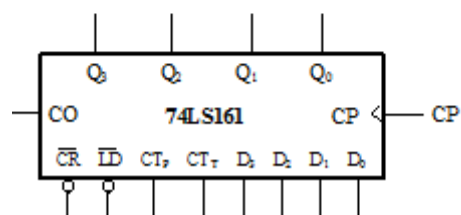
三、(15 分) 设计一三人表决器电路：对重大事件表决时，必须三个人全部赞成才算是通过；对于一般事件表决，只要两个人以上赞成，就通过。试写出真值表和逻辑表达式，并用与非门画出逻辑图。

四、(15 分) 或非门构成的 RS 锁存器如图所示，分析该锁存器的工作，写出状态转移真值表，画出在图中所示 R 和 S 波形激励下，Q 端的波形。(设 Q 端的初始状态为 0，如图所示)



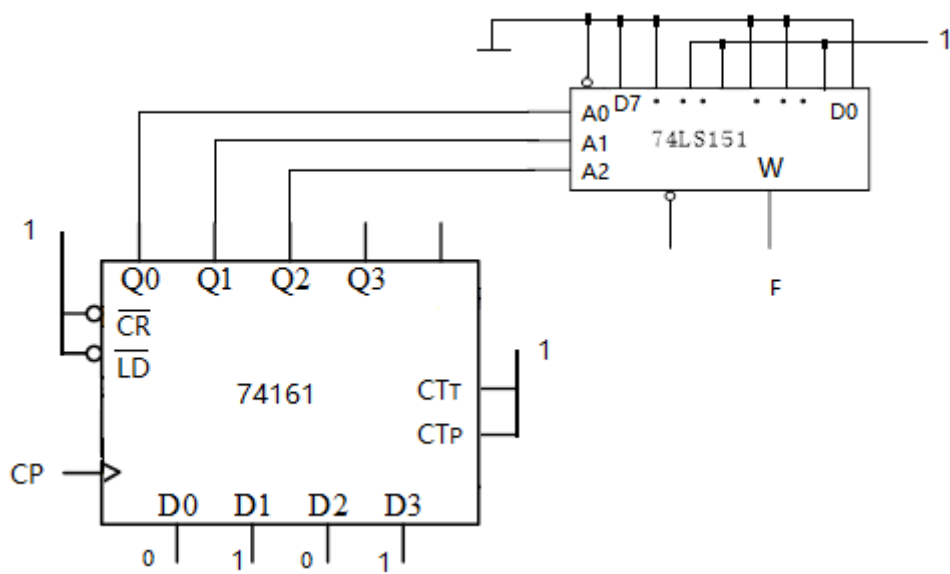
五、(10 分) 试用 4 位同步二进制加计数器 74LS161 及少量门电路构成同步 57 进制计数器，写出设计过程，画出逻辑电路图。

$\overline{CR}$	$\overline{LD}$	$CT_P$	$CT_T$	CP	$Q_3 Q_2 Q_1 Q_0$
0	x	x	x	x	0 0 0 0
1	0	x	x	$\uparrow$	$D_3 D_2 D_1 D_0$
1	1	0	x	x	$Q_3 Q_2 Q_1 Q_0$
1	1	x	0	x	$Q_3 Q_2 Q_1 Q_0$
1	1	1	1	$\uparrow$	加法计数



六、(10 分) 试用后边沿 D 触发器设计一双模计数器，可完成模 6 或者模 7 计数，写出设计过程，画出逻辑图。

七、(10 分) 分析题图 7 所示电路，画出在 CP 作用下，F 的输出波形。(74161 功能表见第五题，74151 功能表)



74151 功能表

使能端	地址端			输出
$\bar{S}$	A2	A1	A0	W
1	×	×	×	0
0	0	0	0	D0
0	0	0	1	D1
0	0	1	0	D2
0	0	1	1	D3
0	1	0	0	D4
0	1	0	1	D5
0	1	1	0	D6
0	1	1	1	D7

八、(10 分) 下图是 PAL16R8 的一部分，试分析该电路，写出状态方程和状态转移真值表，在输出使能允许的情况下，写出其 19 号引脚对应的输出序列。

