计算机组成原理第2次测验题

1、填空题

1）层次结构存储系统的设计基础是 **，**主存由DRAM和 组成。

2）对SRAM操作时，应先发送 信号，操作期间 信号应一直保持有效；4M×4位DRAM芯片中，除电源及地信号线外，其余信号线至少为 根，刷新周期内需进行 次刷新操作。

3）交叉访问方式的4体交叉存储器中，若存储体的数据线为8位、存取周期为200ns，则该存储器的带宽为 MBps、I/O采用 传输方式。

4）CPU用逻辑地址（虚拟地址）访存的原因是 ；页式虚拟存储器中，页表按虚页号索引的原因是 ，实现虚存-主存地址变换的硬件称为 ，设置TLB的好处是 。

2、某计算机的存储器按字节编址，CPU可寻址空间为32位。Cache-主存层次中，Cache容量为32KB，采用8路组相联映射方式、LRU替换算法、全写法写策略，主存块大小为16B。

1）每个Cache行包含的管理信息至少为 、分别占 位；

2）若CPU访存的地址为12345678H，则Cache命中时的组号为 ；

3）若Cache初态为空，CPU从地址为00000010H的单元起升序连续读出100个short型数据，每次读一个数据，则访问次数为 次，Cache的命中率为 。

3、某CPU有8根数据线、20根地址线（A19~A0），控制线有、、、，表示的操作类型分别为存储器读、存储器写、输入、输出，存储器按字节编址，CPU可寻址空间的低端为主存空间、高端为I/O空间。拟配置256KB主存（前64KB为只读空间），但只有32K×8bit ROM、64K×4bit SRAM芯片可用，且约定主存的片选信号线为。

1）画出主存内部各芯片在主存空间中的地址范围及存储单元中位置。

2）画出主存引脚与内部各芯片的连接图（主存引脚名称需标出，内部芯片无需标出）

3）写出主存与CPU连接时，其片选信号线的有效逻辑（表达式）。

1、（1分\*12，每空占1分）

1）程序访问局部性规律，ROM

2）地址，片选，18，2048

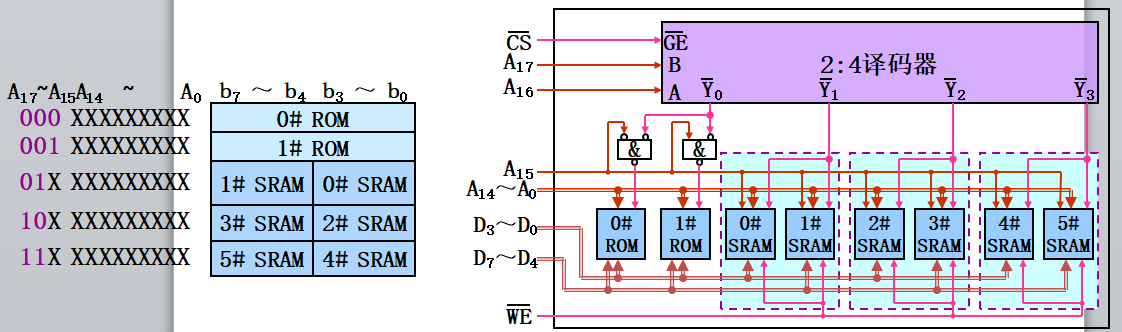
3）20，突发（猝发）

4）程序按逻辑地址顺序执行（编写也算正确），页表存放在主存中，MMU，

地址变换可以不访存（意思正确就行）

2、1）左下图 （3分，ROM个数及位置、SRAM个数及位置、地址范围各占1分）

2）右下图 （4分，地址线、数据线、片选线、读写线各占1分，有错就扣）



3）((⊕)·A19#·A18#)# （3分，控制、地址、最外层#各1分）

（最佳答案为(⊕)··，批改时忽略及部分）

3、1）有效位、标记、LRU位，1、20、3 （写脏位/修改位倒扣1分）

2）67H （2分）

3）100，87% （1分\*2）