**《计算机组织与结构》复习思考题**

(始建于2010年，不限于当年考试范围)

**一、理解基本概念及术语** （一个个打勾通过，注意同类概念的比较）

存储程序方式；主机、外设，CPU、ALU、FPU、CU，PC、IR、ID，存储元、存储单元、存储阵列、存储单元长度、存储单元地址、存储字、存储字长；总线、主设备、从设备，I/O接口，系统总线，DBus、ABus、CBus；实际机器、虚拟机器，解释、翻译，指令、语句；计算机结构、计算机组成、计算机实现，ISA；指令地址，逻辑地址、物理地址；机器字长，时钟周期、主频，主存编址单位、主存单元长度、主存地址空间、CPU可寻址空间；响应时间、吞吐率，CPI，MIPS、MFLOPS。

数制、码制，机器数、真值，原码、补码、移码，模、补数、同余；BCD码，交换码、内码；码距，校验码，奇校验、海明校验、循环冗余校验(CRC)；数据类型、数据表示；截断运算、位扩展运算，零扩展、符号扩展；上溢、下溢、机器零、最大正数、最大负数，规格化数、左规、右规。溢出标志、进位/借位标志、零标志、符号标志；逻辑左移、逻辑右移、算术左移、算术右移；对阶、规格化。组合逻辑电路、时序逻辑电路，触发器、锁存器，全加器、加法器，总线互连、点点互连。

RAM、ROM，SRAM、DRAM；存取时间、存取周期、存储器带宽；时间局部性、空间局部性；刷新、行刷新、刷新周期，集中式刷新、分散式刷新、异步式刷新，DRAMC。位扩展、字扩展、字位扩展，有效逻辑；SDRAM、DDR SDRAM，常规传输、突发传输，RAM的工作频率、I/O频率；顺序编址、交叉编址，交叉访问、并行访问。命中率、命中时间、缺失开销；主存块、缓存块，行、标记、有效位，目录表、数据区，Cache容量、Cache总容量；候选行、牺牲行、目标行、空闲行，地址映射规则、替换算法、写策略；直接映射、全相联映射、组相联映射，相联度；RAND、FIFO、LRU算法，LRU位；全写法、写回法，按写分配法、不按写分配法，脏位；哈佛结构、冯·诺依曼结构，分离Cache、联合Cache。程序地址、程序地址空间，地址变换、MMU，分区管理方式、分页管理方式，页、页框、页表、页表项，虚拟存储器(VM)、虚拟地址、虚拟地址空间；段式VM，页式VM、段页式VM，虚页号、实页号，页表基址、TLB。

机器指令、指令系统，指令格式；源操作数、目的操作数，跳转、分支；操作码、地址码，规整性、平均码长；指令条数，定长编码、变长编码、扩展编码，指令字长，单地址指令、双地址指令，单字长指令、双字长指令，定长指令字结构、变长指令字结构；大端、小端方式，不对齐、边界对齐、4字节对齐方式；寻址方式、有效地址(EA)，顺序寻址、跳跃寻址，立即寻址、寄存器寻址、直接寻址、间接寻址、寄存器间接寻址、变址寻址、基址寻址、相对寻址、隐含寻址，偏移地址、偏移量，地址寄存器、数据寄存器、通用寄存器(GPR)；CISC、RISC。

BIU、中断机构，MAR、MDR、通用寄存器组(GPRs)、状态寄存器(PSR)，PSW；指令周期、中断周期，主时钟脉冲，单周期CPU、多周期CPU，CPU内部的4种基本操作。数据通路、总线结构、点点结构，微操作(μOP)、μOPCmd、节拍，μOPCmd序列、状态转换图；硬布线CU、微程序CU，机器周期、节拍、工作脉冲，同步控制、异步控制、联合控制，有限状态机。微命令、微指令、微程序，微指令周期。事件、异常、中断，响应、处理、返回，故障、陷阱、终止，可屏蔽中断、不可屏蔽中断、中断允许位(IF)；断点、PSW，程序入口地址，向量方式、非向量方式、IVT。流水线的段、拍，填入、流水、排空，段间寄存器，冒险；流水线的吞吐率、加速比、效率，多功能流水线、动态流水线、线性流水线、顺序流水线、标量流水线；结构冒险、数据冒险、控制冒险，RAW冒险、load-use冒险，阻塞、转发、乱序执行，分支预测、延迟分支，气泡，延迟槽；超级流水线、超标量流水线、VLIW流水线。

总线事务；同步总线、异步总线，并行总线、串行总线，片内总线、系统总线、通信总线，信号电平、单端方式、差分方式，信号线复用；总线宽度、总线带宽，总线工作频率；总线操作、总线仲裁，总线周期、总线传输周期，地址期、数据期，隐藏式仲裁；集中式仲裁、分布式仲裁，链式查询方式、计数器定时查询方式、独立请求方式；全互锁、半互锁、不互锁；总线标准，ISA、PCI，USB、QPI，前端总线(FSB)、主机总线HOST、I/O总线、存储器总线，总线桥、南桥、北桥。

I/O指令、I/O端口地址，统一编址、独立编址，设备选择电路，条件传送方式、无条件传送方式，字符设备、块设备，I/O方式、程序查询方式、程序中断方式、DMA方式、通道方式；存储密度、数据传输率、寻址时间，磁道、扇区，RAID、条带，CD、DVD；PS/2、IDE、SATA、VGA、HDMI。I/O接口、I/O端口，数据口、状态口、控制口，并行接口、串行接口、可编程接口、查询接口、中断接口。独占查询、定时查询；向量中断、非向量中断，单重中断、多重中断，中断类型号、IVT、中断向量地址、中断向量，串行判优、并行判优、软件判优，中断屏蔽、中断响应优先级、中断处理优先级；CPU停止访问方式、周期挪用方式，预处理、后处理。

**二、填空题** （直到可闭卷完成为止，要理解原理，可自行设计题目）

1、冯·诺依曼模型中，存储器是由定长存储单元组成的、按 访问的、 空间；其存储程序工作方式的基本思想是 预先存放在 中，机器工作时， 。基于存储程序工作方式，程序的执行过程是 的指令执行过程，其根本原因是 。

2、现代计算机都采用以 为中心、多种存储器 的结构，CPU访问存储器时只能访问 存储器，CPU与 合称为主机，I/O设备与 合称外设，CPU对外设的操作称为 操作。计算机的部件通常采用 方式互连，信息传输由 设备发起，通常分为2个步骤，第1步的操作是 。

3、若第六大题第4小题图中的CPU为16位，则部件 、 的宽度为16位，单总线、系统总线的宽度分别为 位、 位，若CPU中包含32位的FPU，则CPU的机器字长为 位。某设备的数据传输率为2KB/s，则每秒可传输 B数据。

4、校验码的码距必须≥ ，检错的方法是判断接收的编码是否为 。数据1010010的偶检验码是 ；若采用海明校验码，则需要 位检验位。

5、计算机中，表示定点数时，有符号整数默认采用 编码方式表示；8位无符号整数的表数范围是 至 ，8位有符号整数的表数范围是 至 。若[X]补＝101101、[Y]移＝001110，则X Y。表示浮点数时，若尾数和阶都用补码表示，尾数及阶码分别为110011、101，则该浮点数 规 位才能变成规格化数。同时要求，所有数据类型的长度都是 长度的倍数，机器字长等于 长度的最大值。

6、逻辑运算中，由于逻辑数均采用 格式表示，所有运算都采用 操作方式实现；关系运算常用 运算和 运算来实现，若算术运算可产生标志ZF、CF、SF、OF，则无符号整数X＞Y的结果等于 ，X＜Y的结果等于 ，有符号整数A＞B的结果等于 ，A＜B的结果等于 。

7、定点加减法运算中，[X－Y]补＝[X]补＋ ，补码运算结果是否溢出用标志 表示，溢出条件是 ；无符号运算结果生是否溢出用标志 表示，若加减法器最高位进位为Cn-1，则溢出条件是：加法时 、减法时 。移位运算中，若机器数X＝11001101B，X>>A 2＝ ，X>>L 2＝ 。位扩展运算中，若输入为Dn-1~D0、输出为Qn+k~Q0，op=＝0、1分别表示零扩展、符号扩展运算，则Qn+k~Q0的产生逻辑（逻辑表达式）为 。补码整数乘法运算中，若[X]补为n位，则[X×Y]补应为 位，当乘积为 位时需要判断溢出，溢出条件为 。

8、运算器中，ALU的出端位数与入端位数 (相等/可不等)，可实现的算术运算有 ；为了支持关系运算，ALU应产生的标志位有 ，其中 用于有符号数的关系运算， 用于无符号数的关系运算。部件采用总线结构互连时，某组合逻辑部件有3个入端、2个出端，其中有1个入端不连接在总线上(直接连接某部件)，连接总线时需设置 个三态门、 个锁存器；部件采用点点结构互连时，某部件的入端A、入端B、出端C分别需连接1个、2个、3个其他部件，需设置MUX的引脚为 。

9、存储器的容量-速度-价格间存在矛盾，根据 ，可使用多种存储器、采用层次结构构成存储系统来满足用户需求，现代计算机的“Cache-主存-辅存”层次结构中，主存通常由DRAM构成，因而Cache由 构成，而辅存主要解决主存的 问题、应具有非易失性，常由更慢、更便宜的 构成。层次结构存储系统中，上层存储器所存放的内容是 存储器中内容的副本，且层间信息传递是 的，管理Cache-主存层间信息交换的部件常称为 (放在 中)。程序中的存储器地址（如指令地址）都用逻辑地址表示，故CPU需按逻辑地址访问存储器（存储系统），实现逻辑地址→物理地址变换的部件常称为 (放在 中)。

10、某个SRAM芯片容量为1Kbit、数据引脚(双向)为4根，则芯片除电源信号线外，最少有 根引脚，其中地址引脚为 根；若用该芯片构成8K×8bit的存储模块，则需要 个芯片，构成的存储模块的地址引脚为 根、数据引脚为 根；若SRAM芯片的存取周期为100ns，存储模块采用交叉编址方式及交叉访问方式，则芯片、存储模块的带宽分别是 、 。

11、若CPU的数据引脚为8根、地址引脚为16根(A15～A0)、MEM操作的控制信号为MEMR#及MEMW#（#表示低电平有效[见教材P253]），存储器按字节编址，则CPU可寻址空间为 ；若系统仅配置16KB的主存，则主存与CPU连接时，其数据引脚为 根，片选信号线CS#的有效逻辑为 。

12、主存按字节编址、地址空间为24位，Cache容量为256KB、采用4路组相联映射方式，主存块大小为16B，则Cache共有 个组，每行的标记为 位，访存地址为020345H时，可能命中的Cache组号为 。若Cache分别改用直接、全相联映射方式，则每行的标记分别为 位、 位。

13、虚拟存储器中，地址变换由称作 的部件实现，地址变换失败表示需访问信息未存放在 中，将产生一个 事件，操作系统进行相应处理后，CPU重新执行 ，即可完成地址变换失败的处理。

14、页式虚存中，虚存与主存的信息交换单位为页(页大小比主存块 )；为了提高主存的利用率，都采用 映射方法；为了减小硬件的成本，页表需放在 中；为了减少查表时的访存次数，页表通常按 索引，且在 中设置TLB(快表)。

15、指令系统由多条机器指令组成，机器指令常用 及其编码表示，不同机器指令的 必须互不相同，同一条指令指 相同的指令。指令的功能包括数据操作、 2个方面，指令支持的数据类型称为 。指令格式中，采用 编码方式的操作码平均码长最短，采用 编码方式的指令格式规整性最好；为了便于表示下条指令地址，指令字长必须是 长度的倍数，单字长指令指指令字长等于 的指令， 型指令的指令寻址都采用隐含寻址方式。

16、指令对应的操作数(OPD)可存放在存储器、 及 这3种按地址访问的部件中；OPD长度等于多个存储单元长度时，其内容将存放在 的存储单元中，OPD地址用其中的 单元地址表示；OPD在存储器中存放时有 及对齐2个属性，对齐属性中， 方式的存取速度最快， 方式的存储效率最高。

17、各种寻址方式中， 寻址方式仅可用于指令寻址；数据寻址方式中， 寻址方式的内容存放在指令字（即IR）中，有效地址EA的位数与 寄存器位数相同。指令执行过程中，除顺序型指令的指令寻址外，指令及数据寻址方式的识别在 阶段进行，寻址的实现在 阶段进行。

18、CPU中，为了实现指令控制功能，需设置称为 的寄存器存放用作循环变量的指令地址、设置称为 的寄存器存放当前指令内容；为了实现访存操作与内部其它操作的并行，需设置称为 的寄存器存放CPU外部访问的部件地址，设置称为 的寄存器存放CPU外部访问的数据，外部访问实际上是这2个寄存器与存储器或外设的交互过程；同时还需设置称为 的寄存器来保存程序运行的状态。

19、数据通路中，通路部件指与其他部件间存在数据及 信息传送的部件，图5.1中的 不是数据通路部件；指令执行过程可用基本操作序列来表示，由于序列中操作结果不一定马上使用，因此，每个基本操作的结果应存放在 逻辑部件中，导致源数据也来自这类部件，基本操作类型有 、 、 、 4种。μOP是CPU内部的 操作，其操作控制可以用 信号实现，CPU内部的μOP主要包括 及一些特定功能μOP。

20、控制器中，常用多个节拍信号线来表示CPU工作流程中的不同时段，各个节拍信号之间没有 、没有 （即同时有 个信号线处于有效状态），每个节拍信号的宽度（即节拍周期）都能满足 的时延要求，节拍信号个数需满足 中最复杂情况的需求（如中断周期至少需要 个信号线来表示）；为了提高性能，节拍信号的循环周期常采用 周期类型，工作脉冲信号的循环周期则等于 ；为了提高CPU内部μOP及外部μOP（如访存）的性能，节拍信号常采用 定时方式，为此需要设置一个 来进行不同场合的选择。

21、硬布线控制器使用 来描述CPU的工作流程，用 来产生μOPCmd，其时序信号的循环周期是CPU当前工作流程所对应 的步数；微程序控制器用 来描述CPU的工作流程，通过 来产生μOPCmd，其时序信号的循环周期等于1个 ，相当于一个 的时延，所有的微程序都存放在称为 的部件中，微指令格式由 及 两个字段组成。

22、中断事件分为可屏蔽中断、不可屏蔽中断两种类型。对于可屏蔽中断而言，为了表示CPU当前处于屏蔽/允许中断状态，CPU需在PSR中设置一个称为 的标志位，并且指令系统需提供 及 指令，以实现软件可控（屏蔽/允许）；为了使异常及中断响应时不被新的事件打断，应使CPU处于 状态（不响应可屏蔽中断的新事件），还应使不可屏蔽中断只有一个事件类型（不会产生新事件），而异常不可能产生新事件，因为异常由 而引起、必须 处理，故同时只有 个事件产生；相对于非向量中断，向量中断需要通过 识别事件类型。

23、总线操作过程由总线请求与与分配、 、传送数据及 4个步骤组成；集中式总线仲裁中， 方式所需仲裁信号线最少、 方式可实现动态优先级仲裁、 方式对设备或线路故障最敏感、 方式的仲裁过程不需主设备参与；总线传输的3种定时方式中，异步定时方式的 应答方式的传输可靠性最差、 应答方式的传输速度最慢，半同步定时方式的联络信号线有 信号线和 信号线；总线传输方式中，不同传输方式通过不同的 类型表示， 方式可以一次传输多个数据， 方式可以扩展总线的寻址范围。

24、外设常采用总线方式、通过I/O接口与主机连接（每个I/O接口对应一个外设），I/O通过主机发起总线操作、I/O接口中转总线操作来实现，总线操作只有 种类型，这要求一个I/O接口可有 个 的I/O端口地址，故I/O端口地址由 及 组成。I/O端口地址与主存单元地址的编址有 编址及 编址2种方式，可以共用访存控制信号的是 编址方式，需要增设I/O指令的是 编址方式。工作时，I/O接口（外设）需主动识别自身是否为总线操作的目标从设备，识别方法是监视 ，有 时，将 与自身设备号进行比较，比较结果即识别结果。

25、设备的数据传送方式有无条件传送、条件传送2种，设备与I/O接口需采用相应的联络方式。无条件传送设备只可能是 设备(并行/串行)，且为 (字符/块)设备，采用 联络方式；条件传送设备中，并行设备只能采用 联络方式，串行设备可以采用任意一种联络方式，但通常都 联络信号线，通过 信号线传递联络信号。

26、各种I/O方式中， 方式的I/O所占CPU时间最多， 方式有助于实现计算机“以存储器为中心”的目标。查询I/O方式中，两种查询方式都是在 开始查询，在 停止查询， 查询方式所占CPU时间更少，查询接口中除数据端口外，还必须设置 端口。中断I/O方式中，单重/多重中断通常通过 、使不可屏蔽中断只有1个事件来实现，采用多重中断方式时，需要在 中完成相应的操作。DMA I/O方式中，I/O可以在 之间进行，I/O过程包括3个阶段，CPU只需负责其中的 、 ，并且要求CPU在数据传送期间 ；当采用 传送方式时，DMA传送对CPU使用总线的影响最小，且不降低CPU的访存速度。

**三、选择题**

1、冯·诺依曼计算机中，CPU区分从存储器中取回的是指令还是数据的依据是（ ）

(A)指令译码的结果 (B)指令和数据的寻址方式

(C)指令周期的不同阶段 (D)指令和数据的存储单元位置

2、冯·诺依曼计算机中的指令需串行执行，下列选项中，（ ）是其主要原因

(A)每次访存只能取1条指令 (B)每次只能分析1条指令

(C)每次运算器只能完成1个操作 (D)都不是

3、下列选项中，与机器字长相同的是（ ）

(A)存储单元长度 (B)通用寄存器长度 (C)系统总线宽度 (D)FPU宽度

4、下列6位机器数中，真值最大的是（ ）。

(A) [X]原＝100100 (B) [Y]补＝110100 (C) [Z]移＝010011

5、假设浮点数的阶码和尾数均用补码表示、长度分别为5位和7位（均含2位符号位）。若X＝27×29/32、Y＝25×5/8，则用浮点加法计算X＋Y的结果是（ ）

(A)00111 1100010 (B)00111 0100010 (C)01000 0010001 (D)发生溢出

6、DRAM的存取周期TM（ ）存取时间TA（又称访问时间）

(A)大于 (B)大于等于 (C) 小于 (D)小于等于

7、下列因素中，与Cache的命中率H无关的是（ ）

(A)主存地址位数 (B)Cache容量 (C)替换策略 (D)写策略

8、下列机器指令中，（ ）包含2个地址参数，常用（ ）传递其中的1个参数

(A)跳转指令 (B)分支指令 (C)调用指令 (D)返回指令

(A)队列 (B)堆栈 (C)缓冲器 (D)通道

9、若存储器按字节编址，数据在存储器中采用大端、边界对齐方式存放，则地址为2002H的存储单元中，只可能存放机器数11223344H中的（ ）。

(A)11H (B)22H (C)33H (D)44H

10、相对寻址方式所寻址的部件为（ ）

(A)IR (B)寄存器 (C)存储器 (D)I/O接口

11、CPU主频通常指CPU中（ ）的频率

(A)指令周期 (B) 节拍周期 (C)工作脉冲周期 (D)时钟周期

12、对连接在总线上的部件而言，下列（ ）上的信息传送方向是双向的

(A)数据总线 (B)地址总线 (C)控制总线 (D)状态总线

13、某16位同步总线的时钟频率为100MHz，每个时钟周期都可传送一个地址或一个数据，总线传输周期需要4个时钟周期，则总线的数据传输率、带宽分别为（ ）及（ ）

(A)25MBps (B)50MBps (C)100MBps (D)200MBps

14、某16位系统总线采用半同步定时方式，总线时钟频率为1MHz，MEM读、I/O读总线事务都由传送地址/命令、等待响应、传送数据3个阶段组成，每个时钟周期可传送一个地址或一个数据，主存的存取时间为5μs，I/O接口的响应时间为2.3μs，则CPU从主存、从I/O接口读取2B数据所需的时间分别为（ ）和（ ）

(A) 5μs (B) 6μs (C) 7μs (D) 8μs

15、USB总线属于（ ），有（ ）根信号线，USB设备采用（ ）联络方式。

(A1)系统总线 (B1)通信总线 (C1)主机总线 (D1)I/O总线

(A2)2 (B2)3 (C2)4 (D2)5

(A3)立即传送 (B3)异步并行 (C3)异步串行 (D3)同步串行

16、外设与主存采用统一编址方式时，区分总线操作的目标设备类型需通过（ ）来实现

(A)连接不同的地址线 (B)识别地址信号不同

(C)连接不同的控制线 (D)识别控制信号不同

17、各中断源（I/O接口）的中断请求采用（ ）连接到CPU时，中断源中只需设置中断请求/撤销电路、无需设置中断响应电路

(A)共用请求式 (B)分类共用请求式 (C)独立请求式

18、采用直接传送方式、DMA方式I/O时，传送两个数据的最短间隔分别为（ ）和（ ）

(A)1个指令周期 (B)1个机器周期 (C)1个存储周期

**四、计算题**

1、已知有符号整数用8位二进制补码表示，回答下列问题：

（1）X＝－11，Y＝＋25，求[X]补、[Y]补、[X＋Y]补、[X－Y]补，判断结果是否溢出；

（2）若[X]补＝10101101、[Y]补＝00101001，求[X]原、[X]移、[Y]原、[Y]移、[X]补>>A2。

2、浮点数的阶码及尾数均用补码表示、编码长度分别为6位和8位，运算时采用双符号位、2位附加位运算，尾数舍入采用舍入法。已知X＝＋25×33/64、Y＝－28×45/64，写出用浮点加法计算Z=X＋Y的过程及结果。

3、设X＝＋1011、Y＝－1101，请用原码乘法计算[X×Y]原，要求列出运算步骤。

4、某指令系统的指令字长均为16位，每个操作数地址码为6位，假设已定义了12条双地址指令，最多还可以定义多少条单地址指令？

5、某16位机器中，存储器编址单位为16位，CPU中有1个基址寄存器B和1个变址寄存器I，指令系统中单地址指令格式如下图所示，DF＝00、01、10、11分别表示立即寻址、基址寻址、变址寻址、相对寻址方式，形式地址A为原码表示方式。

15 10 9 8 7 0

|  |  |  |
| --- | --- | --- |
| 操作码OP | 寻址方式位DF | 形式地址A |

设(B)＝0037H、(I)＝1122H、(PC)＝1234H，请计算下列指令字中的操作数的EA或真值。

（1）4477H （2）1199H （3）3344H

6、某CPU主频为10MHz，指令系统中的指令分为两类，A类指令周期为3个时钟周期，B类指令周期为4个时钟周期。某程序包含3000条A类指令及7000条B类指令。

（1）若CPU采用串行方式执行程序，求上述程序的执行时间。

（2）若CPU采用流水方式执行程序，流水线的拍长为1个时钟周期，则流水线有多少个段？求上述程序的执行时间（无需考虑各种类型的冒险）。

7、某CPU的主频为100MHz、CPI为5，完成中断响应需要8个时钟周期；鼠标、打印机每次可传输16位信息（即I/O接口的数据缓冲器都为2B），鼠标的响应时间为1ms，打印机的数据传输率为800Kbps。对于鼠标及打印机，若CPU每次实现设备启动、读取状态并分析、数据传送功能都分别需要执行2条、3条、1条指令，且要求每秒50次读取鼠标信息，每秒打印10KB数据，回答下列问题：

（1）采用独占查询方式进行鼠标I/O时，求I/O所占CPU时间的百分比；

（2）采用定时查询方式进行打印机I/O时，若查询在打印 机启动15μs后开始，求I/O所占CPU时间的百分比；

（3）采用中断方式进行打印机I/O时，若中断服务程序包含20条指令，求I/O所占CPU时间的百分比；

（4）采用DMA方式进行打印机I/O时，每次最多传送2000个字节，数据传送采用周期窃取方式，预处理及后处理共需要250个时钟周期，求I/O所占CPU时间的百分比。（假设DMA接口与CPU之间不存在总线争用）

**五、简答题**

1、简述存储程序工作方式的基本思想，说明指令执行过程包括哪几个阶段。

2、简述层次结构存储系统中，不同层的存储器满足哪些条件才可实现高速度、大容量、低价格的目标。（提示：可从性能参数、保存内容、信息传递方面作答）

3、提高主存访问速度的技术有哪几种？各举一例说明其提高性能的原理。

4、简述CPU的工作流程，说明指令执行过程包含的具体步骤。

5、相对于单周期CPU，简述多周期CPU的两个最主要优点，并举例说明。

6、简述异常及中断响应需要完成的任务，说明采用非向量方式响应时的中断机构组成。

（简述非向量中断方式下，CPU进行中断响应时需要完成的操作）

7、简述可屏蔽中断请求得到响应的条件，与不可屏蔽中断请求相比有哪些不同？

8、简述链式查询方式仲裁的基本原理，说明仲裁开始、仲裁结束的条件。

9、简述总线采用半同步传方式定时的基本原理，以及联络信号线的设置需求。

10、简述I/O接口识别自身是否为总线操作目标从设备的基本原理，说明该功能的电路主要由哪些部件组成。

11、简述I/O接口中转主机操作的基本原理，说明查询接口有哪几种I/O端口？

12、简述定时查询I/O方式的基本原理，说明相对于独占查询方式的优点。

13、若中断源采用共用请求方式连接到CPU，CPU采用向量方式处理中断，简述中断响应时，识别可屏蔽事件类型及转入处理程序需要完成的操作，与中断源采用独立请求方式连接到CPU相比有什么不同？

14、DMA方式I/O包括哪几个步骤？哪些步骤由软件完成、哪些由硬件完成？简述每个步骤需要完成的主要任务。

**六、应用题**

1、8088 CPU有20根地址引脚、8根数据引脚，用信号线RD#、WR#表示外部操作的类型，用信号线IO/M#表示操作的是外设还是主存，主存按字节编址。某计算机准备配置128KB的主存，其中前64KB为ROM空间、后64KB为RAM空间，现有32K×8bit的ROM及64K×4bit的SRAM可用。（1）主存需要上述ROM、RAM芯片各多少块构成？（2）画图表示各芯片在主存中的地址范围、存储单元中的位置；（3）若主存片选信号线为CS#，列出各芯片片选引脚的有效逻辑；（4）画出主存内部各芯片与主存信号线的连接图；（5）写出主存与CPU连接时，其片选信号的有效逻辑。

2、由Cache、主存构成的层次结构存储系统中，CPU-Cache及Cache-主存都通过8位总线互连，主存按字节编址、地址空间为1M，Cache容量为4KB、采用4路组相联映射方式，主存块大小为16B。（1）为了实现映射，主存地址应如何划分？各部分的长度分别为多少位？（2）每个Cache行的标记为多少位？（3）若Cache采用LRU替换算法、全写法写策略，则一个Cache行由哪些字段组成？长度各位多少位？（4）设Cache初态为空，CPU从地址00000H起升序连续读出160个数据，每个数据大小为1B，此时的Cache命中率是多少？

3、对于图4.16的指令系统Demo\_IS，回答下列问题：

（1）若操作码只可放在指令字的高4位，则Demo\_IS最多还可以定义多少条指令？

（2）若操作码只可放在指令字的高8位，则Demo\_IS最多还可以定义多少条指令？

（3）若从06H主存单元起的内容为00H、21H、84H、34H，写出该指令序列的功能。

（4）若x、y存放在存储器中的地址分别为30H、31H，写出y＝y－x的指令序列。

（复习时不要背指令格式，考试时会给出新的指令系统的）

4、某8位CPU中，存储器按字节编址，CPU内部结构及数据通路如下图所示。ALU可实现加法、减法运算（Op＝1时为减法），Y用来存放被加数或被减数；DE可实现位扩展操作（DESgn＝1时为符号扩展、否则为零扩展）；PC具有计数功能（控制信号为PC+1）；μOP采用联合控制方式定时(控制信号为WMFC)，除寄存器外的μOPCmd已在图中标出，寄存器Rx的μOPCmd用Rxin及Rxout表示(如MDRin及MDRout)。



（1）写出单字长指令RD←(RD)－M[(RS)]执行阶段的μOPCmd序列，第2源操作数为寄存器间接寻址方式。

（2）写出单字长指令RD←M[(RS)]－(RD)执行阶段的μOPCmd序列。

（3）写出单字长调用指令CALL (RD)执行阶段的μOPCmd序列，目标地址码为寄存器寻址方式，返回地址放在RS中（隐含寻址方式）。

**《计算机组织与结构》复习思考题答案**

**二、填空题答案**

1、地址，一维线性，指令和数据，存储器，自动、逐条地取出指令并执行，循环，指令执行顺序由指令类型决定（或下条指令地址由当前指令产生）

2、存储器，共存，主，主存，辅存，I/O，总线，主，发送地址和命令

3、GPRs，ALU（有多种答案），16，x(值任意)，16，2000

4、2，非法码字，1，4

5、补码，0，255，-128，127，＜，左，1，存储单元(或主存单元)，所有整数类型

6、位向量，按位，减法，逻辑，，CF，，OF⊕SF

7、[－Y]补，OF，同号相加或异号相减、结果与被加(减)数异号，CF，Cn-1=1，Cn-1=0，

11110011B，00110011B，Qn-1~Q0＝Dn-1~D0、Qn+k~Qn＝Dn-1·op，

2n，n，(z2n-2+…+zn)+ z2n-1(++)

8、相等，加法、减法，ZF、CF、SF、OF，ZF、SF、OF，ZF、CF，2，3，B

9、程序访问局部性，SRAM，容量，磁盘，下层，透明，Cache控制器，Cache，MMU，CPU

10、16，10，16，13，8，40Mbps，640Mbps 11、64K，8，

12、212，8，034H，6，20 13、MMU，主存，异常，产生异常的指令

14、大，全相联，主存，虚页号，CPU

15、指令格式，操作码，操作类型(含OPD类型)，指令地址计算，数据表示(或操作数)，哈夫曼，定长，存储单元，机器字长，顺序

16、寄存器，外设，连续，最小，端序，边界对齐，不对齐

17、相对，立即，地址/基址/变址，分析指令（指令译码）、执行指令

18、PC，IR，MAR，MDR，PSR

19、指令地址，ID/MMU/时序部件等，时序，寄存器间传送，MEM读、MEM写、算逻运算，原子，部件控制，4种基本操作

20、重叠，间隙，1，所有μOP，CPU工作流程，1，变长，节拍周期，联合控制，μOPCmd

21、有线状态机（或状态转换图），组合逻辑电路，μOP序列，微程序，执行微指令，微指令周期，μOP，控制存储器CS，操作控制，顺序控制

22、中断允许，开中断，关中断，屏蔽中断（或关中断），指令执行，立即，1，硬件

23、寻址，结束，链式查询，独立请求，链式查询，独立请求，不互锁，全互锁，时钟，握手/应答，总线事务，突发传输，双地址传输

24、2，多，连续的，设备号，内部序号，统一，独立，统一，独立，总线状态，I/O事务，总线地址的高位

25、并行，字符，立即响应，异步，省略，数据

26、程序查询（或独占查询），DMA，启动设备后，设备就绪时，定时，控制、状态，修改IF位，中断服务程序，主存-外设，预处理，后处理，让出总线使用权，周期挪用

**三、选择题答案**

1～5：C，D，B，A，D 6～10：A，A，C/B，C，C

11～15：D，A，B/D，C/A，B1/A2/D3 16～18：B，C，A/C

**四、计算题答案**

1、（1）[X]补＝11110101，[Y]补＝00011001，[－Y]补＝11100111，

[X＋Y]补＝00001110，不溢出，[X－Y]补＝11011100，不溢出。

（2）[X]原＝11010011，[X]移＝00101101，[Y]原＝00101001，[Y]移＝10101001。

2、Z＝－26×119/128，机器码为000110 10001001。

3、[X]原＝01011，[Y]原＝11101，[X×Y]原＝10 1001 1010。

4、最多可定义(24－12)×26＝256条单地址指令。

5、操作数长度必须为存储单元长度的倍数，故操作数为16位；B、I的宽度为16位，故操作数EA的位数为16位。

①立即寻址，A＝[imme]原＝77H，操作数＝0077H；

②基址寻址，A＝[disp]原＝99H，操作数EA＝(B)＋A＝0037H－0019H＝001EH；

③相对寻址，A＝[disp]原＝44H，计算EA时PC＝(PC)＋16b/16b＝1234H＋1＝1235H，

下条指令EA＝(PC)＋disp＝1235＋0044H＝1279H。

6、（1）T串行＝[3000×3＋7000×4]/(10×106)＝3700μs＝3.7ms；

1. ∵A类、B类指令需统一控制，故流水线有4个段、拍长为1/(10×106)=0.1μs，

T流水＝[4＋(3000＋7000)－1]×0.1μs＝1000.3μs。

7、打印机每秒可传输800Kbps/2B＝50000次数据、传输间隔为1/50000＝20μs；CPU执行一条指令需耗时1×5/100MHz＝0.05μs。

（1）每次I/O过程中，CPU启动设备(需执行2条指令)后，立即不停地查询设备状态(执行指令时间共为1ms)，直到设备就绪(需执行3条指令)时，才可进行数据传送(需执行1条指令)，故每次I/O所占CPU时间＝(0.05μs×2＋1ms＋0.05μs×3＋0.05μs×1)＝1000.3μs，

I/O所占CPU时间的百分比＝(1000.3μs×50)/1s≈5%。

（2）每次I/O所占CPU时间＝[0.05μs×2＋(20μs－15μs)＋0.05μs×3＋0.05μs×1]＝5.3μs，

I/O所占CPU时间的百分比＝(5.3μs×10240B/2B)/1s≈2.71%。

（3）每次中断所占CPU时间＝(8＋20×5)/100MHz＝1.08μs，可以实现数据传送、设备启动(重新)功能，设备首次启动在主程序中进行，故

I/O所占CPU时间的百分比＝(0.05μs×2＋1.08μs×10240B/2B)/1s≈0.55%。

（4）每次预处理及后处理占用CPU时间为250/100MHz＝2.5μs，传送10KB数据需要分为⎡10240B/2000B⎤＝6次进行，故I/O所占CPU时间的百分比＝2.5μs×6/1s＝0.0015%。

**五、简答题答案** 略（在教材、课件相应位置找）

**六、应用题答案** 略（参见教材、课件相应位置的例题）