

Lab 4 Report

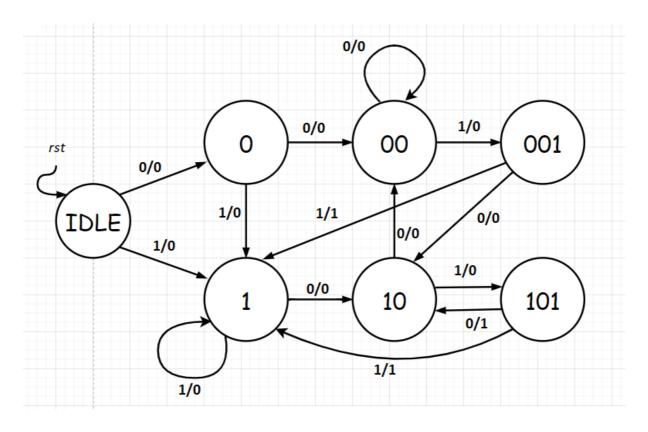
| ≡ Course | Logic Design Lab |
|------------------|------------------------|
| ✓ Done | <u>~</u> |
| Last edited time | @Nov 12, 2020 10:45 PM |
| @ URL | |
| | |

Question 1

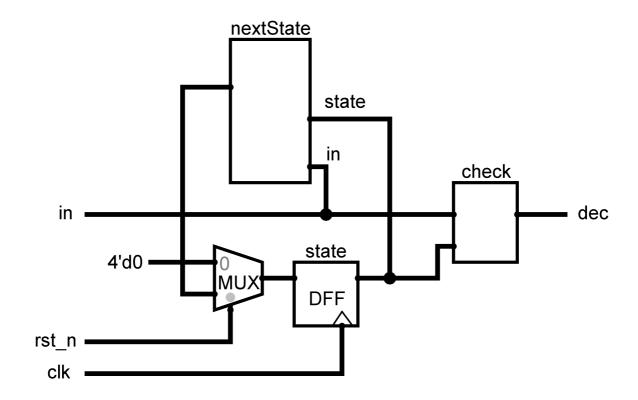
偵測sequence 1011 、 1010 、 0011 。

對於目前讀入字串的狀態,我們可以把有用的部份留下來,不要的部份捨去,來作出 state diagram(假設讀入 010 ,只會留下 10)。

State Diagram



Circuit



Description

state: DFF,儲存目前state。

nextState : Combinational circuit,從 state 與 in 來得知下一個state。

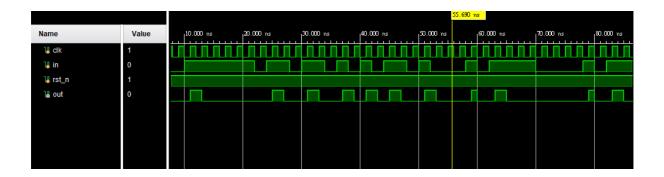
check : Combinational circuit,檢查現在的 state 與 in 來確定 dec 的輸出。

Testbench

reset之後將 in 做random,觀察輸出的結果即可。

Waveform

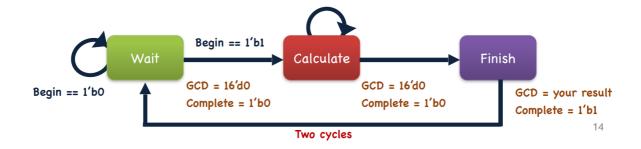
以下是部份輸出結果。



Question 2

讀入數字 A 、 B ,輸出他們的最大公因數。

首先,依照圖片的state diagram,寫完state轉換以及輸出指定的部份,程式碼部份如下:



Description

Begin: 啟動訊號,偵測到 Begin 後進入 CAL state, 否則留在 WAIT。

cb:計算gcd 時,CAL 中的b,當cb == 0 時便是完成運算,進入FINISH State。

count:因為 complete 與 gcd 需要維持2 cycles的輸出,所以我設計了一個 reg

count ,用 count 記數來決定要不要跳出 FINISH 回到 WAIT 。

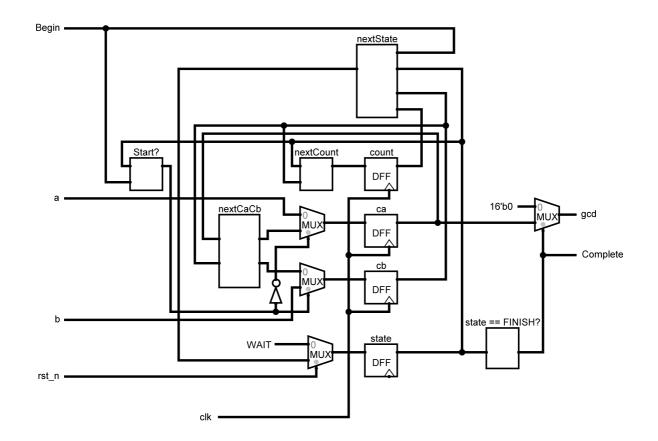
gcd: Moore output,當state為 FINISH 時指定為計算出的答案(ca)。

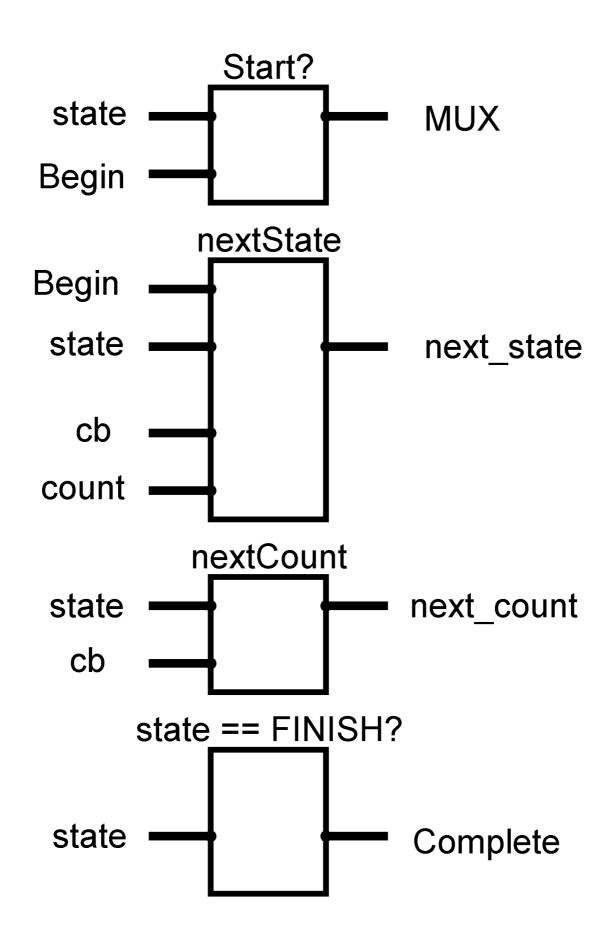
Complete: Moore output,與 gcd 一樣,只不過是 1/0 的切換。

```
case (state)
  WAIT: begin
      next_state = (Begin ? CAL : WAIT);
  end
  CAL: begin
      next_state = (cb == 16'b0 ? FINISH : CAL);
  end
  FINISH: begin
      next_state = (count ? FINISH : WAIT);
  end
endcase
```

```
gcd = (state == FINISH ? ca : 16'b0);
Complete = (state == FINISH ? 1'b1 : 1'b0);
```

Circuit





Description

• Start?

```
state == WAIT && Begin ? 1'b1 : 1'b0
```

nextState

```
case (state)
WAIT: next_state = (Begin ? CAL : WAIT);
CAL: next_state = (cb == 16'b0 ? FINISH : CAL);
FINISH: next_state = (count ? FINISH : WAIT);
endcase
```

nextCount

```
state == CAL && cb == 16'b0 ? 1'b1 : 1'b0
```

Testbench

```
@(negedge clk)
rst_n = 1;
a = 6;
b = 16;
start = 1;
@(negedge clk)
start = 0;
@(posedge Complete)
@(negedge Complete)
```

reset過後,指定 a 與 b 並啟動運算 (start = 1),等到 complete trigger 之後,觀察結果是否正確即可。

Waveform

下圖為simulate結果。

