

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**  
**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"**

*Кафедра ЕОМ*



## **Звіт**

Лабораторна робота 1  
з дисципліни «Моделювання комп'ютерних систем»  
Варіант 12

Виконав: ст.гр. КІ-202  
Маринович Марко  
Прийняв:  
Козак Н. Б.

## Лабораторна робота №1

**Тема роботи:** Ознайомлення із середовищем Xilinx ISE. Ознайомлення із лабораторним стендом Elbert V2 – Spartan 3A FPGA.

**Мета роботи:** Використовуючи компоненти з бібліотеки, реалізувати дешифратор 2 у 6 та просимулювати його роботу.

### Варіант 13:

in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
0	0	1	0	1	1	1	1
0	1	1	1	0	0	0	1
1	0	1	1	1	0	0	0
1	1	1	0	0	0	1	0

### Виконання роботи

За допомогою елементів 2І, 2АБО1НЕ, 2АБО2НЕ, 2АБО і інверторів створюємо схему дешифратора 2 у 6 схема зображена на рис.1.

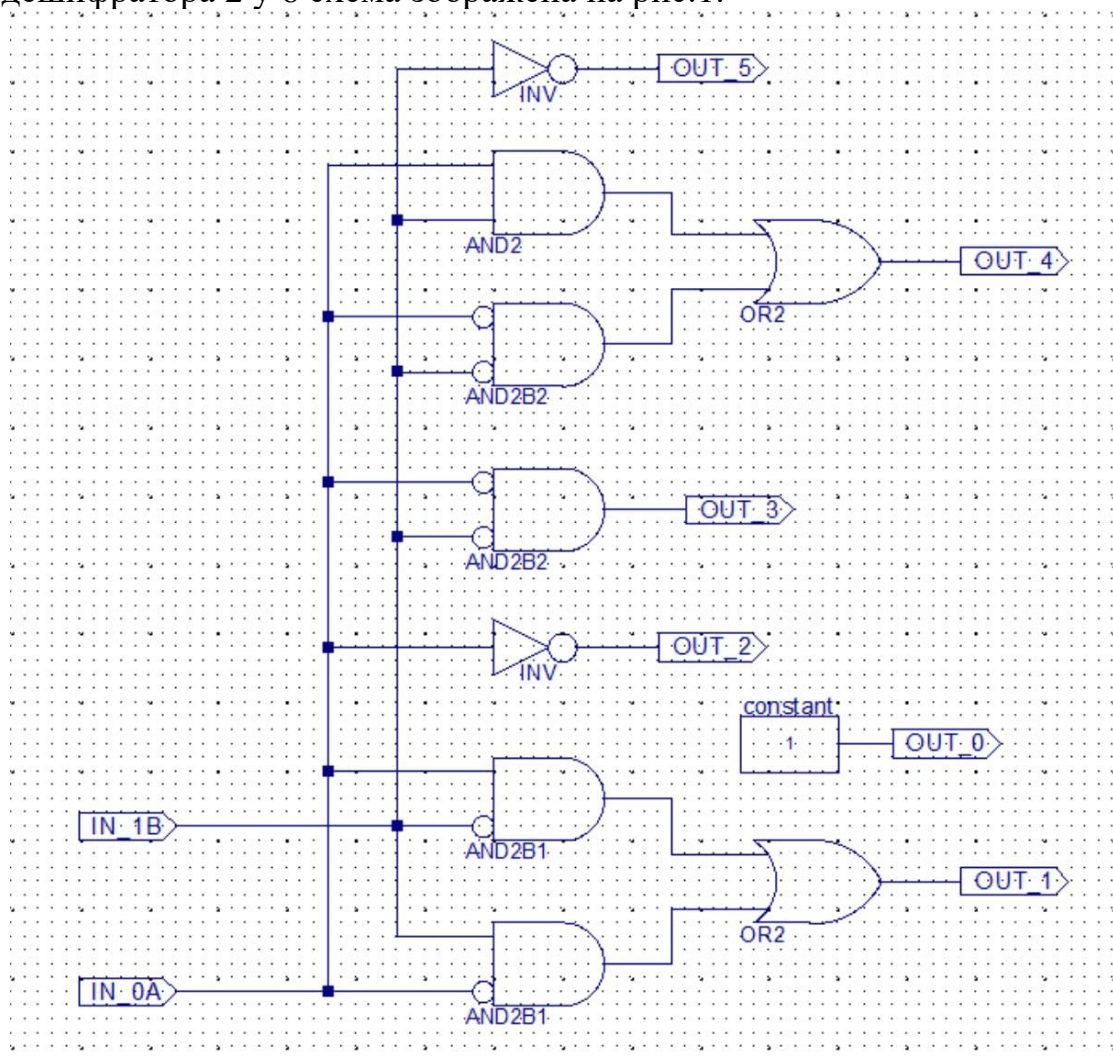
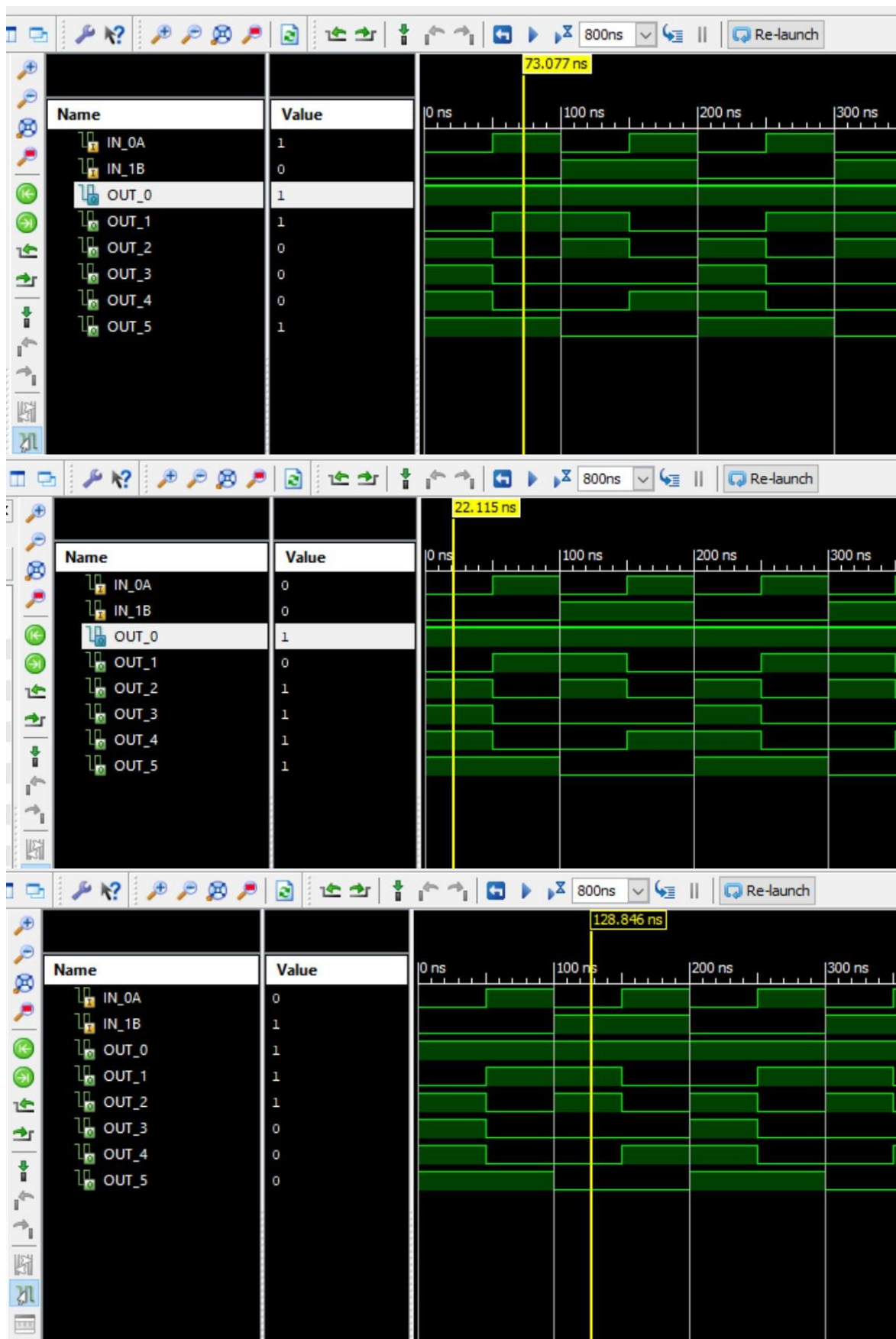
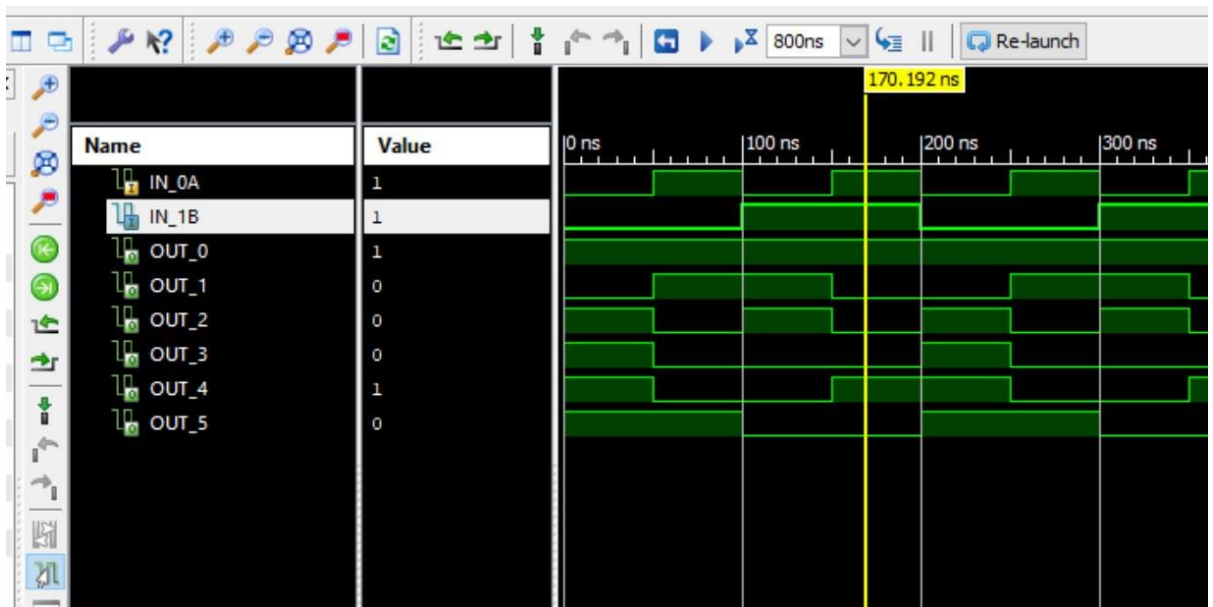


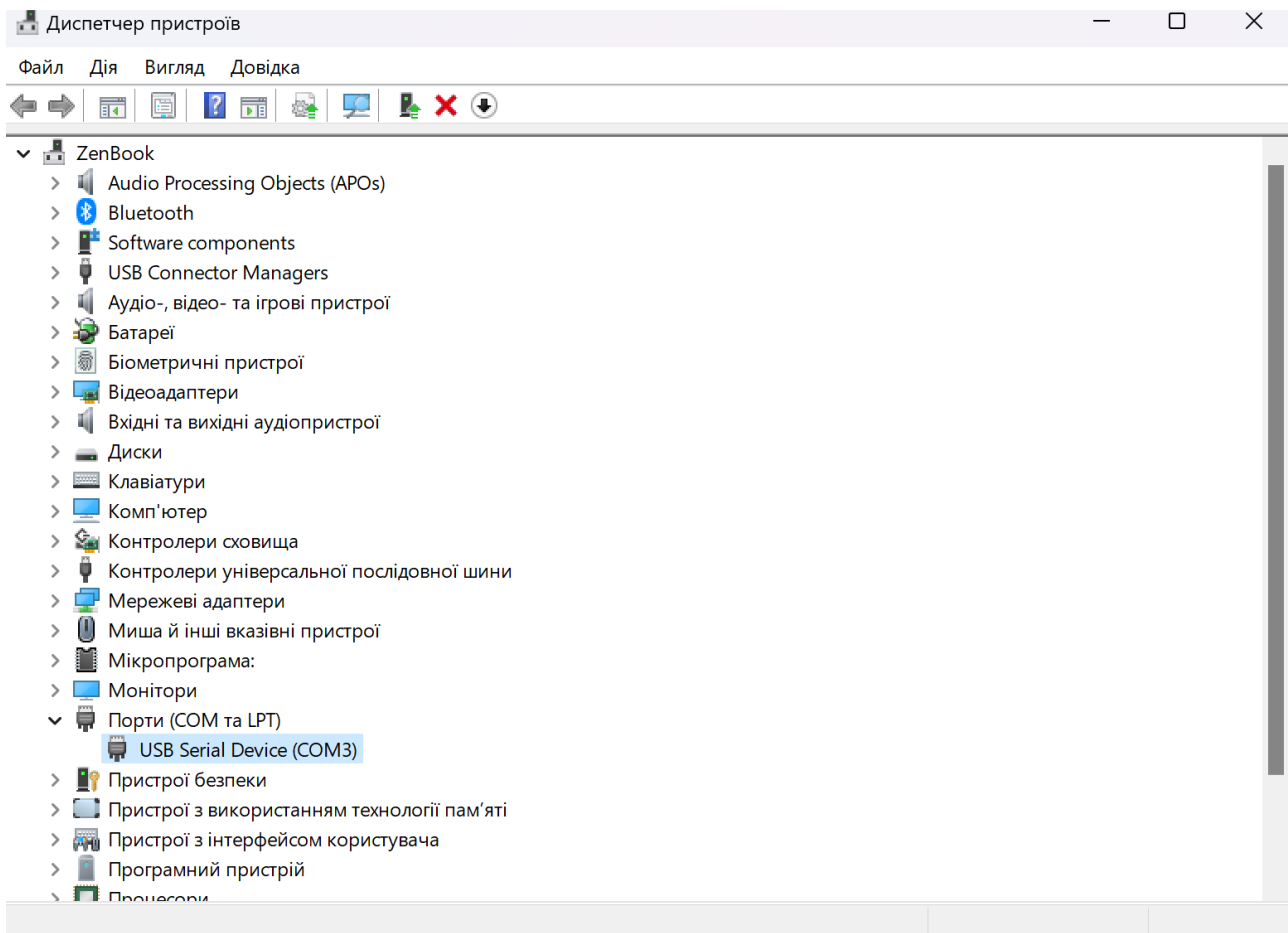
Рис.1. Схема дешифратора 2 у 6.

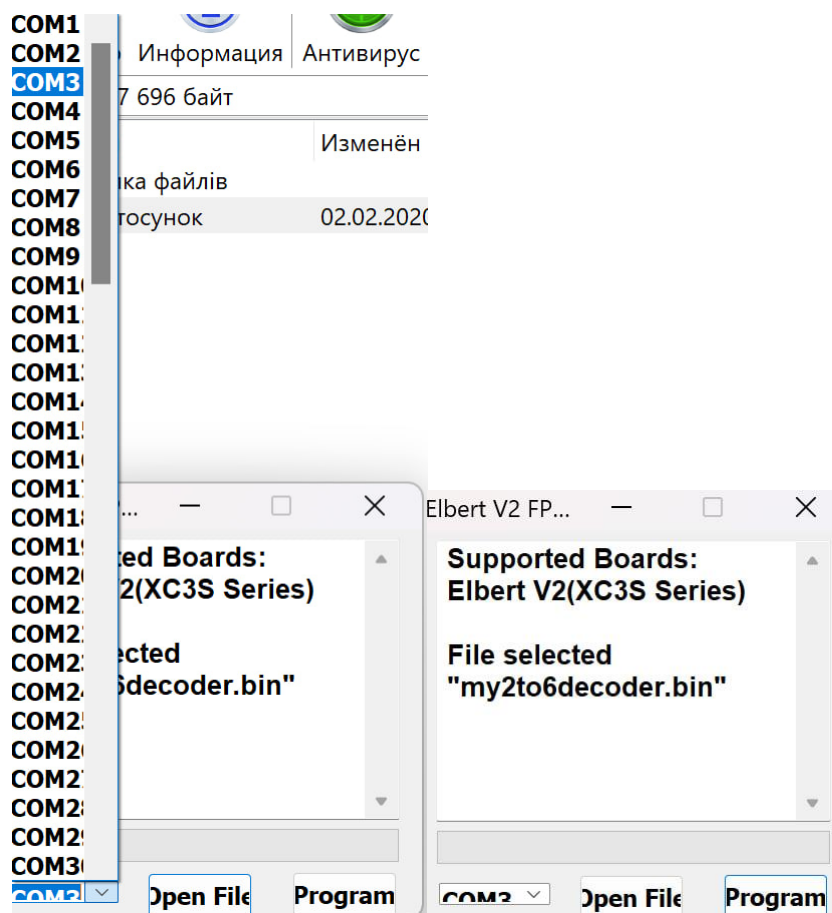
Перевіряю роботу схеми за допомогою симулятора ISim:  
 Для кожного вхідного сигналу викликаю контекстне меню і  
 встановлюю значення (1 або 0) за допомогою команди Force Constant.  
 Повторюю симуляцію для інших наборів вхідних значень





Для тестування на стенді запускаю програму Elbert V2 і вибираю правильну конфігурацію порта.





**Висновок:** Я познайомився із середовищем Xilinx, змодельовав дешифратор 2>6 та протестував його на тестовому стенді.