

Memorias

Volátiles (genéricamente RAMs)

Pierden el dato si se corta la alimentación.

- **Estáticas:** Basadas en biestables
 - **Dinámicas:** Basadas en capacitores
 - Son más simples, permiten mayor densidad de bits, pero requieren refresco.
-
- **Escritura y lectura en nanosegundos**
 - **Sin límite en cantidad de escrituras/lecturas**



No volátiles (genéricamente ROMs)

No pierden el dato si se corta la alimentación.

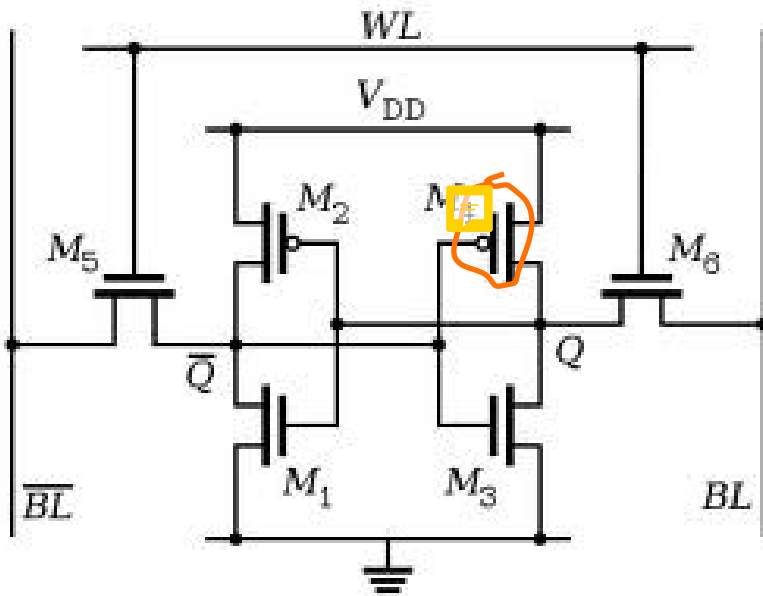
- **ROM:** Datos definidos en la misma máscara de fabricación. **OTP** →
- **PROM: (ROM):** Datos grabados por única vez.
- **EPROM:** Datos grabados eléctricamente, borrables mediante radiación UV.
- **EEPROM:** Datos grabados y borrados eléctricamente por celdas
- **FLASH:** Datos grabados y borrados eléctricamente por bloques. Incluyen una RAM (volátil) de bloque.

Escritura en ms, lectura en ns, con latencias en algunos casos.

Entre 10000 y 100000 ciclos

Entre 10 y 20 años de retención

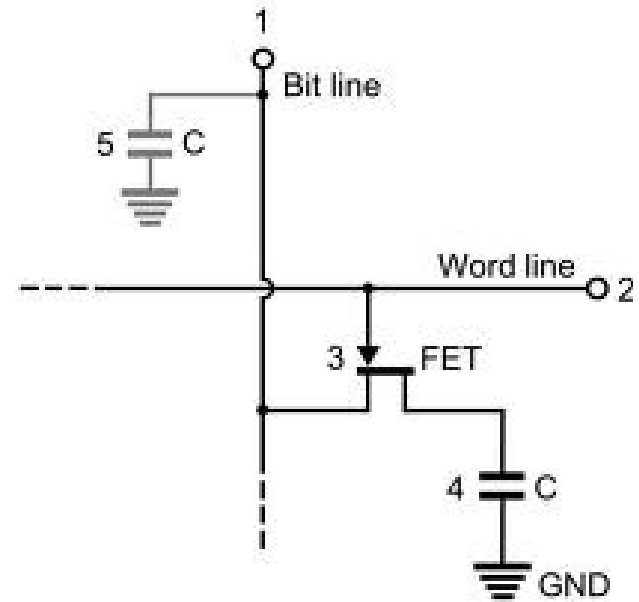
Memorias RAM



Celda estática.

Está formada por un mínimo de 6 transistores, como un biestable (S-R o D) habilitado por nivel.

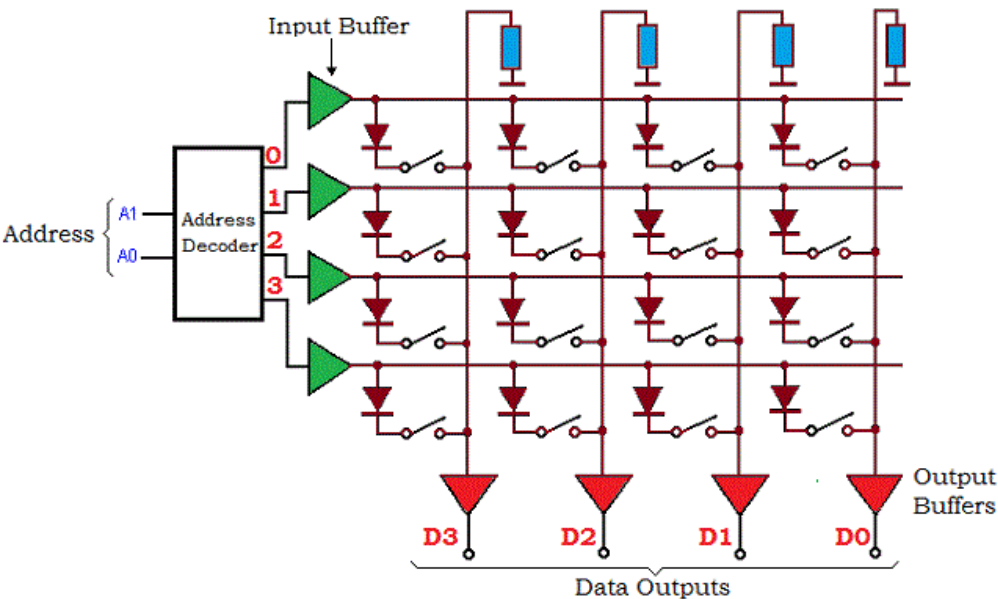
Las RAM con estas celdas son más rápidas (pocos ns de acceso) pero más costosas y de menor densidad. Se utilizan en los sistemas *cache* ,



Celda de RAM dinámica.

formada por una celda capacitiva para almacenar la carga correspondiente al nivel H o L, y un transistor para habilitar su escritura o lectura. La operación de *refresco* consiste en leer y reescribir en forma periódica (de 50 ms a 1 s) el valor.

Memorias ROM



En general también es de acceso “aleatorio”, pero se denomina *Read Only Memory* porque opera como almacenamiento de información persistente, incluso sin alimentación.

Consisten en una matriz de conexiones entre líneas de un decodificador (filas) y líneas de dato (columnas). Cada conexión lleva un diodo, formando así una OR (con la resistencia *pull-down* de la columna). En serie con el diodo va una “llave”, que puede ser un **fusible** (PROM), un **transistor de puerta flotante** (EPROM, EEPROM, FLASH), o una **conexión directa** (mask ROM)

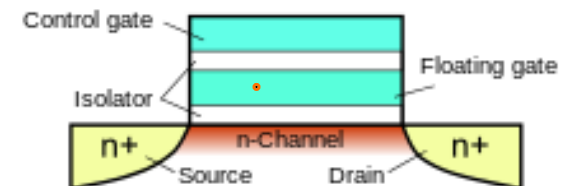
mask ROM: permanente, no modificable. En los ‘0’ no hay diodo, en los ‘1’ hay diodo directo

PROM (Programmable ROM): grabable una vez, permanentes, bits modificables a ‘0’. Originalmente todos los bits son ‘1’, al grabarla se queman los **fusibles** de forma **irreversible** en los bits ‘0’.

EPROM (Erasable PROM): En serie con cada diodo hay transistor que permanece en **conducción** o **bloqueo** gracias a un mecanismo de **puerta flotante**. Se graba a través de la puerta de control y se borra mediante luz UV aplicada a la pastilla. Esto requiere extraer el chip del circuito.

EEPROM (Electrically Erasable PROM): también con puerta flotante, pero el borrado es eléctrico. En las primeras EEPROM se requería un voltaje de 12 volts, actualmente se borran con bajo voltaje. El borrado es individual por cada posición de memoria.

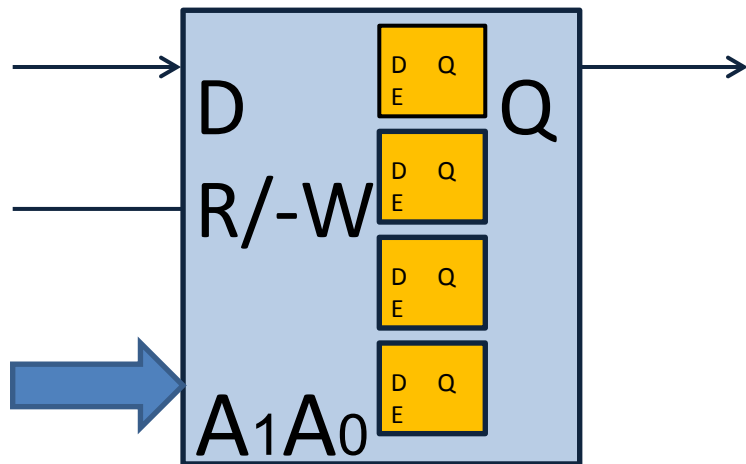
FLASH: Similar a la EEPROM, pero en borrado en bloque.



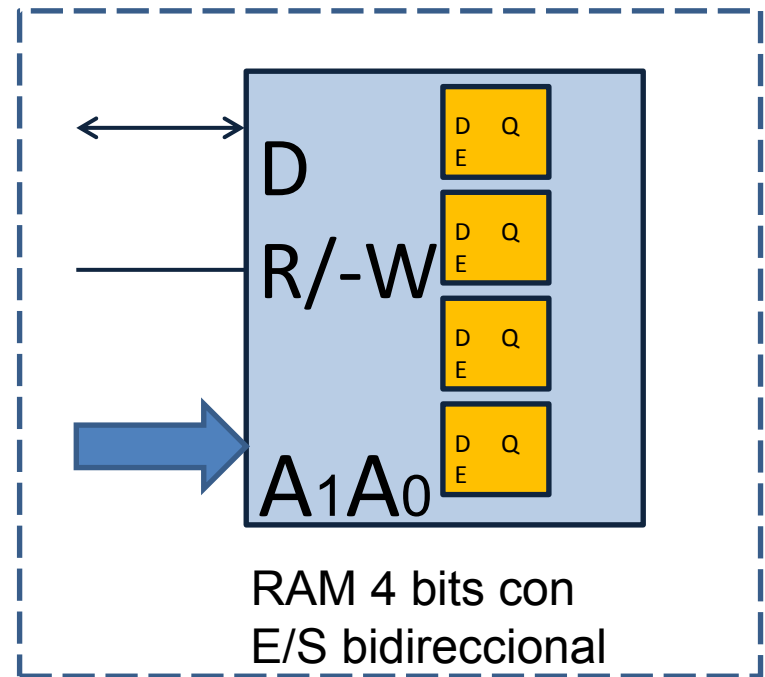
RAM estática de 4 bits

La idea básica es poder almacenar o “escribir” un bit en un biestable determinado, seleccionado mediante una combinación binaria A_1A_0 denominada “dirección”, y luego poder recuperarlo. Con la entrada de control $R/-W=0$ se realiza la escritura, y con $R/-W=1$ la lectura. En un esquema con entradas y salidas separadas el bit a escribir se presenta en la entrada D, y luego se lee por la salida Q.

En un esquema con entrada y salida única (bidireccional), el bit se presenta para escribir o se lee por el mismo terminal. Es lo más habitual.



RAM 4 bits con
E/S separadas



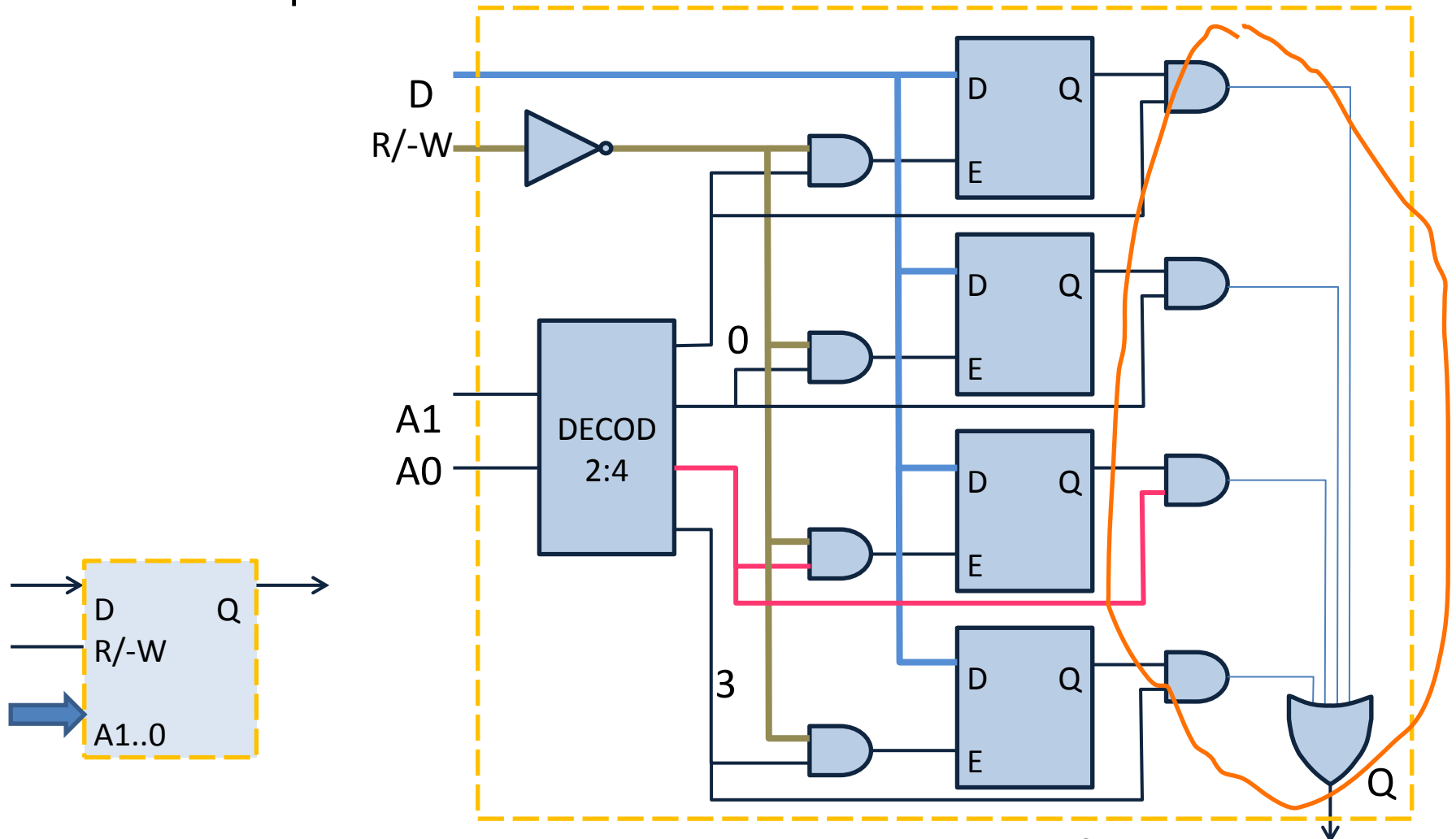
RAM 4 bits con
E/S bidireccional

Operación de Escritura: 1) Poner dirección en A_1A_0 y dato en D. 2) Aplicar pulso negativo en R/-W 3) Ya se puede quitar el dato

Operación de Lectura: 1) Con R/-W en 1, poner dirección en A_1A_0 . En Q se tendrá el dato direccionado. (En la memoria E/S bidireccional, estará en D)

RAM estática de 4 bits

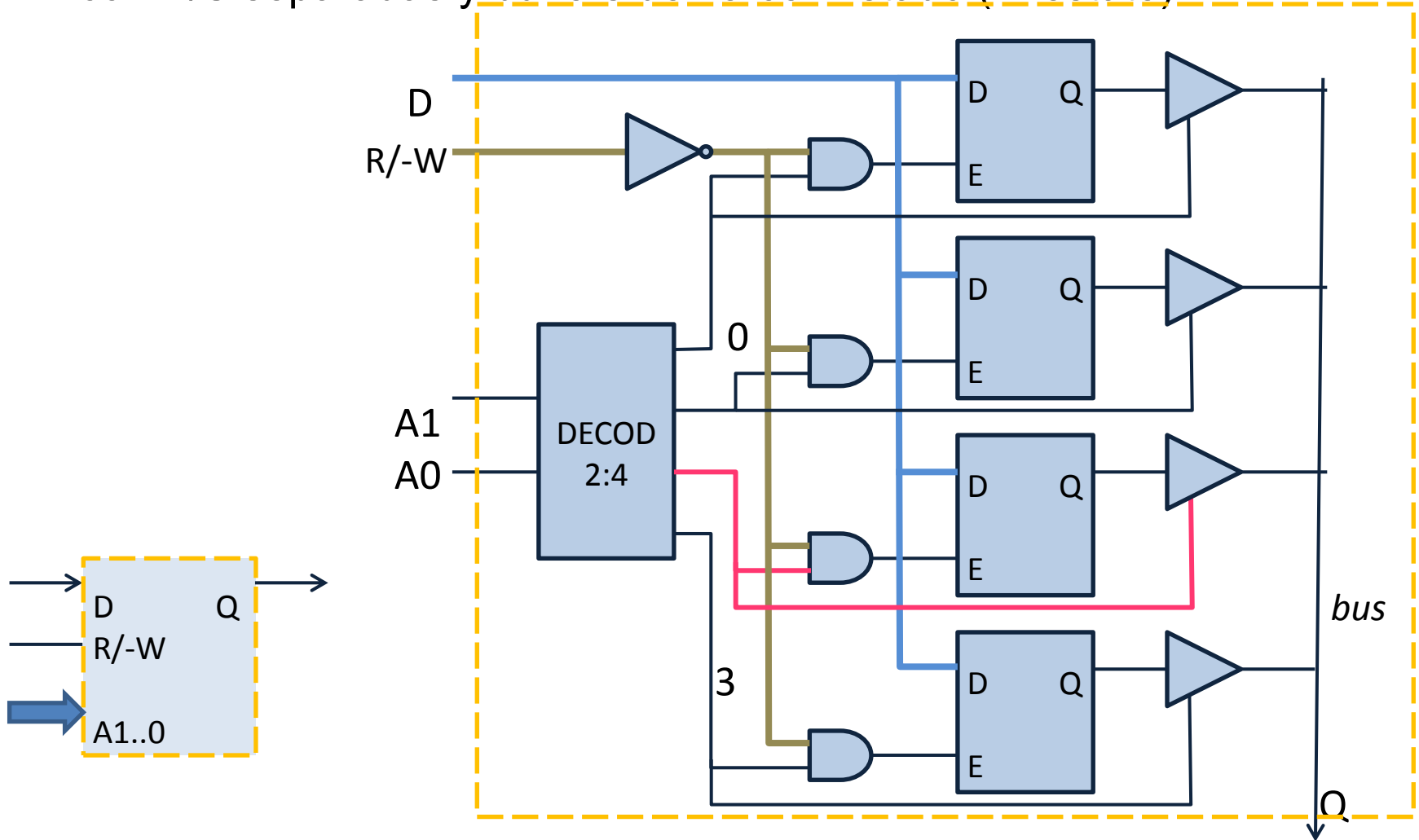
RAM con E/S separadas



Al poner un dato en D, éste se presenta en los 4 biestables. Las salidas del decodificador combinadas en las AND de entrada junto con la señal $R/-W=0$ habilitarán la escritura de uno de ellos, el direccionado por A_1A_0 . El mismo decodificador forma – con las AND de salida y la OR de salida – un multiplexor que selecciona una de las salidas Q según los bits A_1A_0 .

RAM estática de 4 bits

RAM con E/S separadas y buffers de Tercer Estado (Triestate)

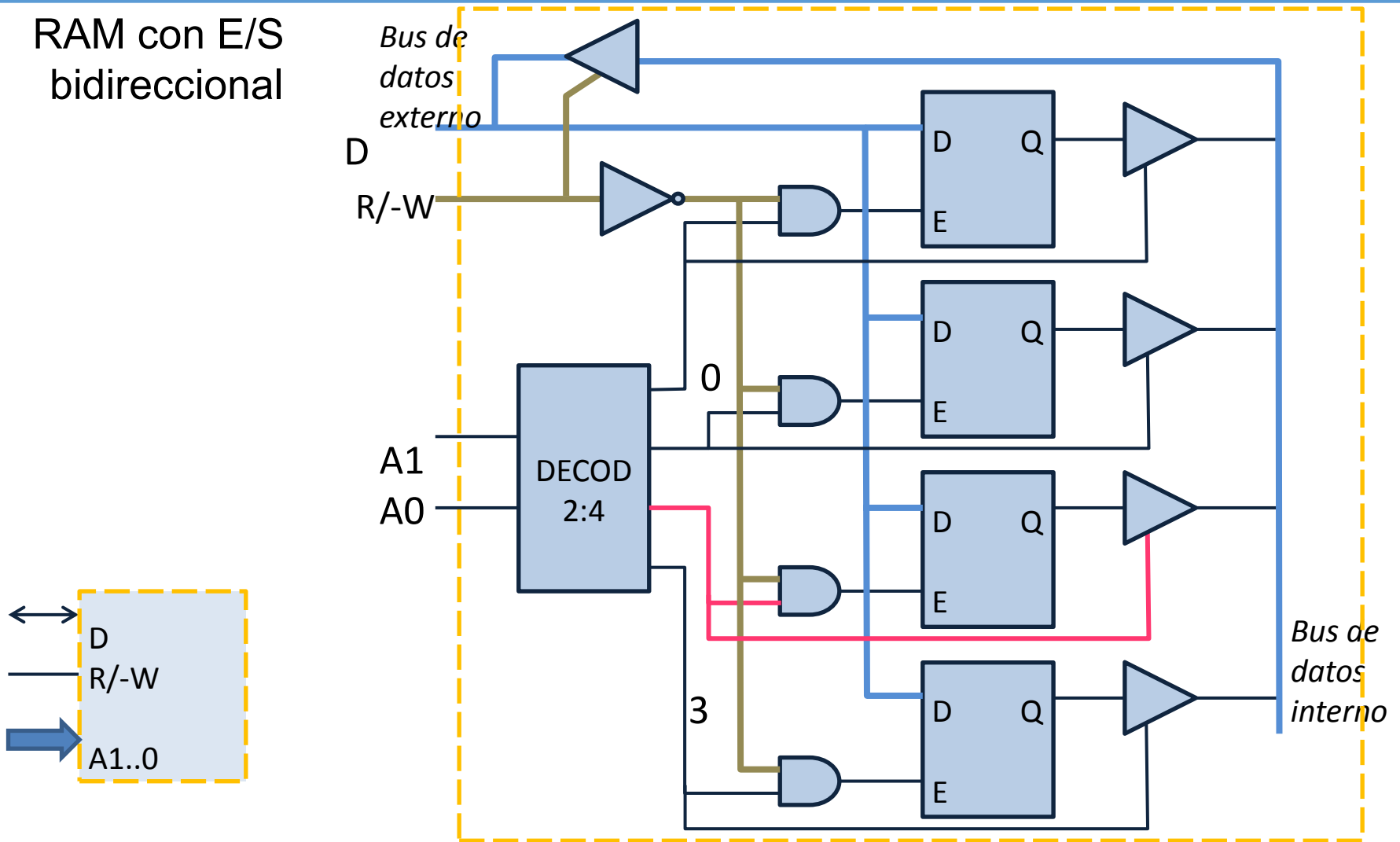


La escritura es igual que antes.

En la salida, en vez de un multiplexor, el decodificador habilita uno de los buffers Triestate permitiendo que la salida Q correspondiente tome el control del bus.

RAM estática de 4 bits

RAM con E/S
bidireccional

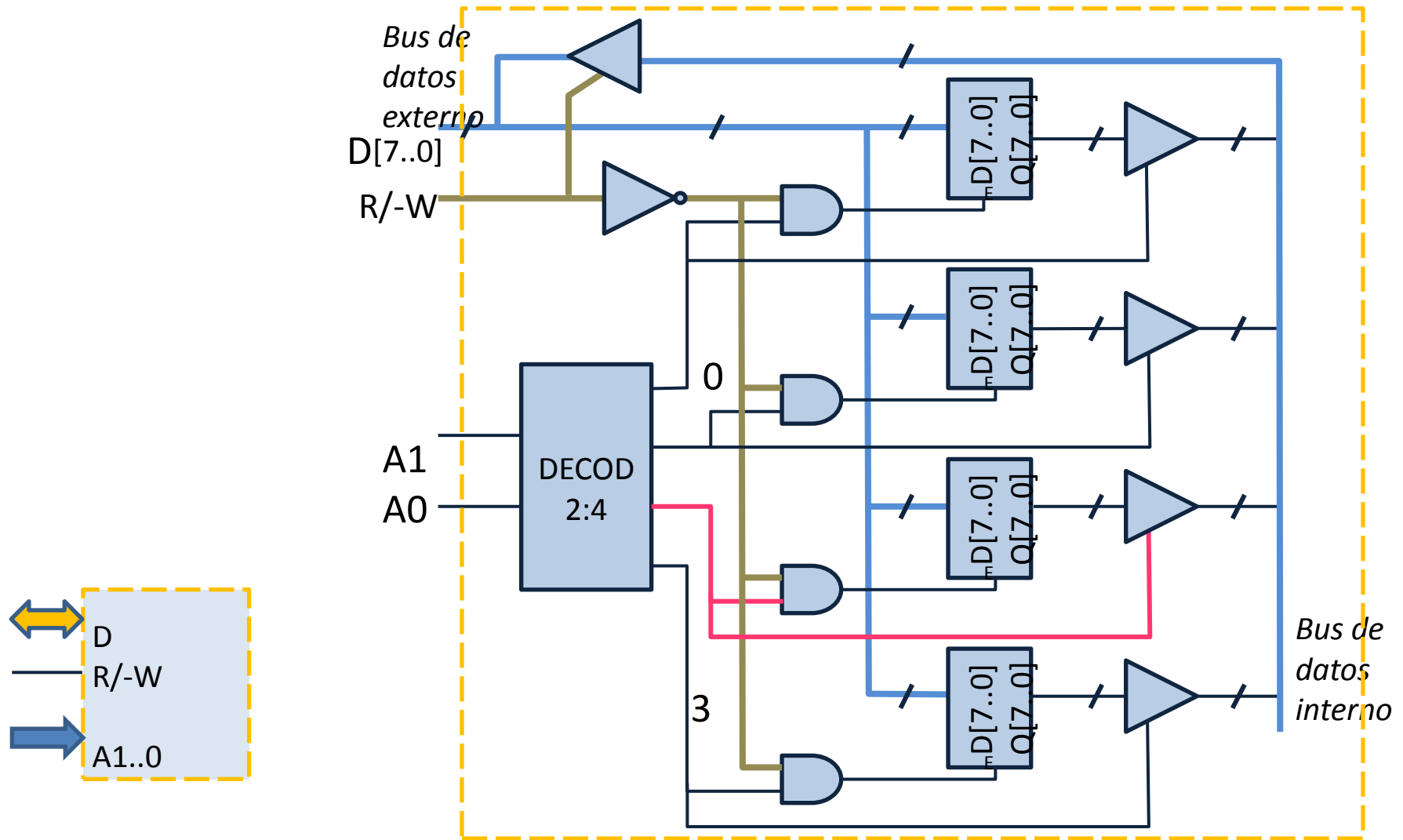


La escritura es igual que antes.

La misma entrada R/-W se utiliza para arbitrar qué señal toma el control del bus de datos externo.

Con R/-W=1, los datos salen de la RAM (lectura), con R/-W=0 (escritura) el *buffer* agregado impide la colisión.

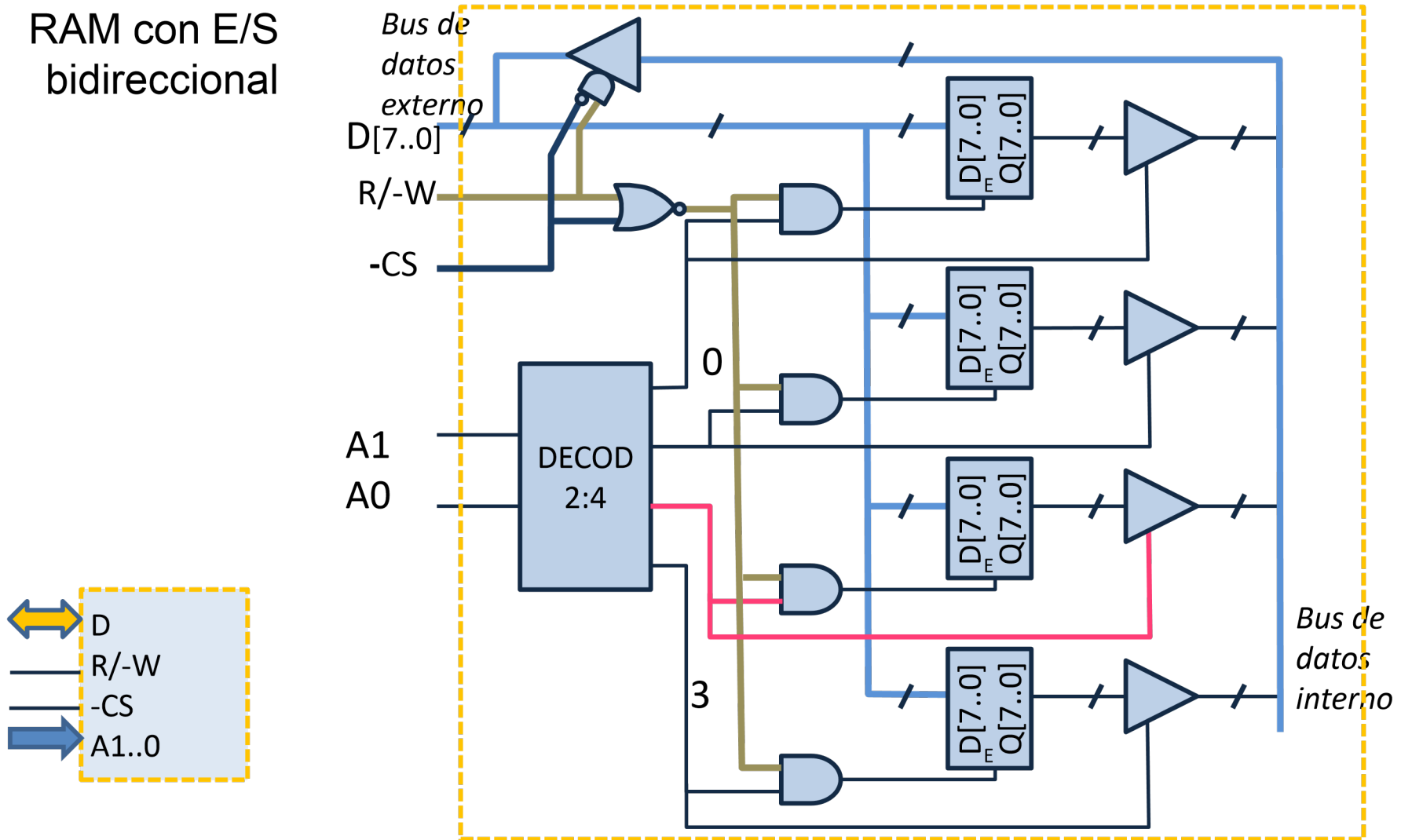
RAM estática de 4 bytes



El mecanismo de direccionamiento y escritura/lectura es el mismo que para bits, pero en vez de biestables se manipulan registros Paralelo/Paralelo. Ahora el bus de datos es de 8 bits (ó 16, 32...)

RAM estática de 4 bytes con *chip select*

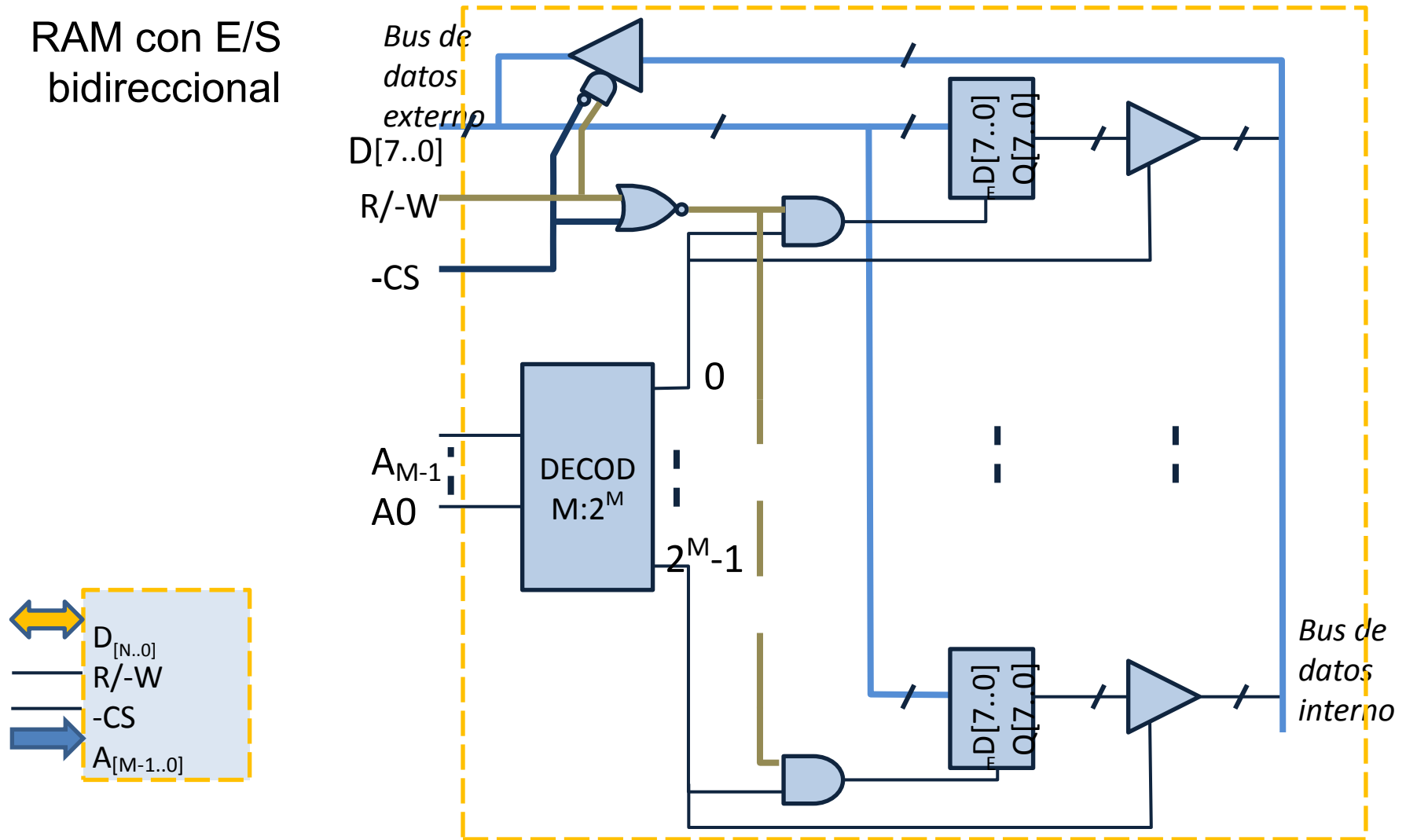
RAM con E/S
bidireccional



El control *Chip Select* permite anular completamente las operaciones de lectura escritura, permitiendo aislar el chip completo. En el esquema, con $-CS=1$ se anulan las operaciones de lectura y escritura, con $-CS=0$ se habilitan.

RAM estática de 2^M Bytes

RAM con E/S
bidireccional



Con un bus de direcciones de M bits, se tiene una capacidad de direccionamiento de 2^M posiciones de memoria.