

BRADLEE ALEJANDRO CASTRO CASTRO

UNIVERSIDAD INDUSTRIAL DE SANTADER

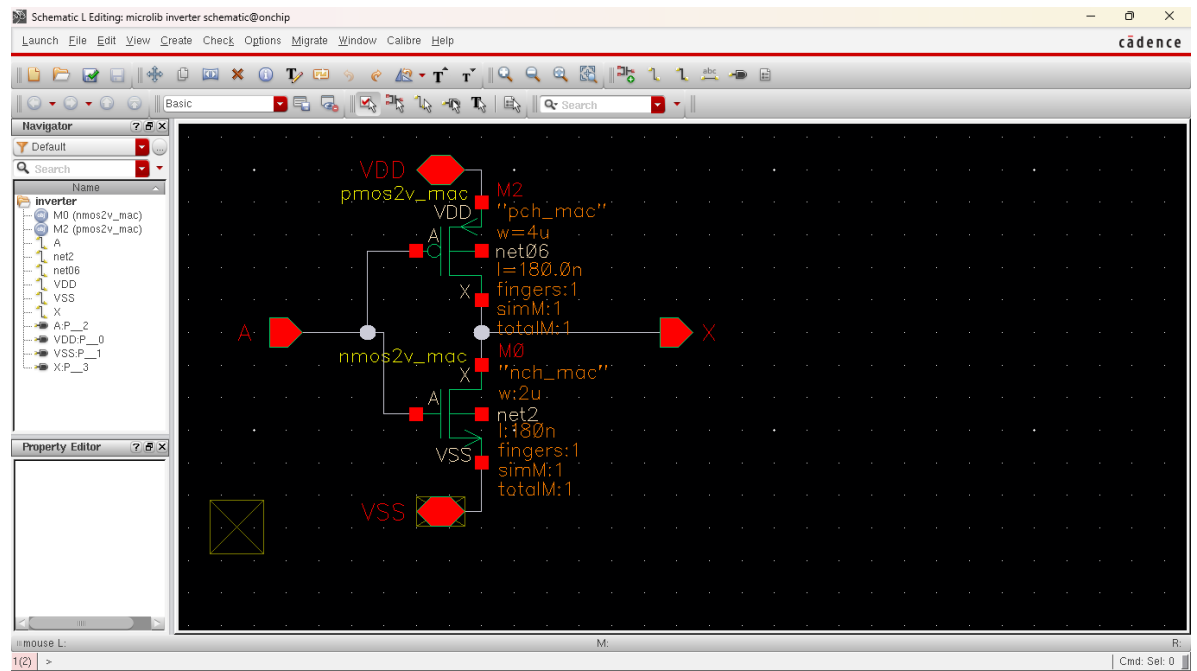
2024

Introducción:

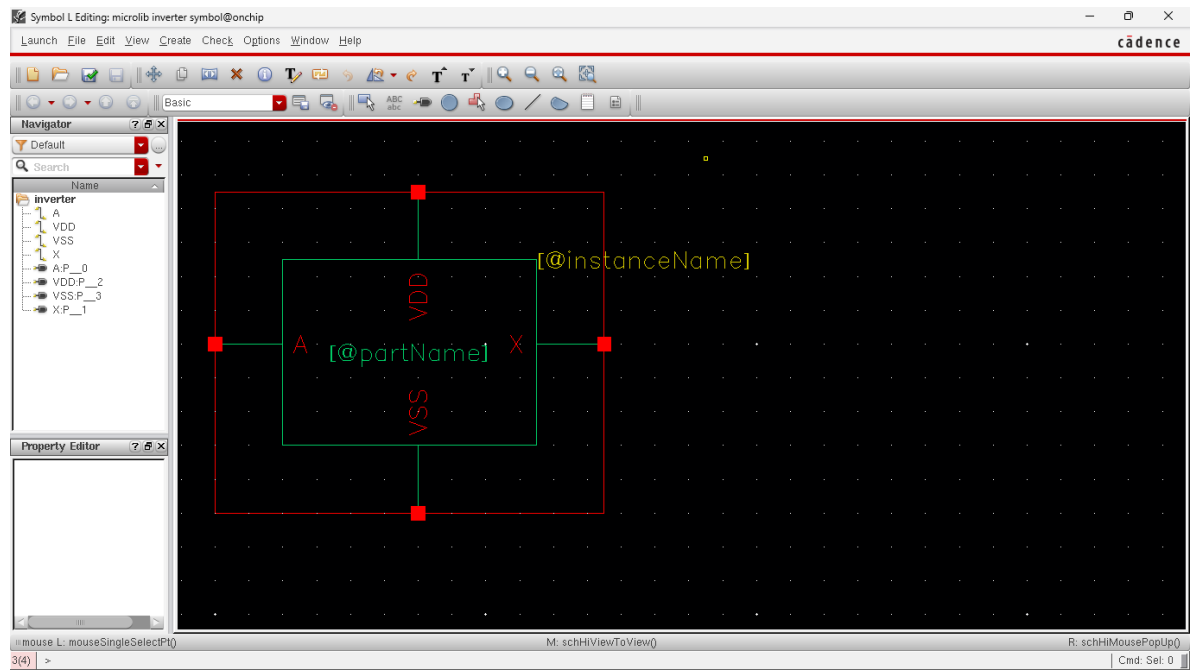
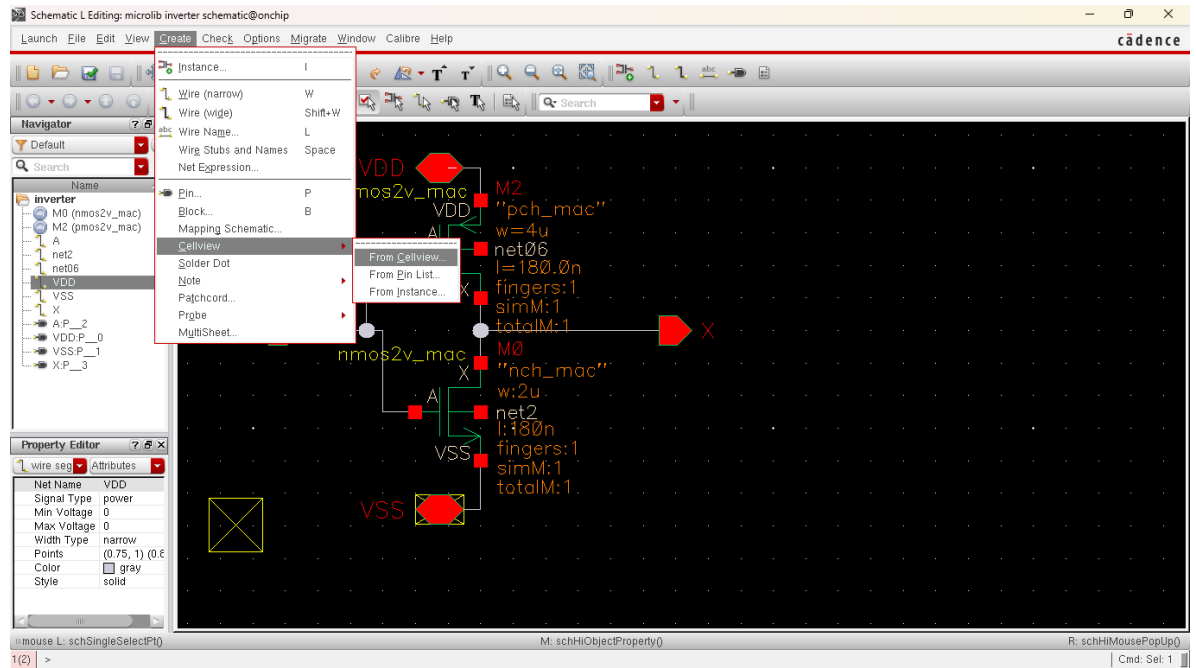
En esta tarea realizaremos y el paso a paso del diseño de una compuerta lógica “NOT”
Se espera poder comprender mejor el funcionamiento de la herramienta virtuoso

Metodología

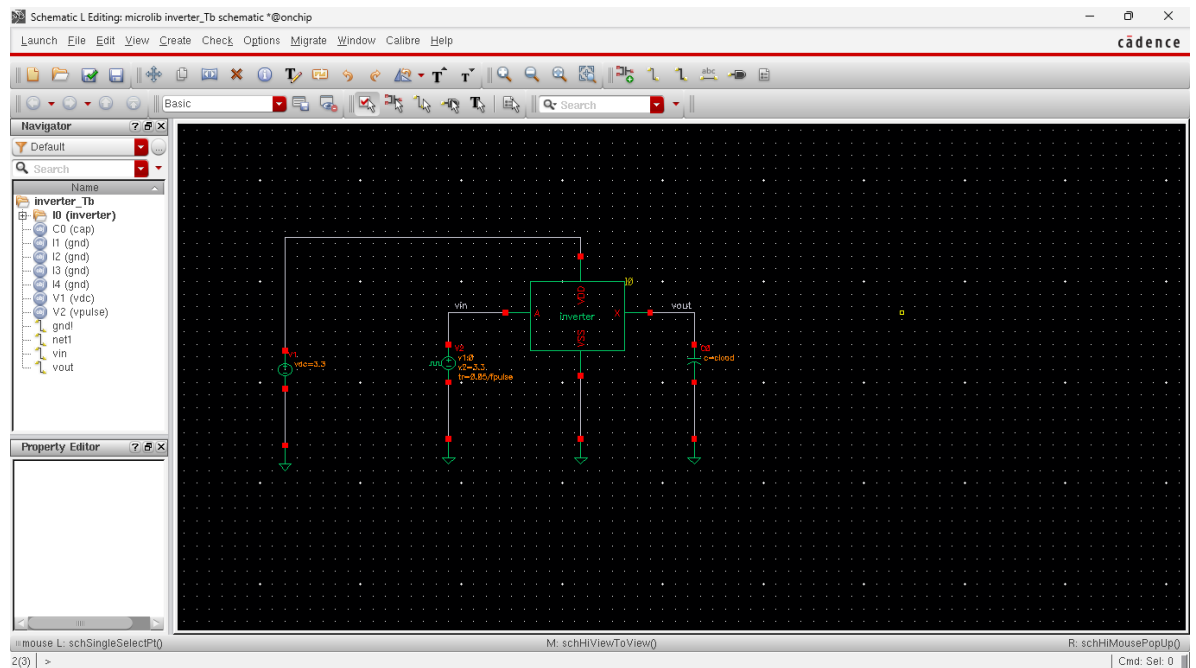
1. Creación del Schematic el cual es una compuerta lógica (“NOT”) que consiste en dos transistores uno tipo p y el otro tipo n



2. Una vez creamos la compuerta analógica creamo el symbol



3. Luego se crea una simulación usando el “symbol” creado anteriormente



ADE XL Test Editor - microlib:inverter_Tb:1@onchip

Session Setup Analyses Variables Outputs Simulation

cadence

Design Variables

Name	Value
1 TIME	10u
2 load	1p
3 pulse	1M

Analyses

Type	Enable	Arguments
1 tran	<input checked="" type="checkbox"/>	0 VAR("TIME")

Outputs

Name/Signal/Expr	Value	Plot	Save	Save Options
1 vin		<input checked="" type="checkbox"/>	<input type="checkbox"/>	allv
2 vout		<input checked="" type="checkbox"/>	<input type="checkbox"/>	allv

4(6) Save State ... Status: Ready T=50.0 C Simulator: spectre State: microlib:inverter_Tb:1_active

Conclusiones

La tarea se llevo acabo con éxito hasta llegar al punto de la simulación que por razones desconocidas y pronto serán expuestas al profesor en la siguiente clase por tal razón no se adjunta evidencia de la simulación de proyecto. Entre otras cosas gracias a esta tarea se logro profundizar en el uso de la herramienta virtuoso la cual nos permitiría durante todo este semestre realizar y diseñar circuitos.