



<b>ASIGNATURA : TÉCNICAS DIGITALES I</b>	
<b>ÁREA:</b> Básicas de Ingeniería	<b>CÓDIGO:</b> 2224
<b>NÚCLEO:</b> Sistemas digitales y Computadores	
<b>SEMESTRE:</b> Segundo (II)	<b>CRÉDITOS:</b> 3
<b>REQUISITOS:</b> Álgebra Lineal – Introducción a la Ingeniería Electrónica	
<b>CORREQUISITOS:</b> Ninguno	

## I. CONTENIDO SITÉTICO (UNIDADES TEMÁTICAS)

- 1) Álgebra Booleana y Circuitos Lógicos.
- 2) Simplificación de Funciones Lógicas.
- 3) Sistemas de Numéricos y Circuitos Aritméticos.
- 4) Lógica Combinacional y Bloques Constructores.
- 5) Lógica Secuencial.
- 6) Diseño de Sistemas Digitales.

## II. CONTENIDO ANALÍTICO

A desarrollarse en 16 semanas y 96 horas de clase presencial, con 32 sesiones para la presentación de las temáticas y 16 sesiones para el desarrollo de las prácticas de laboratorio, para un total de 48 sesiones de clase presencial, para desarrollar las siguientes unidades temáticas:

### UNIDAD 1: ALGEBRA BOOLEANA Y CIRCUITOS LÓGICOS

#### **1.1 Compuertas Lógicas, variables y funciones:**

- 1.1.1 Variables y funciones.
- 1.1.2 Inversión.
- 1.1.3 Tablas de verdad.
- 1.1.4 Compuertas lógicas y circuitos.

#### **1.2 Algebra Booleana:**

- 1.2.1 Diagramas de Venn.
- 1.2.2 Notación y terminología.
- 1.2.3 Precedencia de las operaciones.

#### **1.3 Síntesis con compuertas AND, OR y NOT:**

- 1.3.1 Formas de productos de sumas y sumas de productos.
- 1.3.2 Circuitos Lógicos NAND y NOR.
- 1.3.3 Ejemplos de diseño.

#### **1.4 Introducción a las herramientas CAD y lenguaje VHDL:**

- 1.4.1 Ingreso del diseño.
- 1.4.2 Síntesis.



- 1.4.3 Simulación funcional.
- 1.4.4 Configuración del chip.
- 1.4.5 Introducción a VHDL.
- 1.4.6 Representación de señales digitales en VHDL.
- 1.4.7 VHDL su organización y arquitectura.

*Metodología:* A desarrollarse en 4 sesiones para la presentación de la temática, y 2 sesiones para el desarrollo de la práctica de laboratorio, compuestas de 8 horas para el estudio teórico y 4 horas para la para la implementación práctica, para un total de 12 horas de clase presencial en 2 semanas de estudio, dispuestas para la realización de las siguientes actividades:

- Encuentros tradicionales con el docente, donde se expondrán las temáticas correspondientes, se desarrollaran ejercicios y responderán preguntas; basado en el texto guía [1], en sus capítulos 1, 2 y 3; y en el texto guía [2], en sus capítulos [1] y [2].
- Taller 1: Ejercicios de Algebra Booleana e introducción al diseño. Se pretende que el estudiante repase los conceptos referentes al algebra Booleana, criterios de diseño y programación de la FPGA usando VHDL; basado en los textos guía [3] y [1].

## UNIDAD 2: SIMPLIFICACIÓN DE FUNCIONES LÓGICAS

### **2.1 Mapas de Karnaugh:**

- 2.1.1 Mapas de Karnaugh de 2 y 3 variables.
- 2.1.2 Mapas de Karnaugh de 4 variables.
- 2.1.3 Mapas de Karnaugh de más de 4 variables.

### **2.2 Estrategias de minimización:**

- 2.2.1 Minimización de formas de Suma de Productos.
- 2.2.2 Minimización de formas de Productos de sumas.

### **2.3 Simplificación de funciones específicas:**

- 2.3.1 Condiciones de no importa.
- 2.3.2 Circuitos de salida múltiple.

### **2.4 Circuitos Lógicos Multinivel:**

- 2.4.1 Síntesis Multinivel.
- 2.4.2 Factorización.
- 2.4.3 Descomposición funcional.
- 2.4.4 Circuitos NAND y NOR multinivel.
- 2.4.5 Análisis de Circuitos multinivel.

### **2.5 Otros métodos de minimización:**

- 2.5.1 Representación Cúbica.
- 2.5.2 Método tabular de para minimización.



2.5.3 Técnica Cúbica para minimización.

**2.6 Circuitos sintetizados a partir de código VHDL:**

- 2.6.1 Ejemplos de circuitos sintetizados a partir de VHDL.
- 2.6.2 Ejemplos de problemas resueltos.

*Metodología:* A desarrollarse en 6 sesiones para la presentación de la temática, y 3 sesiones para el desarrollo de la práctica de laboratorio, compuestas de 12 horas para el estudio teórico y 6 horas para la para la implementación práctica, para un total de 18 horas de clase presencial en 3 semanas de estudio, dispuestas para la realización de las siguientes actividades:

- Encuentros tradicionales con el docente, donde se expondrán las temáticas correspondientes, se desarrollaran ejercicios y responderán preguntas; basado en el texto guía [1], en su capítulo 4; y en el texto guía [3], en su capítulo 3.
- Taller 2: Análisis de funciones lógicas simplificadas. Se pretende que el estudiante repase los conceptos referentes a los métodos de minimización y pasos de diseño; basado en los textos guía [3] y [1].

**UNIDAD 3: SISTEMAS NUMÉRICOS Y CIRCUITOS ARITMÉTICOS**

**3.1 Representación Numérica posicional:**

- 3.1.1 Números enteros sin signo.
- 3.1.2 Conversión entre sistemas decimal y binario.
- 3.1.3 Representaciones octal y hexadecimal.

**3.2 Suma de números sin signo:**

- 3.2.1 Sumador completo descompuesto.
- 3.2.2 Sumador con acarreo en cascada.
- 3.2.3 Ejemplos de diseño.

**3.3 Números con signo:**

- 3.3.1 Números negativos.
- 3.3.2 Suma y resta.
- 3.3.3 Unidad sumadora y unidad restadora.
- 3.3.4 Desbordamiento aritmético y problemas de rendimiento.
- 3.3.5 Sumadores Veloces.

**3.4 Diseño de circuitos Aritméticos con el uso de herramientas CAD:**

- 3.4.1 Diseño de circuitos aritméticos con el uso de captura esquemática.
- 3.4.2 Diseño de circuitos aritméticos con VHDL.
- 3.4.3 Representación de números en código VHDL.

**3.5 Multiplicación:**



- 3.5.1 Arreglo multiplicador para números sin signo.
- 3.5.2 Multiplicación de números con signo.

**3.6 Otras representaciones:**

- 3.6.1 Números con punto fijo.
- 3.6.2 Números con punto flotante.
- 3.6.3 Representación decimal codificado en binario BCD.
- 3.6.4 Código de caracteres ASCII

**3.7 Circuitos aritméticos sintetizados a partir de código VHDL:**

- 3.7.1 Declaraciones concurrentes.
- 3.7.2 Declaraciones secuenciales.
- 3.7.3 Ejemplos de problemas resueltos.

*Metodología:* A desarrollarse en 4 sesiones para la presentación de la temática, y 2 sesiones para el desarrollo de la práctica de laboratorio, compuestas de 8 horas para el estudio teórico y 4 horas para la para la implementación práctica, para un total de 12 horas de clase presencial en 2 semanas de estudio, dispuestas para la realización de las siguientes actividades:

- Encuentros tradicionales con el docente, donde se expondrán las temáticas correspondientes, se desarrollaran ejercicios y responderán preguntas; basado en el texto guía [1], en su capítulo 5; el texto guía [3], en su capítulo 4; y el texto guía [2], en su capítulo 3.
- Taller 3: Sistemas numéricos y códigos. Se pretende que el estudiante fortalezca la habilidad para realizar operaciones aritméticas en otros sistemas numéricos, así como manejo de códigos; basado en los textos guía [3] y [1].
- Práctica de laboratorio 1: Circuitos lógicos aritméticos. Se diseñaran circuitos digitales aritméticos usando los métodos de simplificación ya conocidos, se realizará el montaje físico con compuertas lógicas y la programación en la FPGA usando VHDL; basado en los textos guía [1] y [3].

**UNIDAD 4: LÓGICA COMBINACIONAL Y BLOQUES CONSTRUCTORES**

**4.1 Multiplexores:**

- 4.1.1 Síntesis de funciones lógicas mediante multiplexores.
- 4.1.2 Síntesis de multiplexores mediante la expansión de Shannon.

**4.2 Decodificadores y Demultiplexores:**

- 4.2.1 Decodificadores.
- 4.2.2 Demultiplexores.

**4.3 Codificadores:**

- 4.3.1 Codificadores Binarios.
- 4.3.2 Codificadores de Prioridad.



#### **4.4 Convertidores de Código y Comparadores aritméticos:**

- 4.4.1 Circuitos convertidores de código.
- 4.4.2 Circuitos de comparación aritmética.

#### **4.5 VHDL para circuitos combinacionales:**

- 4.5.1 Instrucciones de asignación.
- 4.5.2 Instrucciones de generación.
- 4.5.3 Instrucciones PROCESS y CASE.
- 4.5.4 Operadores de VHDL.
- 4.5.5 Ejemplos de problemas resueltos.

*Metodología:* A desarrollarse en 4 sesiones para la presentación de la temática, y 2 sesiones para el desarrollo de la práctica de laboratorio, compuestas de 8 horas para el estudio teórico y 4 horas para la para la implementación práctica, para un total de 12 horas de clase presencial en 2 semanas de estudio, dispuestas para la realización de las siguientes actividades:

- Encuentros tradicionales con el docente, donde se expondrán las temáticas correspondientes, se desarrollaran ejercicios y responderán preguntas; basado en el texto guía [1], en su capítulo 6; el texto guía [3], en su capítulo 5; y el texto guía [2], en su capítulo 3.
- Práctica de laboratorio 2: Lógica Combinacional. Se diseñaran circuitos digitales con estructuras combinacionales usando los métodos de simplificación ya conocidos, se realizará el montaje físico con compuertas lógicas y la programación en la FPGA usando VHDL; basado en los textos guía [1] y [3].
- Examen de revisión de conocimientos: al finalizar el primer corte evaluativo se realizará un examen escrito divido en dos partes: la primera compuesta de una serie de preguntas abiertas sobre las temáticas vistas en las clases teóricas; la segunda compuesta de una serie de ejercicios de análisis y diseño sobre las aplicaciones vistas en las clases teóricas y utilizadas durante el desarrollo de la prácticas de laboratorio

### **UNIDAD 5: LÓGICA SECUENCIAL**

#### **5.1 La unidad mínima de memoria y latch:**

- 5.1.1 Latch básico.
- 5.1.2 Latch SR asíncrono.
- 5.1.3 Latch D asíncrono.

#### **5.2 Flip - flops**

- 5.2.1 Flip – flops tipo D maestro esclavo y disparado por flanco.
- 5.2.2 Flip – Flop tipo T.
- 5.2.3 Flip – Flop tipo JK.

#### **5.3 Registros:**



- 5.3.1 Registro de corrimiento.
- 5.3.2 Registro de corrimiento con acceso en paralelo.

**5.4 Contadores:**

- 5.4.1 Contadores asíncronos.
- 5.4.2 Contadores síncronos.
- 5.4.3 Contadores con Carga en Paralelo.

**5.5 Otros tipos de contadores:**

- 5.5.1 Contador BCD.
- 5.5.2 Contador en Anillo.
- 5.5.3 Contador Johnson.

**5.6 Elementos de almacenamiento con VHDL, Registros y Contadores con VHDL:**

- 5.6.1 Inclusión de elementos de almacenamiento en esquemas.
- 5.6.2 Uso de constructores de VHDL para elementos de almacenamiento.
- 5.6.3 Inclusión de registros y contadores en código VHDL.
- 5.6.4 Registros y contadores en código VHDL.
- 5.6.5 Ejemplos de diseño.

**5.7 Circuitos secuenciales síncronos:**

- 5.7.1 Pasos básicos de diseño.
- 5.7.2 Modelo de estado tipo Mealy.
- 5.7.3 Diseño de Máquinas de Estado Finito con VHDL
- 5.7.4 Minimización de estados.
- 5.7.5 Análisis de los circuitos secuenciales síncronos.
- 5.7.6 Cartas de la Máquina Algorítmica de Estados (cartas ASM).

**5.8 Circuitos secuenciales asíncronos:**

- 5.8.1 Comportamiento Asíncrono.
- 5.8.2 Análisis de los circuitos asíncronos.
- 5.8.3 Síntesis de los circuitos asíncronos.
- 5.8.4 Reducción de estados.
- 5.8.5 Asignación de estados.
- 5.8.6 Riesgos.

**Metodología:** A desarrollarse en 10 sesiones para la presentación de la temática, y 5 sesiones para el desarrollo de la práctica de laboratorio, compuestas de 8 horas para el estudio teórico y 4 horas para la para la implementación práctica, para un total de 30 horas de clase presencial en 5 semanas de estudio, dispuestas para la realización de las siguientes actividades:



- Encuentros tradicionales con el docente, donde se expondrán las temáticas correspondientes, se desarrollarán ejercicios y responderán preguntas; basado en el texto guía [1], en su capítulo 6; el texto guía [3], en su capítulo 5; y el texto guía [2], en su capítulo 3.
- Práctica de laboratorio 3: Lógica Secuencial. Se diseñarán circuitos digitales con estructuras elementos de memoria, usando los métodos ya conocidos, se realizará el montaje físico con compuertas lógicas y la programación en la FPGA usando VHDL; basado en los textos guía [1] y [3].
- Examen de revisión de conocimientos: al finalizar el segundo corte evaluativo se realizará un examen escrito dividido en dos partes: la primera compuesta de una serie de preguntas abiertas sobre las temáticas vistas en las clases teóricas; la segunda compuesta de una serie de ejercicios de análisis y diseño sobre las aplicaciones vistas en las clases teóricas y utilizadas durante el desarrollo de la prácticas de laboratorio

## UNIDAD 6: DISEÑO DE SISTEMAS DIGITALES

### **6.1 Integración de entidades en VHDL:**

- 6.1.1 Esquema básico de integración de entidades.
- 6.1.2 Integración de entidades básicas.

### **6.2 Diseño Jerárquico en VHDL:**

- 6.2.1 Metodología de diseño de estructuras jerárquicas.
- 6.2.2 Análisis del problema y descomposición en bloques individuales de la estructura global.
- 6.2.3 Diseño y programación de componentes o unidades del circuito.
- 6.2.4 Diseño del programa de alto nivel (Top Level).

### **6.3 Circuitos de bloque de construcción:**

- 6.3.1 Flip – Flops y registros con entradas enable.
- 6.3.2 Registros de corrimiento con estradas enable.
- 6.3.3 Memoria estática de acceso aleatorio SRAM.

### **6.4 Sincronización del reloj:**

- 6.4.1 Desviación del reloj.
- 6.4.2 Parámetros de sincronización de los flip-flops.
- 6.4.3 Entradas asíncronas a los flip-flops.
- 6.4.4 Eliminación de rebotes en interruptores.

**Metodología:** A desarrollarse en 4 sesiones para la presentación de la temática, y 2 sesiones para el desarrollo de la práctica de laboratorio, compuestas de 8 horas para el estudio teórico y 4 horas para la para la implementación práctica, para un total de 12 horas de clase presencial en 2 semanas de estudio, dispuestas para la realización de las siguientes actividades:



- Encuentros tradicionales con el docente, donde se expondrán las temáticas correspondientes, se desarrollarán ejercicios y responderán preguntas; basado en el texto guía [1], en su capítulo 6; el texto guía [3], en su capítulo 5; y el texto guía [2], en su capítulo 3.
- Práctica de laboratorio 4: Diseño de sistemas digitales. Se diseñarán sistemas digitales con estructuras combinacionales y secuenciales, usando los métodos de simplificación ya conocidos, se realizará el montaje físico con compuertas lógicas y la programación en la FPGA usando VHDL; basado en los textos guía [1] y [3].

### III. CORTE EVALUATIVO FINAL

El corte evaluativo final, correspondiente al 30% de la evaluación total del curso, está compuesto por:

- Presentación del proyecto final: el proyecto final de curso se basará en la realización una aplicación práctica, desde su diseño simulación y puesta en funcionamiento; el proyecto se podrá desarrollar en conjunto con otras materias cursadas del mismo semestre, previo acuerdo de los docentes. El proyecto lleva asociado la presentación del informe escrito junto con la sustentación y defensa oral.

### IV. PRÁCTICAS DE LABORATORIO

**Tabla 1: Relación de las prácticas de laboratorio y su tiempo de desarrollo en semanas.**

SEMANAS	PRÁCTICAS DE LABORATORIO
6 - 7	Práctica de laboratorio 1: Circuitos Lógicos Aritméticos.
8 - 9	Práctica de laboratorio 2: Lógica Combinacional.
10 – 14	Práctica de laboratorio 3: Lógica Secuencial.
15 - 16	Práctica de laboratorio 4: Diseño de Sistemas Digitales

### V. TALLERES

Excepto los talleres 1 2 y 3, los talleres son de desarrollo opcional y su objetivo es nivelar en las temáticas a los estudiantes que así lo deseen, para la presentación de un taller no es necesario no haber aprobado un examen. La presentación y sustentación de los talleres equivale a un porcentaje de la evaluación en los exámenes escritos y quices, que se acordará con el docente según la situación. La presentación y sustentación de los talleres se realizará en un horario fuera de las horas de clase presenciales y en ningún caso los talleres se computaran con la evaluación de una guía de laboratorio, teniendo en cuenta su componente práctico.

**Tabla 2: Talleres de nivelación y recuperación para el curso.**

SEMANAS	TALLERES
1 - 2	Taller 1: Ejercicios de Algebra Booleana e introducción al diseño
3 - 5	Taller 2: Análisis de funciones lógicas simplificadas.
6 - 7	Taller 3: Sistemas numéricos y códigos.
	Taller 4: Bloques constructores de circuitos combinacionales.



(el tiempo de desarrollo se acuerda con el docente)	Taller 5: Flip-Flops, registros y contadores.
	Taller 6: Circuitos secuenciales síncronos.
	Taller 7: Circuitos secuenciales asíncronos.
	Taller 8: Diseño de sistemas digitales.
	Taller 9: Diseño de controladores digitales mediante cartas ASM y VHDL
	Taller 10: Sistemas embebidos en VHDL
	Taller 11: Redes Neuronales Artificiales y VHDL
	Taller 12: Verilog HDL

## VI. BIBLIOGRAFÍA

**Tabla 3: Relación de los títulos de los textos guía, sus autores y ediciones**

Título	Autor	Edición/Año
[1] Fundamentos de lógica digital don diseño VHDL	Brown, Stephen	2 <sup>a</sup> ed / 2006
[2] VHDL el arte programar sistemas digitales	Maxines, David	1 <sup>a</sup> ed / 2002
[3] Diseño Digital	Mano, Morris	3 <sup>a</sup> ed / 2003
[4] VHDL Lenguaje para síntesis y modelado de circuitos	Pardo, Fernando	3 <sup>a</sup> ed / 2011

## VII. CONTENIDO ANALÍTICO POR SEMANAS

**Tabla 4: Relación de las temáticas con su tiempo de desarrollo en semanas, y las horas de trabajo presencial, trabajo con acompañamiento docente y trabajo individual**

SEMANA	TÉCNICAS DIGITALES I - TEMAS Y SUBTEMAS	Horas		
		P	A	I
1	<b>UNIDAD TEMÁTICA 1: ALGEBRA BOOLEANA Y CIRCUITOS LÓGICOS</b>			
	Presentación del curso - 1.1 Introducción a la electrónica digital.	2		
	1.2 Compuertas lógicas, variables y funciones. - 1.3 Algebra Boolena.	2		
	Taller 1: Ejercicios de Algebra Booleana e introducción al diseño		2	6
2	1.4 Síntesis con compuertas AND, OR y NOT.	2		
	1.5 Introducción a las herramientas CAD y lenguaje VHDL	2		
	Taller 1: Ejercicios de Algebra Booleana e introducción al diseño		2	6
3	<b>UNIDAD TEMÁTICA 2: SIMPLIFICACIÓN DE FUNCIONES LÓGICAS</b>			
	2.1 Mapas de Karnaugh	2		
	2.1 Mapas de Karnaugh	2		



	Taller 2: Análisis de funciones lógicas simplificadas.	2	6
4	2.2 Estrategias de minimización - 2.3 Simplificación de funciones específicas	2	
	2.4 Circuitos Lógicos Multinivel	2	
	Taller 2: Análisis de funciones lógicas simplificadas.	2	6
5	2.5 Otros métodos de minimización	2	
	2.6 Circuitos sintetizados a partir de VHDL	2	
	Taller 2: Análisis de funciones lógicas simplificadas.	2	6
6	<b>UNIDAD TEMÁTICA 3: SISTEMAS NUMÉRICOS Y CIRCUITOS ARITMÉTICOS</b>		
	3.1 Representación Numérica Posicional - 3.2 Suma de numeros sin signo	2	
	3.3 Números con signo - 3.4 Diseño de circuitos Aritméticos con el uso de herramientas CAD	2	
	Taller 3: Sistemas numéricos y códigos. - Práctica de laboratorio 1: Circuitos Lógicos Aritméticos	2	6
7	3.5 Multiplicación - 3.6 Otras representaciones	2	
	3.7 Circuitos aritméticos sintetizados a partir de código VHDL	2	
	Taller 3: Sistemas numéricos y códigos. - Práctica de laboratorio 1: Circuitos Lógicos Aritméticos	2	6
8	<b>UNIDAD TEMÁTICA 4: LÓGICA COMBINACIONAL Y BLOQUES CONSTRUCTORES</b>		
	EXAMEN DE PRIMER CORTE EVALUATIVO	2	
	4.1 Multiplexores - 4.2 Decodificadores y Demultiplexores	2	
	Práctica de laboratorio 2: Lógica Combinacional.	2	6
9	4.3 Codificadores - 4.4 Convertidores de código y comparadores aritméticos.	2	
	4.5 VHDL para circuitos combinacionales	2	
	Práctica de laboratorio 2: Lógica Combinacional.	2	6
10	<b>UNIDAD TEMÁTICA 5: LÓGICA SECUENCIAL</b>		
	5.1 La unidad mínima de memoria y latch	2	
	5.2 Flip-Flops	2	
	Práctica de laboratorio 3: Lógica Secuencial.	2	6
11	5.3 Registros	2	
	5.4 Contadores	2	
	Práctica de laboratorio 3: Lógica Secuencial.	2	6
12	5.5 Otros tipos de contadores	2	
	5.6 Elementos de almacenamiento con VHDL, Registros y Contadores	2	



	Práctica de laboratorio 3: Lógica Secuencial.		2	6
13	5.7 Circuitos Secuenciales Síncronos	2		
	5.7 Circuitos Secuenciales Síncronos	2		
	Práctica de laboratorio 3: Lógica Secuencial.		2	6
14	5.8 Circuitos secuenciales asincronos.	2		
	SEGUNDO EXAMEN DE SEGUNDO CORTE EVALUATIVO	2		
	Práctica de laboratorio 3: Lógica Secuencial.		2	6
15	<b>UNIDAD TEMATICA 6: DISEÑO DE SISTEMAS DIGITALES</b>			
	6.1 Integración de entidades en VHDL	2		
	6.2 Diseño Jerarquico en VHDL	2		
	Práctica de laboratorio 4: Diseño de sistemas digitales.		2	6
16	6.3 Circuitos de bloque de construcción	2		
	6.4 Sincronización del reloj	2		
	Práctica de laboratorio 4: Diseño de sistemas digitales.		2	6
17 y 18	EXAMEN DEL TERCER CORTE - PRESENTACIÓN Y SUSTENTACIÓN DEL PROYECTO FINAL DEL CURSO (Informe - Grupal/ Sustentación - Individual)			
TOTAL		64	32	96
SEMANA	TEMAS Y SUBTEMAS	Horas		
		P	A	I

Actividades de Aprendizaje: P – Trabajo Presencial. A – Trabajo Acompañamiento Docente. I – Trabajo Independiente. PL - Práctica en el Laboratorio