

Propuesta de Diseño

Instituto Tecnológico de Costa Rica CE 3201 - Taller de Diseño Digital Laboratorio 1 Problema 3: Contador de N bits

Estudiantes:
Juan Pablo Rodríguez
Jafet Díaz Morales
15 de agosto de 2025

Para el contador, la parte más desafiante es considerar las condiciones para que se de un incremento del contador ya que se debe tomar en cuenta que el operador de la FPGA querrá un incremento de un bit cada vez que se oprima el botón y no millones de veces por cada clock que ocurre en la FPGA, por lo que se debe tomar en cuenta los estados anteriores del botón.

Propuesta 1: A continuación, se tiene la tabla de verdad de las situaciones donde se incrementa o no el contador. Como se nota, es una relación bastante simple, requiere pocos recursos y el cambio del counter ocurre rápidamente.

Table 1

btn_actual	btn_anterior	btn_pulse	increment
0	0	0	0
0	1	0	0
1	0	1	1
1	1	0	0

Resultado

$\text{btn_actual} \cdot \sim \text{btn_anterior}$

$\text{increment} = \text{btn_pulse}$

Propuesta 2: Máquina de estados

Para este modelo se tienen los estados de la máquina para definir si se incrementa el counter. Para esto se deben tener 2 bits para los estados ya que existen: idle, presionado, hold. Este último es para evitar que el counter siga incrementando si el botón no se ha de-presionado. Esta propuesta tiene la ventaja de que se controla explícitamente el comportamiento del counter. Sin embargo, tiene la desventaja de que se utilizan más bits y el cambio del counter ocurre más lentamente.

Table 2

Estado Actual	btn_fpga	Estado Siguiente	increment
00	0	0	0
00	1	1	1
01	0	0	0
01	1	10	0
10	0	0	0
10	1	10	0

Resultado

```
increment = (estado_actual == 00) & btn_fpga
```

```
estado_siguiente[1] = (estado_actual == 01) & btn_fpga
```

```
estado_siguiente[0] = (estado_actual == 00) & btn_fpga
```

Conclusión

Optamos por la primera respuesta porque utiliza menos recursos y utiliza menos compuertas que la segunda propuesta ya que no debe tomar en cuenta los 3 estados posibles.