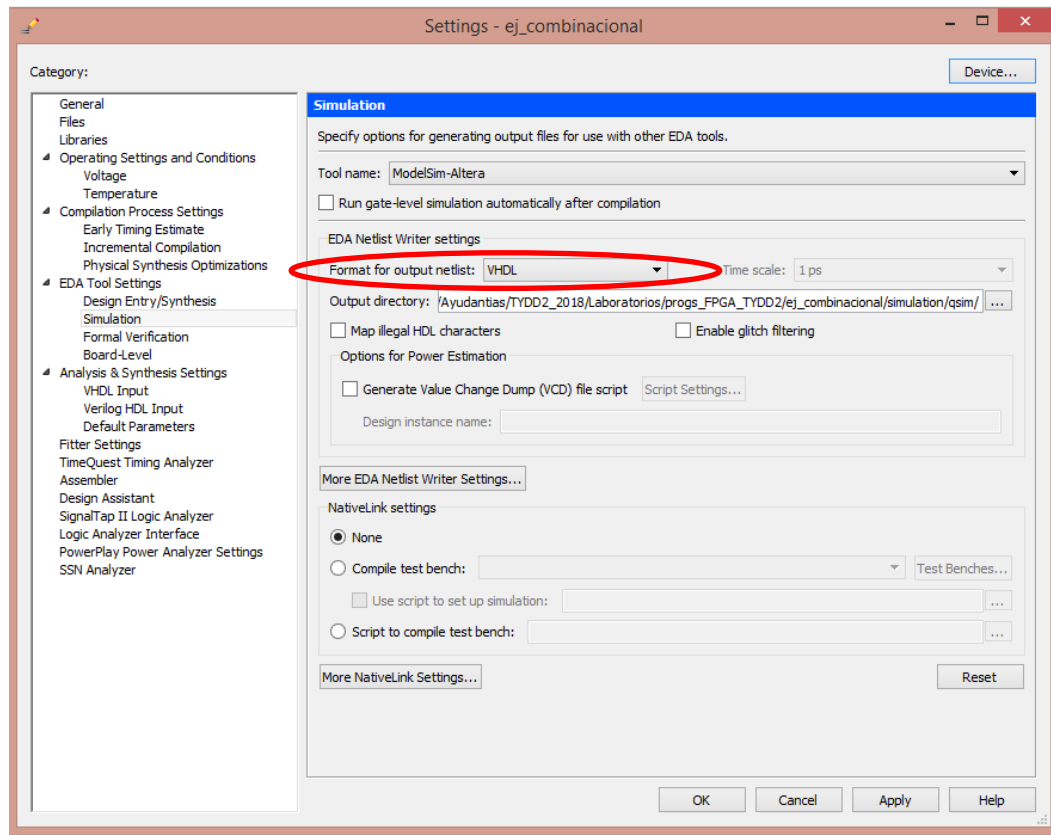


Configuración del Quartus para la simulación con ModelSim 1

Assignments=>Settings=>EDA Tool settings=> Simulation

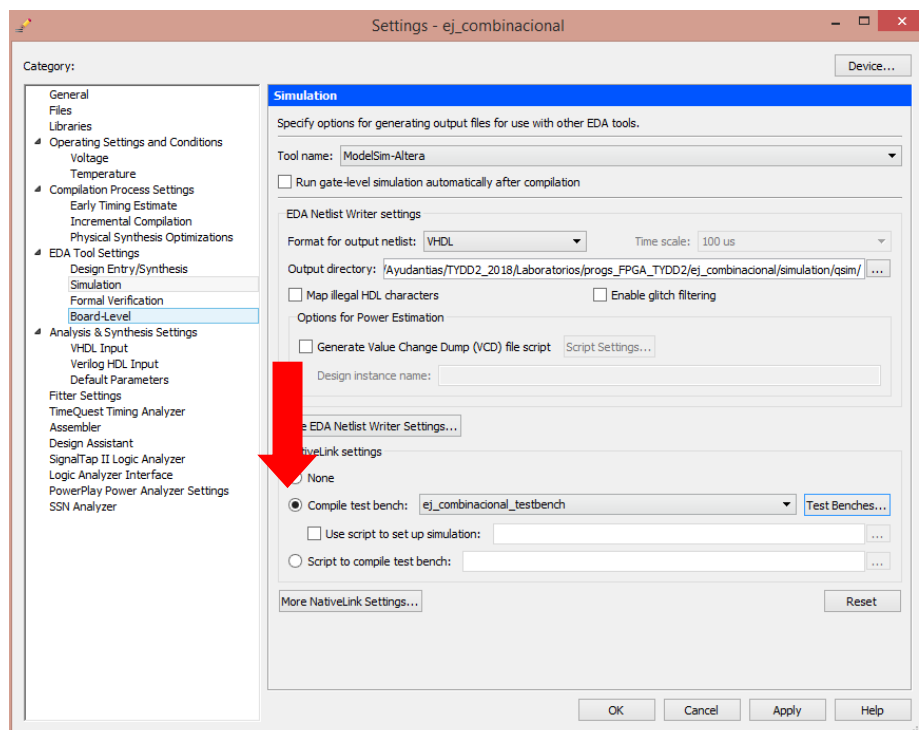


Verificar que “Format for output netlist: VHDL”

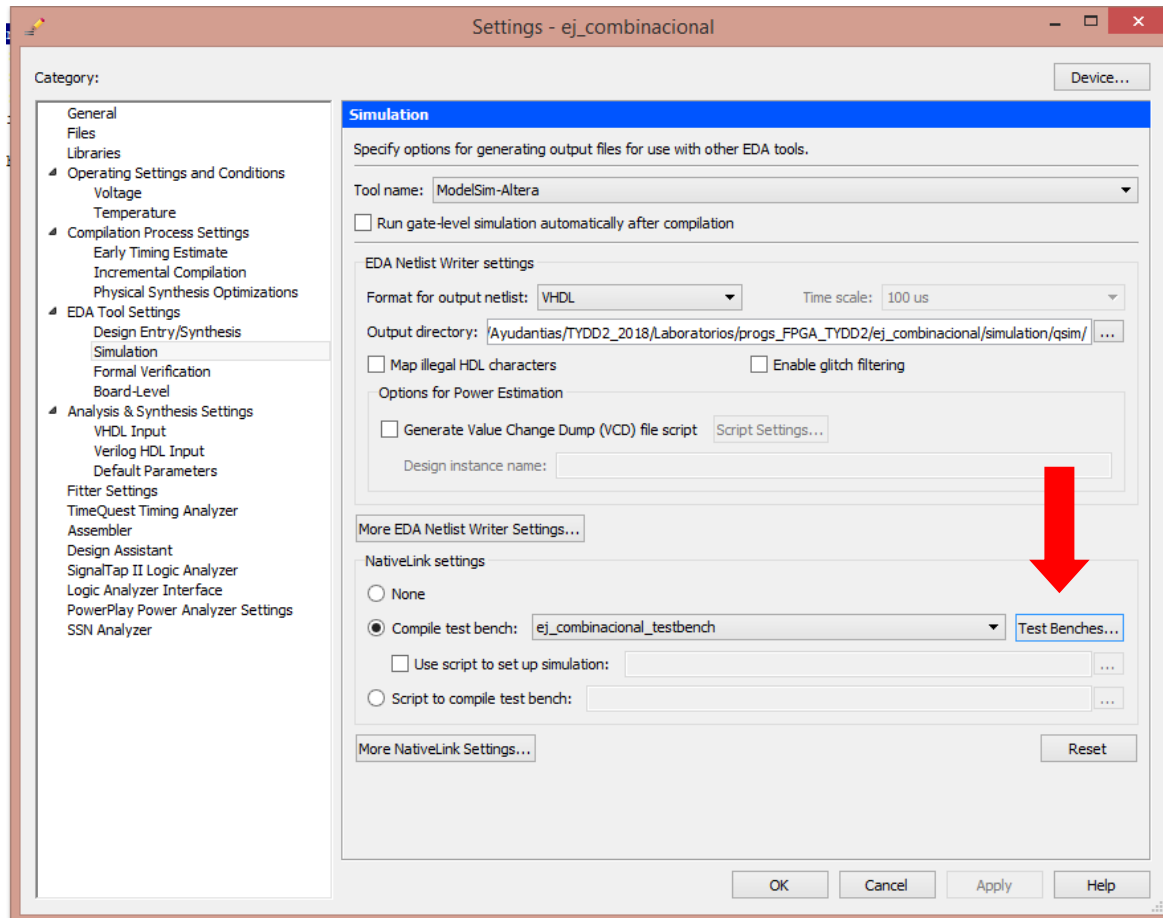
El “Output directory” el directorio donde se guardaran los archivos de salida que no se superponga con otros proyectos.

Luego, dentro de NativeLink settings:

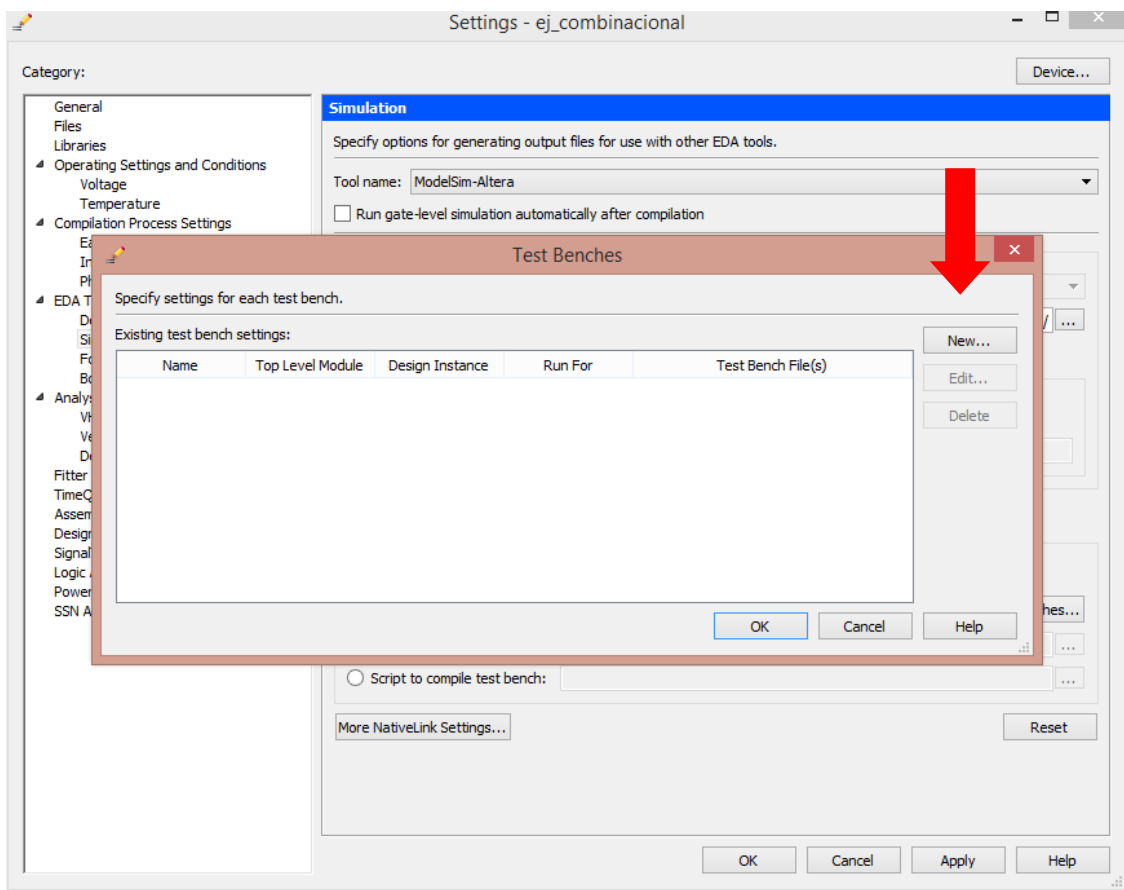
Tildar “Compile testbench” (como en la figura de abajo)



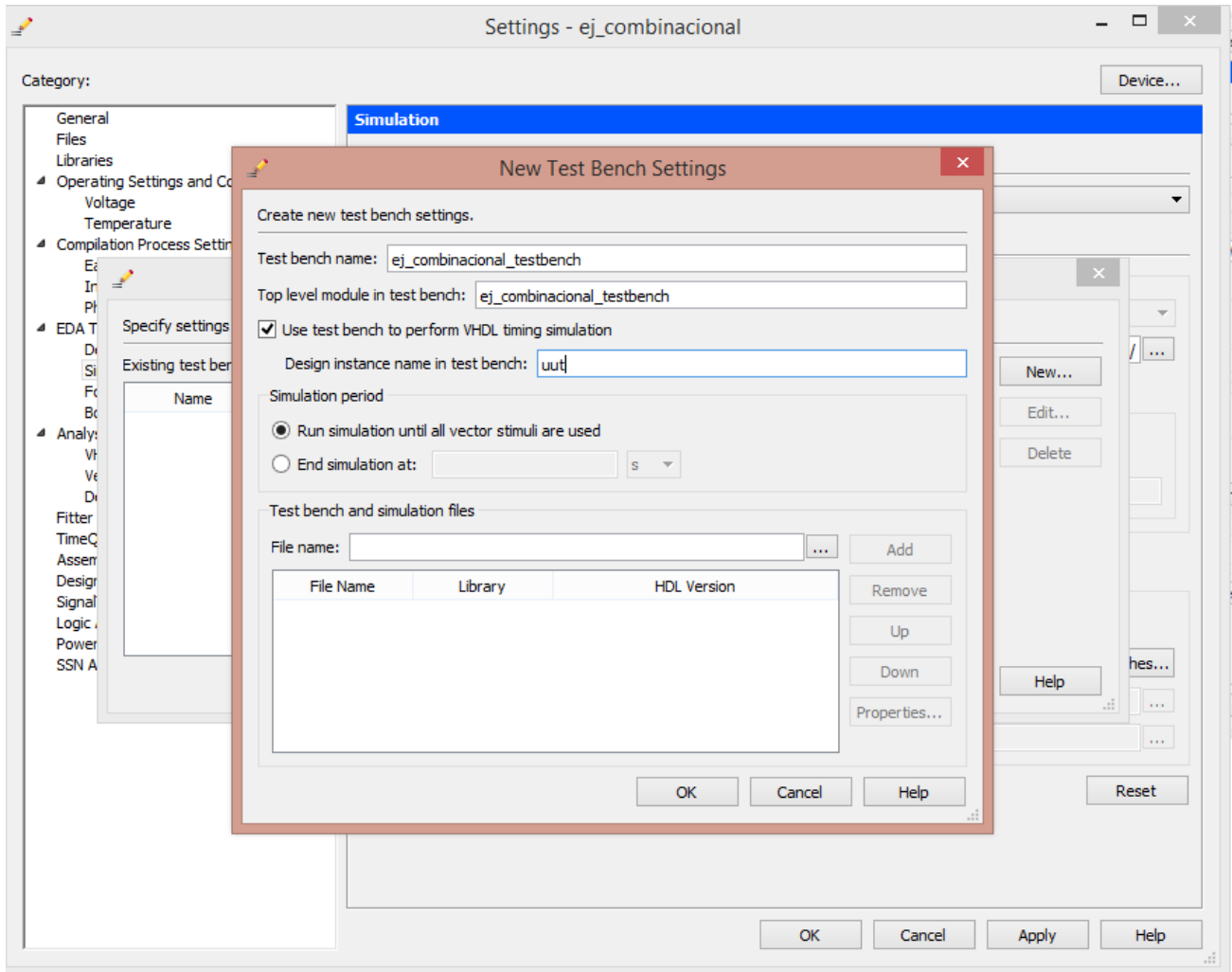
Setee el archivo testbench a emplear por ModelSim (ESto debera hacerlo cada vez que cambie el archive a simular)



Se abre:



Se abre:



Tildar "Use test bench to perform VHDL timing simulation"

En "Design instance name in test bench" va el nombre con que se instancio la entidad en el arch testbench (generalmente UUT o DUT).

Luego en "File name" buscar la ubicación del archivo (en el ejemplo ej_combinacional_testbench).

Add, OK, OK, Apply, OK

Completar de la siguiente forma:

El nombre de la entidad del archivo

```
entity laboratorio_testbench is
end laboratorio_testbench;

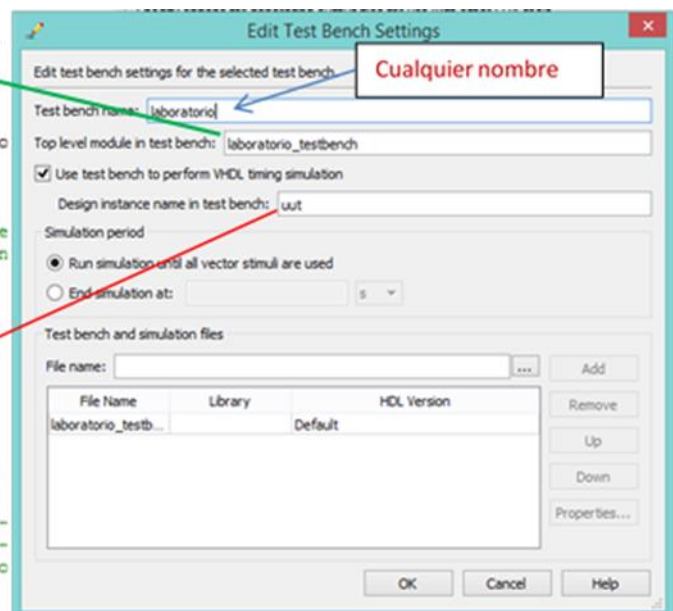
architecture circuit01 of laborato

    component laboratorio
    port (
        sw1,sw2: in std_logic;  --De
        led: out std_logic      --en
    );
    end component;

    signal sw1: std_logic:= '0';
    signal sw2: std_logic:= '0';
    signal led: std_logic:= '0';

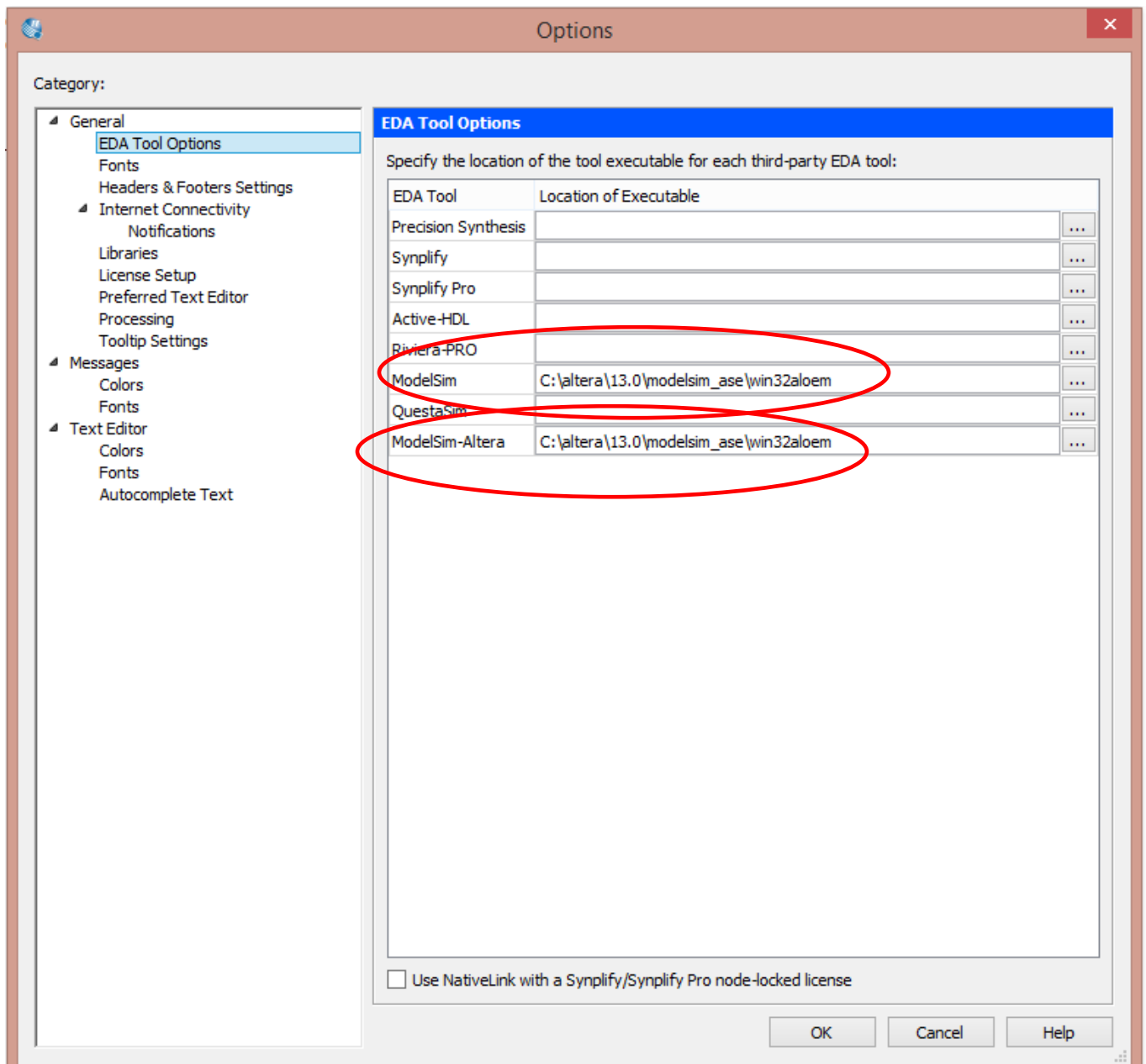
begin
    uut: --este será el nombre de
        laboratorio port map (
            sw1=>sw1,
            sw2=>sw2,
            led=>led
        );
end;
```

El nombre del componente en la arquitectura del testbench

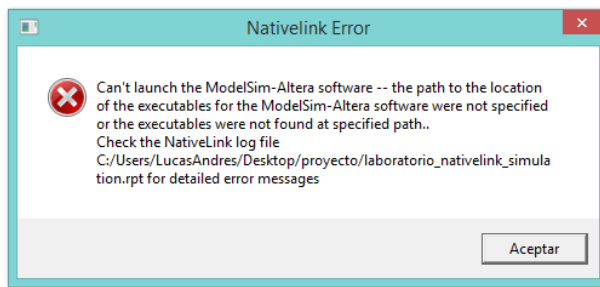


Configuración del Quartus para simular con ModelSim 2

Tools=> Options=>General=> EDA tool options



Soluciona este error:



En una simulación en ModelSim correcta debería aparecer la siguiente pantalla:

