



**PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE**  
**ESCUELA DE INGENIERÍA**  
**Dirección de Investigación e Innovación**  
**Programa IPre de Investigación en Pregrado**

## Chip sensor de Imagen CMOS

Juan Francisco Troncoso, Dr. Angel Abusleme Hoffman

*Departamento de Ingeniería Eléctrica, Escuela de Ingeniería, Universidad Católica de Chile. 2020, jftroncoso@uc.cl*

*Departamento de Ingeniería Eléctrica, Escuela de Ingeniería, Universidad Católica de Chile. Profesor Asociado, angel@uc.cl*

---

### Resumen

Los sensores de imágenes han sido uno de los inventos más usados en la vida cotidiana actual del ser humano al ser el componente fundamental de las cámaras fotográficas. Este trabajo tiene como objetivo estudiar y diseñar un chip sensor de imagen **CMOS** en un nodo tecnológico de 0.6 $\mu$ m con intenciones de ser fabricado y caracterizado. Se realiza una breve contextualización de estos sensores de imágenes para luego explicar el proceso físico involucrado en la captación de fotones. Posteriormente se realiza la modelación del píxel activo de tres transistores para explicar el proceso de diseño exhibiendo los compromisos involucrados. Finalmente se muestran los **LAYOUT** resultantes del píxel y del chip en su completitud.

**Palabras clave:** *sensor de imagen, CMOS, píxel, diseño, layout*

---

### 1. Introducción

La cámara fotográfica es el dispositivo más conocido para capturar imágenes. Su funcionamiento se basa en direccionar los rayos de luz que provienen de alguna fuente hacia un plano focal gracias a la utilización de lentes ópticos. Es allí donde se forma una imagen de tamaño reducido, la cual puede ser capturada por elementos sensibles a la luz. En la actualidad, los elementos más ocupados son los chips sensores de imagen, los cuales poseen millones de celdas ordenadas llamadas pixeles. Así, es posible cuantificar en una matriz la cantidad de luz entrante en cada píxel y ser mapeada en una imagen digital.



**PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE**  
**ESCUELA DE INGENIERÍA**  
**Dirección de Investigación e Innovación**  
**Programa IPre de Investigación en Pregrado**

Durante la década de los 90, la tecnología dominante por tradición en los sensores de imágenes correspondía a los chips **CCD**. Sin embargo, la continua investigación de distintas universidades y compañías importantes a nivel tecnológico, significaron un gran avance en el desarrollo de sensores de imágenes **CMOS**, transformándolos en una opción altamente competitiva. Esta tecnología tiene grandes ventajas respecto a los CCD como la autonomía propia sin requerir polarización externa, la baja potencia consumida y una integración entre el procesamiento analógico y digital dentro del mismo chip (Fossum, 1997).

En la actualidad, estos sensores de imágenes CMOS son ocupados en la mayoría de los productos tecnológicos como teléfonos celulares, cámaras digitales y laptops, convirtiéndose en un motor importante de la tecnología basada en silicio (El Gamal, 2005). Por lo anterior, es indispensable el estudio de esta tecnología a nivel nacional y universitario si es que se quiere alcanzar en un futuro el desarrollo tecnológico de las grandes potencias del mundo. A pesar de que el mercado chileno actual no cuenta con industrias de desarrollo de microelectrónica, el capital de conocimiento se sigue desarrollado para fines científicos y su divulgación. De este modo, se desarrolló este proyecto de estudiar y diseñar un chip sensor de imagen CMOS en un nodo tecnológico de 0.6 micrómetros y entregar toda esta información al equipo de microelectrónica de la Universidad Católica de Chile para el uso que se estime conveniente.

A continuación, se fundamentará la selección del nodo tecnológico junto a la topología del píxel para luego ahondar en la física de la captura de fotones. Posteriormente se revisarán los modelos y las decisiones de diseño tomadas para su desarrollo.

## **2. Metodología**

### **2.1. Selección de la tecnología y topología**

Dentro del proceso *standard* CMOS, encontramos dos grandes categorías de píxeles en función de su topología: pasivos y activos. Cada configuración presenta sus propias ventajas y desventajas con respecto a variables espectrales (**External Quantum Efficiency**), corrientes de oscuridad, formas de lectura y viabilidad de fabricación cuando no es posible una modificación al proceso de fabricación



**PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE**  
**ESCUELA DE INGENIERÍA**  
**Dirección de Investigación e Innovación**  
**Programa IPre de Investigación en Pregrado**

*standard* CMOS. Es por este último motivo que se prefirió diseñar la topología de píxel activo de 3 transistores con un diodo polarizado en forma inversa como elemento fotosensible.

Por otro lado, apoyándose en el estudio de Wong (1996) acerca del escalamiento de la tecnología y su impacto en los sensores de imágenes, se seleccionó un nodo tecnológico de 0.6 micrómetros que garantiza un desempeño estimado gracias a los parámetros de la tecnología que provee el estudio.

## 2.2. Operación de un fotodiodo

La estructura de un fotodiodo se compone de un semiconductor construido con una unión **PN**, cuya característica es ser sensible a la incidencia de fotones sobre su zona de agotamiento. De hecho, es necesario que la energía del fotón incidente supere a la energía de separación de bandas del silicio para que se genere un par electrón-hueco y con ello una corriente que pueda ser censada. Esta última componente es clave para la modelación de un píxel y es denominada como fotocorriente. Afortunadamente, los fotones que logran ser censados en la tecnología *standard* CMOS abarcan a una gran parte del espectro visible lo cual posiciona en buena perspectiva al proyecto.

Debido a que el fotodiodo se polariza en forma inversa, se genera un gran campo eléctrico que desplaza los pares electrón-hueco generados en la zona de agotamiento. En menor medida lo harán los que electrones y huecos generados en las zonas “neutrales” tipo p y n respectivamente, siendo necesario su difusión hacia la zona de agotamiento para su captura. Así, la contribución total genera una densidad de corriente que se puede calcular con la siguiente ecuación, la cual depende del número de fotones incidentes por unidad de área y tiempo  $F_0$ , el coeficiente de absorción  $\alpha$ , la carga del electrón  $q$  y las distancias  $x_1$ ,  $x_2$  y  $x_3$  que representan la profundidad de la zona neutral tipo n, la zona neutral tipo p y la profundidad total del semiconductor tipo p respectivamente.

$$j_{ph} = \frac{qF_0}{\alpha} \left( \frac{1-e^{-\alpha x_1}}{x_1} - \frac{e^{-\alpha x_2}-e^{-\alpha x_3}}{x_3-x_2} \right) \quad (1)$$

De la ecuación anterior, es fácil ver que la densidad de fotocorriente aumenta linealmente con el flujo de fotones, es decir, con la iluminación entrante. Sin embargo, su valor es muy pequeño para



**PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE**  
**ESCUELA DE INGENIERÍA**  
**Dirección de Investigación e Innovación**  
**Programa IPre de Investigación en Pregrado**

medirla directamente. Como consecuencia, se realiza una integración de todas las corrientes que fluyen a través del diodo en la capacitancia intrínseca del fotodiodo. Estas corrientes son principalmente la fotocorriente y la corriente de oscuridad.

Esta capacitancia tiene directa relación con el tamaño de la zona de agotamiento, involucrando el área basal o activa  $A$ , la cual es una variable de diseño, y el área lateral  $A_P$ , propia de la tecnología. Dicha capacitancia puede ser calculada con la siguiente ecuación.

$$C_{PD} = \frac{e_{Si}}{\sqrt{\frac{2e_{Si}}{q}(\phi_{0,A} + V_{PD})\left(\frac{N_A + N_D}{N_A N_D}\right)}} A + \frac{e_{Si}}{\sqrt{\frac{2e_{Si}}{q}(\phi_{0,P} + V_{PD})\left(\frac{N_A + N_D}{N_A N_D}\right)}} A_P \quad (2)$$

Por completitud, los voltajes  $\phi_{0,A}$  y  $\phi_{0,P}$  corresponden al voltaje *built-in* propio de la unión PN en la parte basal y lateral del fotodiodo respectivamente, mientras que  $V_{PD}$  corresponde al voltaje externo que polariza al diodo en forma inversa.

### 2.3. Píxel Activo de 3 transistores

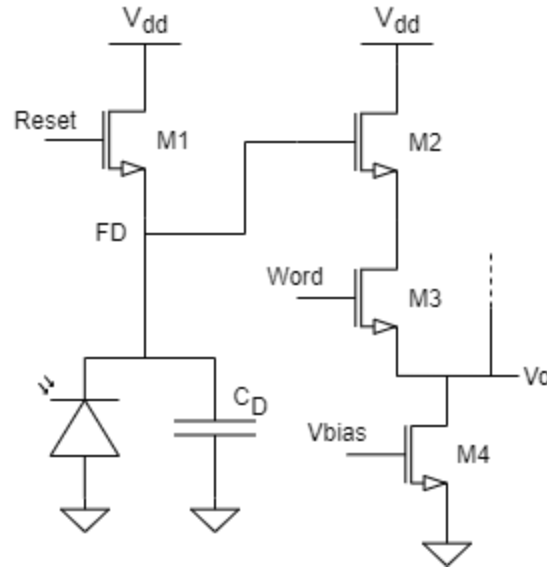
La topología del píxel diseñado se puede observar en la **Figura 1**. Este corresponde a un píxel activo debido a que se incorporan tres transistores junto al fotodiodo: M1 y M3 que cumplen el rol de interruptor y M2 que está en configuración de seguidor de fuente. Adicionalmente se muestra explícitamente la capacitancia  $C_P$  que modela todas las capacitancias del nodo **FD**. Estas corresponden a la capacitancia del diodo, la capacitancia de fuente de M1 y la capacitancia de compuerta de M2.

Este píxel entrega un voltaje en su salida inversamente proporcional a la cantidad de luz recibida y se caracteriza por tener un factor de relleno elevado en comparación a otros tipos de píxeles. Para iniciar la detección de luz, es necesario un pulso en la señal de *reset* para limpiar las cargas residuales en el fotodiodo y polarizar al nodo **FD** con el voltaje de alimentación. Luego, la fotocorriente es generada y junto con la corriente de oscuridad descargan la capacitancia  $C_D$  disminuyendo el voltaje en el nodo **FD**. El seguidor de fuente copia el voltaje del diodo con cierto desplazamiento al dren de M3 y al



**PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE**  
**ESCUELA DE INGENIERÍA**  
**Dirección de Investigación e Innovación**  
**Programa IPre de Investigación en Pregrado**

término del tiempo de integración, se realiza un pulso en la señal de *word* para leer dicho voltaje en la salida  $V_o$ .



**Figura 1.** Píxel activo de tres transistores

De esta forma, asumiendo que la capacitancia  $C_D$  no varía con el voltaje en el diodo y  $V_D$  corresponde al voltaje en el nodo *FD* luego del pulso de *reset*, el voltaje de salida se puede aproximar con la siguiente ecuación.

$$V_o(t_{int}) = V_D - \frac{i_{ph} + i_{dc}}{C_D} t_{int} \quad (3)$$

Es relevante mencionar que el transistor M4 no forma parte del píxel. Este transistor actúa como fuente de corriente y es el responsable de polarizar una columna entera de pixeles. Por lo anterior, en el nodo  $V_o$  existe una capacitancia relevante en el diseño. Por otro lado, la señal de *reset* es común para una misma fila de pixeles, al igual que la señal de *word*.

### 3. Resultados y discusión

#### 3.1. Proceso de diseño

La primera decisión de diseño tiene relación con el área basal del fotodiodo, por lo que se realizó un proceso iterativo en el *layout* del píxel en el software de Electric y en las ecuaciones (1), (2) y (3) de



**PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE**  
**ESCUELA DE INGENIERÍA**  
**Dirección de Investigación e Innovación**  
**Programa IPre de Investigación en Pregrado**

este documento. El compromiso de estas variables se puede ejemplificar aumentando el tamaño del área sensible para capturar una mayor cantidad de fotones. Sin embargo, como la capacitancia intrínseca también aumenta, la tasa de conversión de electrón a voltaje disminuye, provocando que el píxel sea menos sensible a cantidades pequeñas de luz perdiendo resolución. En conclusión, se diseñó un fotodiodo con dimensiones  $9 \times 4.8$  micrómetros resultando una capacitancia intrínseca aproximada de 11 femtoFarad sin voltaje externo aplicado.

Con lo anterior, se estimaron distintas fotocorrientes producidas por flujos de fotones conocidos como es la de luz del cielo despejado o la luz de una habitación. Como resultado se deben manejar fotocorrientes cuyo orden varía en las centenas de picoAmper.

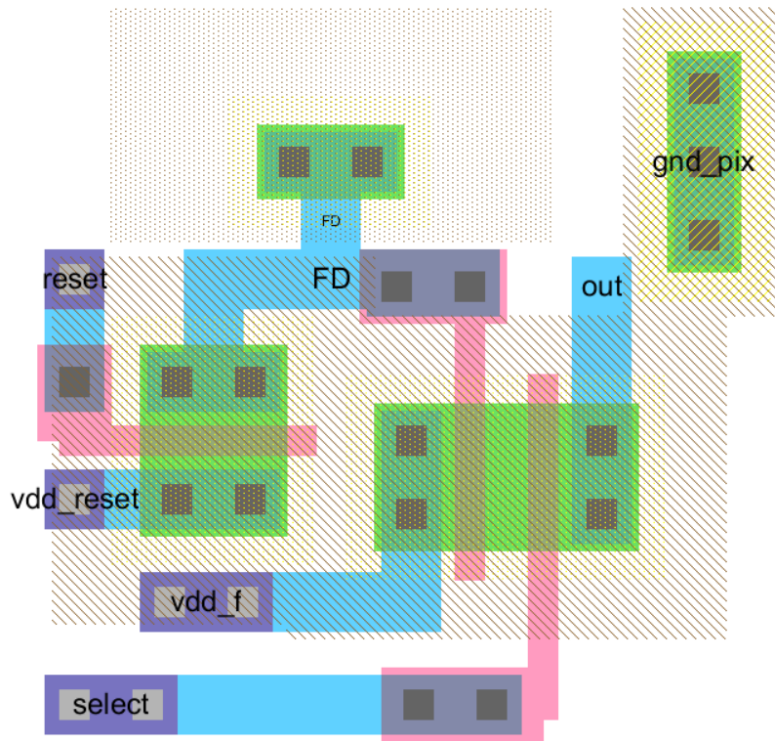
Adjuntando estos parámetros en el software de LTSpice, se procedió a simular el píxel y a realizar variaciones en los tamaños de los transistores. Se concluyó que el tamaño mínimo se ajusta perfectamente al *layout* y a los mejores desempeños posibles en la excursión del voltaje de salida. Por otro lado, tal y como señala Salama (2003), el tamaño de la fuente de corriente M4 establece un compromiso entre el voltaje de excursión y el tiempo de descarga de la capacitancia existente en el nodo de salida de cada columna. Así, se obtuvo un tamaño que beneficia la velocidad de lectura sin comprometer de manera significativa la excursión de voltaje. Finalmente, se definió un tiempo de integración que puede ir desde las unidades de microsegundos y una frecuencia de lectura de hasta 500.000 pixeles por segundo.

### 3.2. Layout del píxel y del chip sensor de imagen

El *layout* resultante del píxel se puede observar en la **Figura 2**. Este diseño fue replicado a lo largo del chip manteniendo los márgenes necesarios para las conexiones y respetando las reglas de diseño escalables SC MOS. Debido a que el chip tiene un tamaño reducido de  $1.5 \times 1.5$  milímetros, fue posible la ubicación de 4096 pixeles en un arreglo matricial de 64 filas por 64 columnas.



**PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE**  
**ESCUELA DE INGENIERÍA**  
**Dirección de Investigación e Innovación**  
**Programa IPre de Investigación en Pregrado**



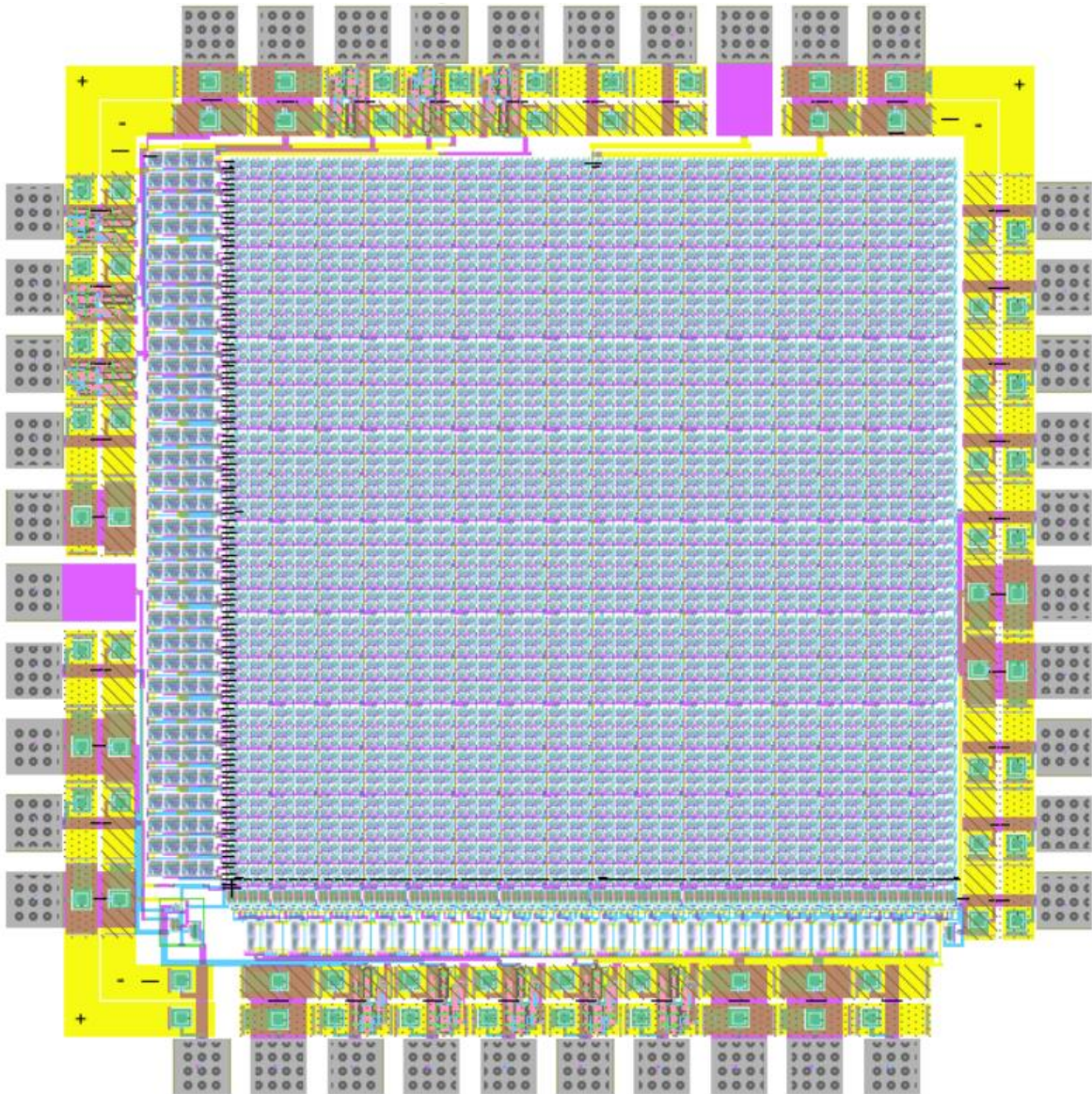
**Figura 2.** Layout del píxel activo de tres transistores

Para distribuir correctamente las señales de *reset* y *word*, se agregaron *shift registers* en un costado del arreglo matricial. Por otro lado, las fuentes de corriente de las columnas fueron situadas bajo la matriz de pixeles conectadas en su salida a *pass gates*. Estas son activadas secuencialmente por otros *shift registers* los cuales están ubicados bajo las fuentes de corriente. De este modo, la captura de fotones se realiza fila por fila de arriba abajo con una frecuencia dada por una señal de *clock* externa. Mientras tanto, la lectura para cada fila comienza de izquierda a derecha con una frecuencia mayor al *clock* anterior. Por último, la salida de las *pass gates* son conectados a un gran *buffer* responsable de entregar los voltajes de lectura de cada píxel fuera del chip. En síntesis, el layout resultante del chip se muestra en la **Figura 3** donde además se utilizó un *pad frame* con protección en señales analógicas y señales digitales.





**PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE**  
**ESCUELA DE INGENIERÍA**  
**Dirección de Investigación e Innovación**  
**Programa IPre de Investigación en Pregrado**



**Figura 3.** Layout del chip sensor de imagen CMOS diseñado

#### **4. Conclusiones**

Se presentó una modelación resumida de un píxel activos de tres transistores acompañado del proceso de diseño realizado. Con lo anterior, se evidenciaron los compromisos involucrados para finalmente exponer *layout* resultante del chip. De este modo, el proyecto pretende incentivar un primer acercamiento a los sensores de imágenes debido a que no se tienen las características





**PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE**  
**ESCUELA DE INGENIERÍA**  
**Dirección de Investigación e Innovación**  
**Programa IPre de Investigación en Pregrado**

fotónicas de esta tecnología por lo que su futura fabricación y caracterización podría proveer de información valiosa para futuros diseños.

### **Agradecimientos**

Quisiera agradecer al equipo de microelectrónica de la Universidad Católica de Chile, con especial énfasis al Dr. Angel Abusleme, por motivar desde siempre a que los alumnos se interesen por la microelectrónica y por todo el apoyo brindado en la ejecución de este proyecto.

### **Glosario**

**CCD:** *Charge Coupled Device*

**CMOS:** *Complementary meta-oxide-semiconductor*

**External Quantum Efficiency:** Fracción del flujo de fotones incidentes que contribuyen a la fotocorriente como función de la longitud de onda en el espectro visible.

**LAYOUT:** Representación de un circuito integrado con figuras geométricas que modelan la distribución física de los distintos materiales utilizados en su fabricación.

**PN:** unión de materiales semiconductores tipo p y tipo n.

### **Referencias**

[1] Fossum, E. R. (1997). CMOS image sensors: Electronic camera-on-a-chip. *IEEE transactions on electron devices*, 44(10), 1689-1698.

[2] El Gamal, A., & Eltoukhy, H. (2005). CMOS image sensors. *IEEE Circuits and Devices Magazine*, 21(3), 6-20.

[3] Wong, H. S. (1996). Technology and device scaling considerations for CMOS imagers. *IEEE Transactions on electron Devices*, 43(12), 2131-2142.



**PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE**  
**ESCUELA DE INGENIERÍA**  
**Dirección de Investigación e Innovación**  
**Programa IPre de Investigación en Pregrado**

- [4] Greig, T. A. (2008). *Development of CMOS active pixel sensors* (Doctoral dissertation, Brunel University School of Engineering and Design PhD Theses).
- [5] Tu, N., Hornsey, R., & Ingram, S. G. (1998, May). CMOS active pixel image sensor with combined linear and logarithmic mode operation. In *Conference Proceedings. IEEE Canadian Conference on Electrical and Computer Engineering (Cat. No. 98TH8341)* (Vol. 2, pp. 754-757). IEEE.
- [6] Shcherback, I., & Yadid-Pecht, O. (2003). Photoresponse analysis and pixel shape optimization for CMOS active pixel sensors. *IEEE Transactions on Electron Devices*, 50(1), 12-18.
- [7] Blanco-Filgueira, B., Lopez, P., Cabello, D., Ernst, J., Neubauer, H., & Hauer, J. (2009, February). Modeling and simulation of CMOS APS. In *2009 Spanish Conference on Electron Devices* (pp. 120-123). IEEE.
- [8] Mendis, S. K., Kemeny, S. E., Gee, R. C., Pain, B., Staller, C. O., Kim, Q., & Fossum, E. R. (1997). CMOS active pixel image sensors for highly integrated imaging systems. *IEEE Journal of Solid-State Circuits*, 32(2), 187-197.
- [9] Mendis, S. K., Kemeny, S. E., Gee, R. C., Pain, B., Staller, C. O., Kim, Q., & Fossum, E. R. (1997). CMOS active pixel image sensors for highly integrated imaging systems. *IEEE Journal of Solid-State Circuits*, 32(2), 187-197.