

Implementación de un filtro FIR en FPGA

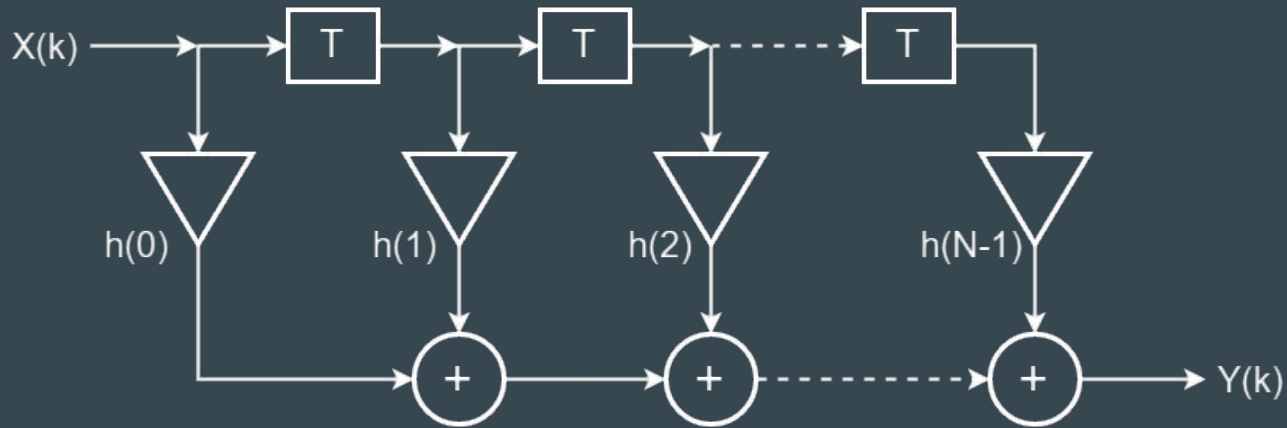


Alumno: Ing. Juan Manuel Guariste
Circuitos Lógicos Programables
Carrera de Especialización en Sistemas Embebidos - FIUBA
Año 2025

Filtros digitales

- Procesa señales discretas (muestreadas y digitalizadas)
- Modificar características de la señal de entrada
- Realiza operaciones aritméticas sobre las muestras
- Alta flexibilidad: ajustes por software, sin cambios físicos.

Filtro FIR



$$y[n] = \sum_{k=0}^{N-1} h[k] \cdot x[n - k]$$

Arquitectura general del sistema



Fases del desarrollo

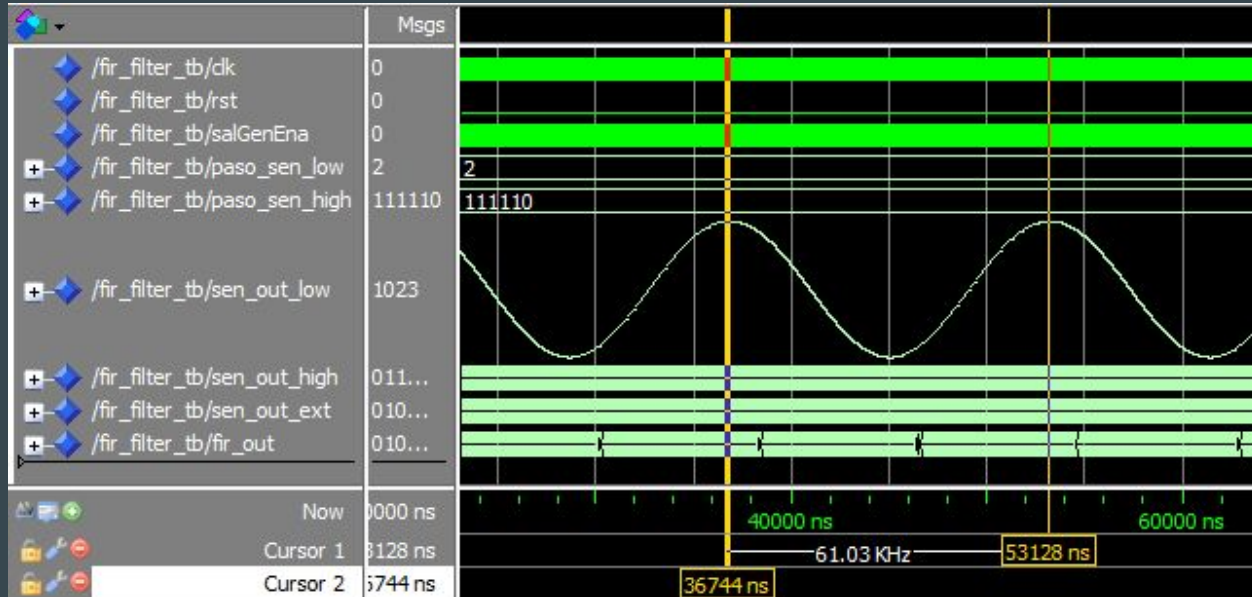
- Diseño y validación en ModelSim (Testbench)
- Simulación y verificación en Vivado (VIO + ILA)
- Implementación final en FPGA real

Validación de señales de entrada

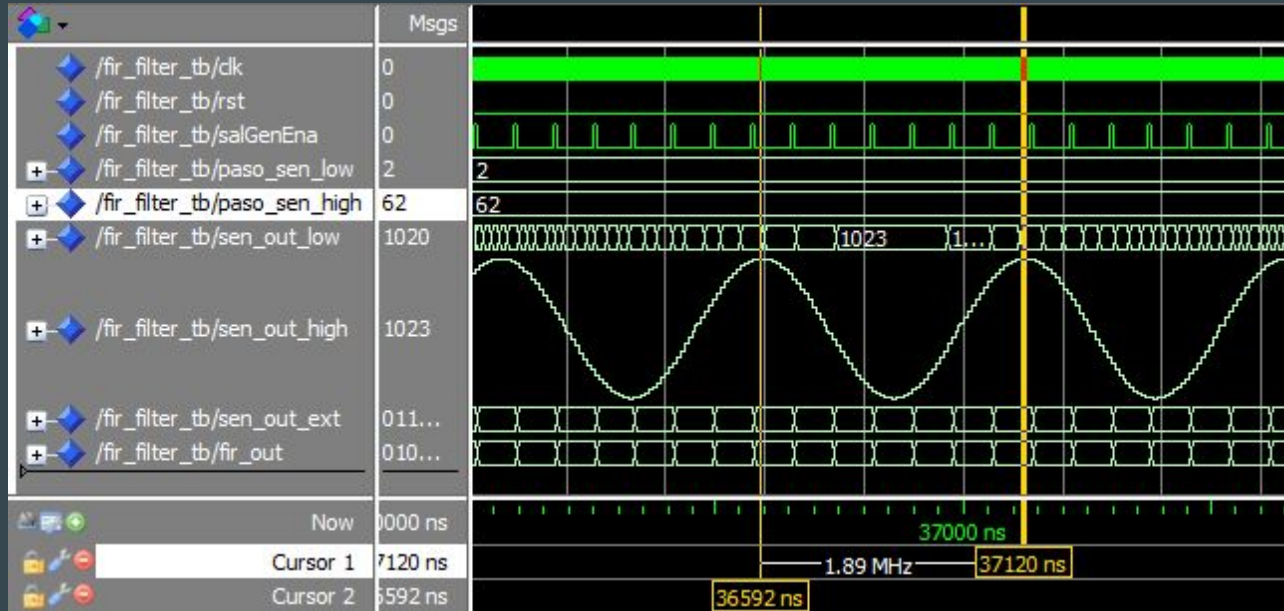
- Generación de senoidales mediante NCO
- Frecuencia controlada por la variable *paso*
- Rango de salida: 30 KHz a 1,9 MHz

$$f_{\text{out}} = \frac{\text{paso} \times f_{\text{clk}}}{2^{ADDR_W}}$$

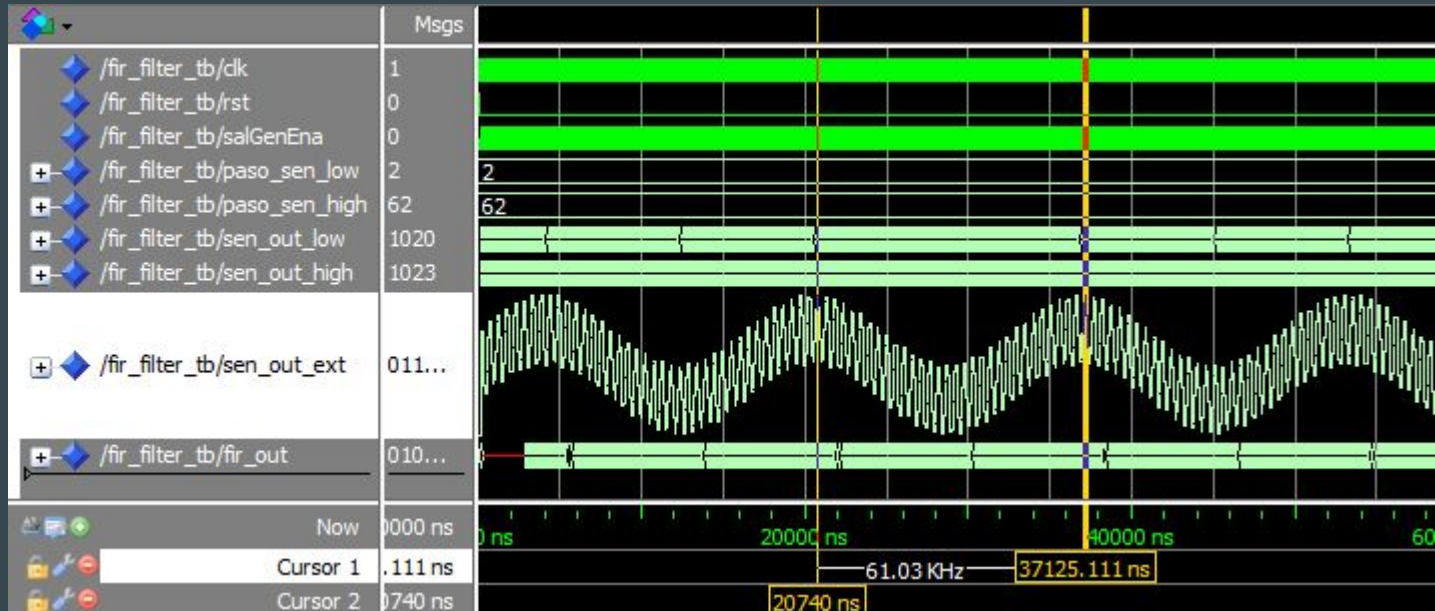
NCO de baja frecuencia



NCO de alta frecuencia



Señal compuesta

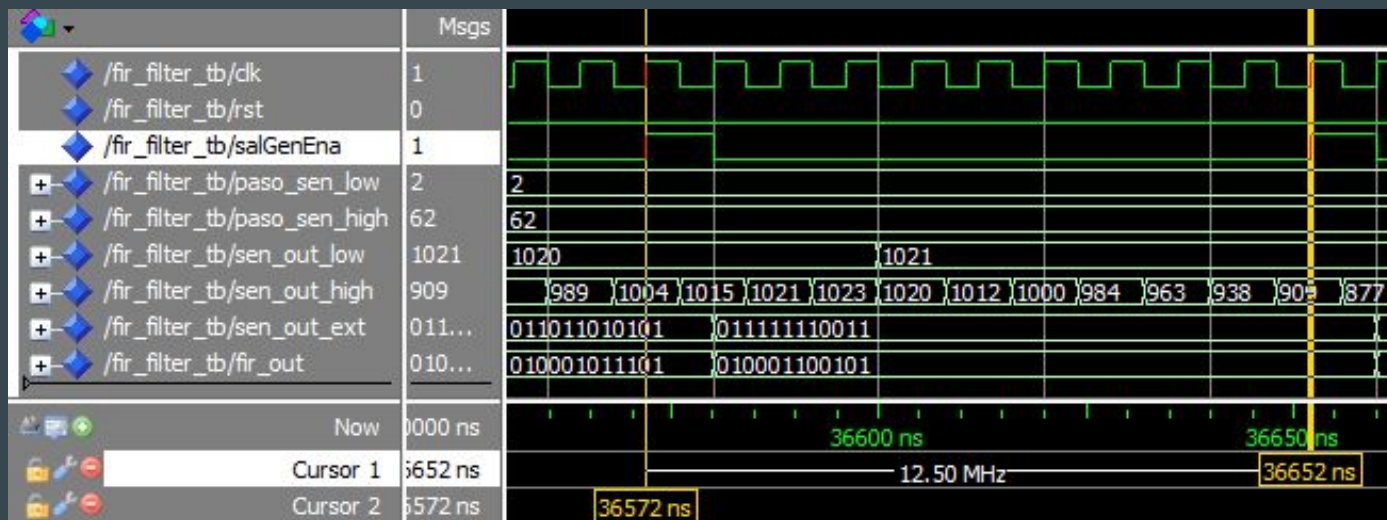


Generador de habilitación

- Permite fijar la frecuencia de muestreo
- Actúa como divisor de frecuencia
- Habilita la captura de nuevas muestras cada N ciclos

$$f_{\text{muestreo}} = \frac{f_{\text{clk}}}{N}$$

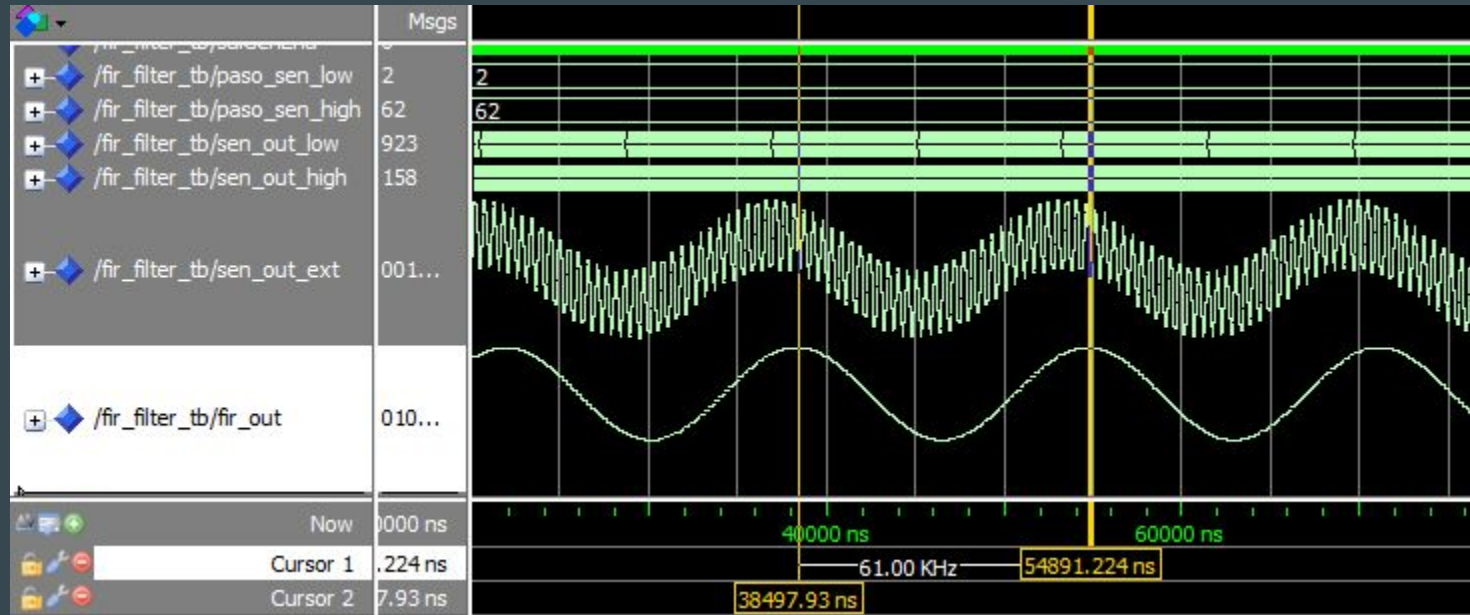
Señal de habilitación



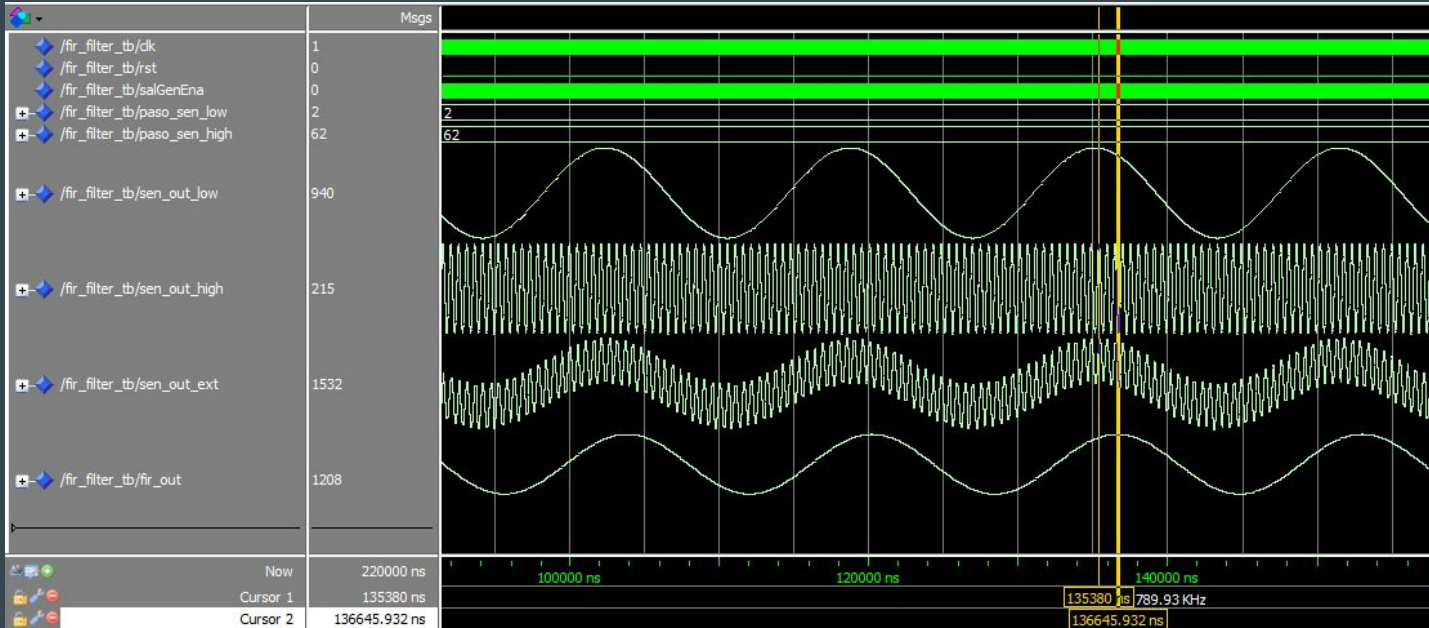
Diseño del filtro FIR

- Tipo: pasabajos
- Orden: 32
- Frecuencia de corte: 300 KHz
- Frecuencia de muestreo de 12,5 MHz
- Método ventana de Hamming

Resultado del filtrado



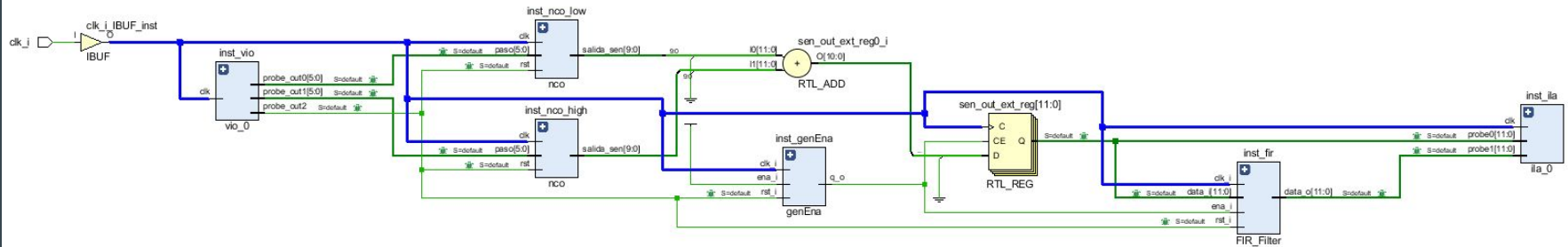
Retardo del filtro



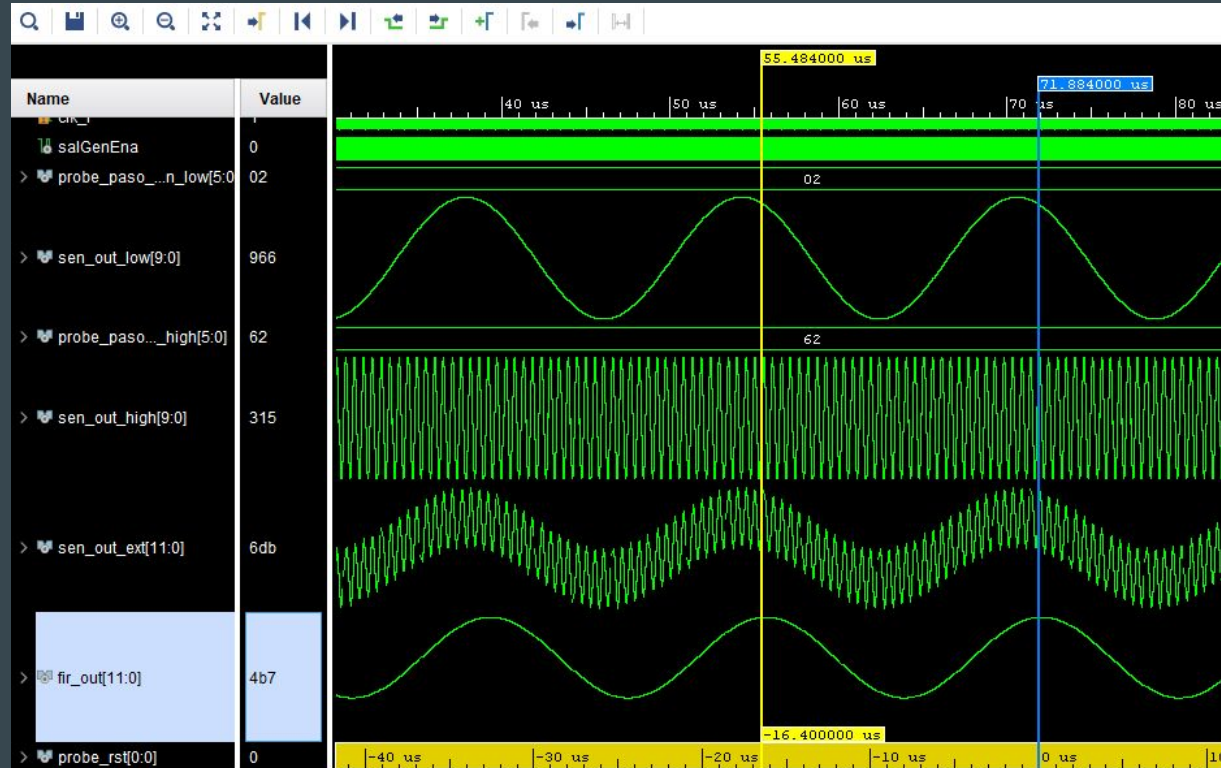
Implementación en FPGA

- Diseño cargado en FPGA real (acceso remoto)
- Parametrización dinámica mediante VIO
- Observación y captura de señales con ILA.
- Validación directa en hardware, sin instrumentación externa.

Esquemático del sistema











Simulación en Vivado



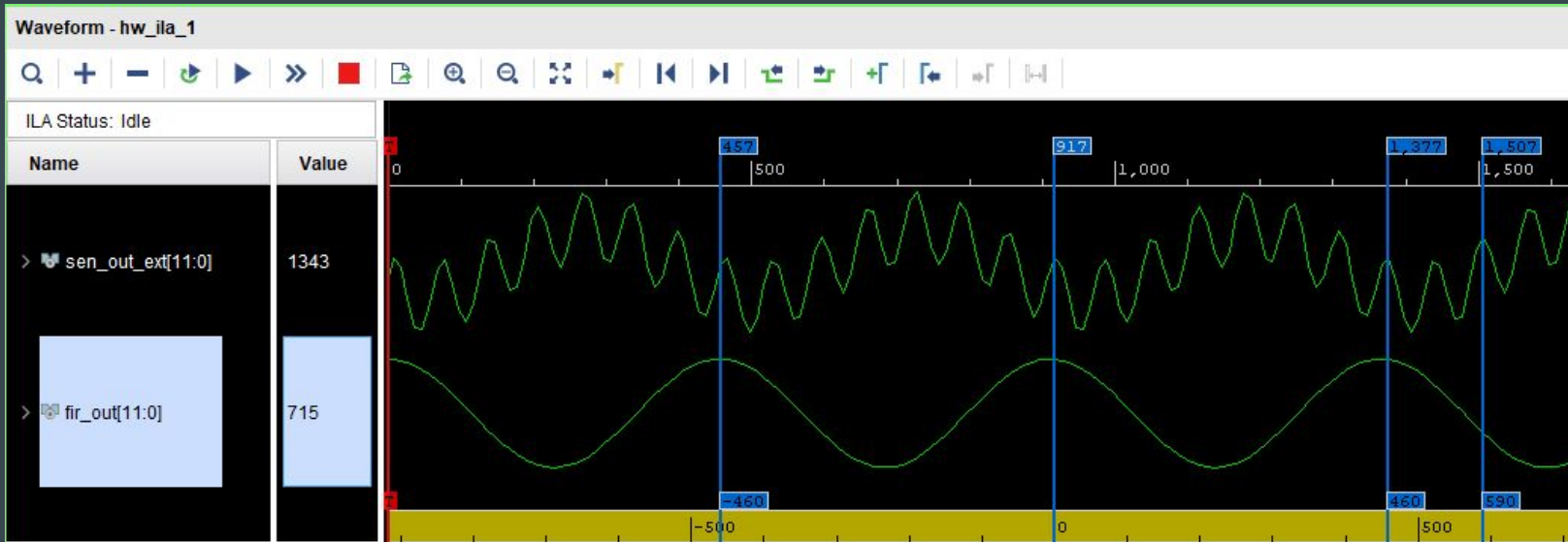
Configuración de la FPGA

Valores del VIO

hw_vio_1					
    					
Name	Value	Activity	Direction	VIO	
>  paso[5:0]	[U] 9 ▾		Output	hw_vio_1	
>  paso__0[5:0]	[U] 63 ▾		Output	hw_vio_1	
 probe_rst	[B] 0 ▾		Output	hw_vio_1	

Configuración de la FPGA

Formas de onda en el ILA



Conclusiones

- Se validó el diseño mediante simulación y en hardware
- El filtro FIR se comportó según lo esperado
- La implementación en FPGA fue exitosa, con parametrización y observación en tiempo real gracias al VIO y al ILA

Muchas gracias

¿Consultas?