

# FUNDAMENTOS DE COMPUTADORES

## Práctica 4

### Biestables

Apellidos y nombre	Grupo	DNI

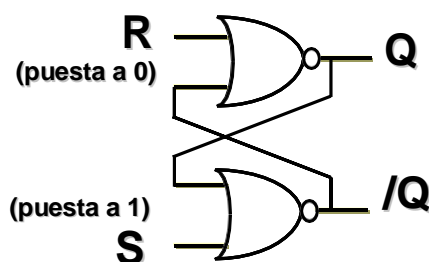
### GENERALIDADES

El objetivo de esta práctica es familiarizar al alumno con los biestables, su construcción y su utilización para el diseño de circuitos, tanto síncronos como asíncronos. En la primera parte de la práctica se van a construir biestables “S-R” y “D”, a partir de puertas elementales. En la segunda parte se van a utilizar los biestables “J-K” incluidos en el entrenador lógico. También se van a utilizar por vez primera los conmutadores específicos para generar pulsos manuales y automáticos en la señal de reloj (CLK). El vídeo <https://riunet.upv.es/handle/10251/100607> muestra el funcionamiento de este bloque del entrenador. Es conveniente visualizar el vídeo antes de ir al laboratorio.

### 1. CONSTRUCCIÓN DEL BIESTABLE S-R

El biestable S-R posee dos entradas, S (“Set” = puesta a uno), y R (“Reset” = puesta a cero), y dos salidas, Q y /Q. A la salida Q se le conoce como el estado del biestable y la señal /Q, la definimos por su inversa.

Un biestable S-R puede implementarse mediante diversidad de puertas. En la figura siguiente se observa una implementación un de biestable con las entradas S y R activas a nivel alto mediante puertas “NOR” de dos entradas.



Ejercicio 1. Móntese el circuito anterior en el entrenador y verifíquese su correcto funcionamiento rellenando la siguiente tabla de funcionamiento, indicando si alguna de las posibles combinaciones de entradas presentan situaciones no deseables.

En las tablas de funcionamiento de los biestables, el nombre  $Q(t)$  hace referencia a la salida del biestable en el instante “t”, antes de generar el flanco de reloj, y  $Q(t+1)$  hace referencia a la salida del biestable en el instante “t+1”, es decir, después de dicho

flanco. Téngase en cuenta que, en la tabla siguiente, los valores de salida deberán

escribirse en función de  $Q(t)$ ; es decir, los valores a rellenar en la tabla podrán ser bien “0”, o “1”,  $Q(t)$  o  $\text{NOT}(Q(t))$ , que se corresponden con las salidas de Reset, Set, Memoria, o /(Memoria).

S	R	$Q(t+1)$	$/Q(t+1)$
0	0	$Q(t)$	$/Q(t)$
0	1	0	1
1	0	1	0
1	1	*0	*0

Tabla de verdad del biestable S-R implementado con puertas NOR de dos entradas.

Cuestión 1. ¿Existe algún caso (o estado) indeseado?

Sin el de los valores S y R .....

Cuestión 2. ¿Para qué entradas S y R influye el estado anterior  $Q(t)$ ?

Para  $S=0$  y  $R=0$  .....

**NOTA: No desmonte este circuito.**

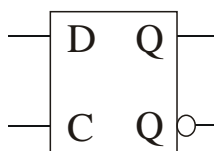
## 2. CONSTRUCCIÓN DEL BIESTABLE D ACTIVO POR NIVEL

Para evitar los casos indeseados que se pueden dar en los biestables tipo S-R, se utiliza el biestable tipo D.

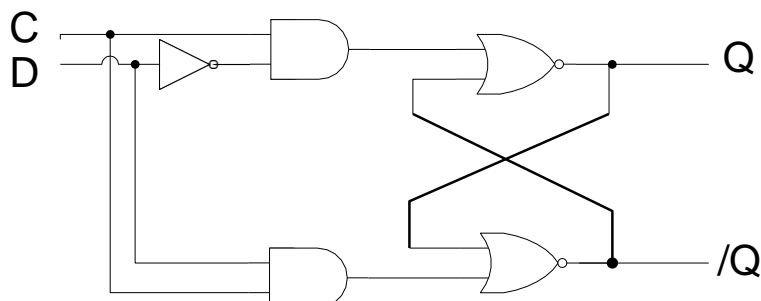
El esquema es similar al de un biestable S-R con entrada de habilitación, donde la entrada R debe estar invertida con respecto a la entrada S ( $/R=S$ ).

Deseamos diseñar un biestable D activo por nivel. Cuando el biestable D activo por nivel está habilitado los valores de la entrada D son trasladados directamente a la salida Q, por eso se dice que está "abierto" o que está trabajando en "modo transparente".

El símbolo lógico de este biestable aparece en la siguiente figura:



Ejercicio 2. Aprovechando el biestable S-R anterior, añada las puertas necesarias para construir un biestable D, activo a nivel alto con entrada de habilitación (entrada “C”) activa a nivel alto.

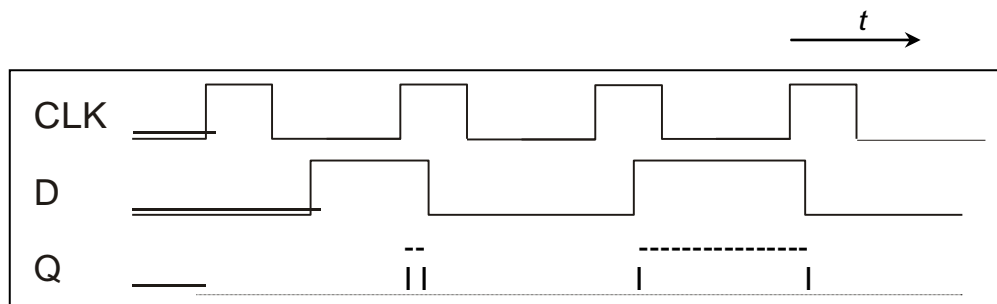


Cuestión 3. Verifique su funcionamiento rellenando la siguiente tabla:

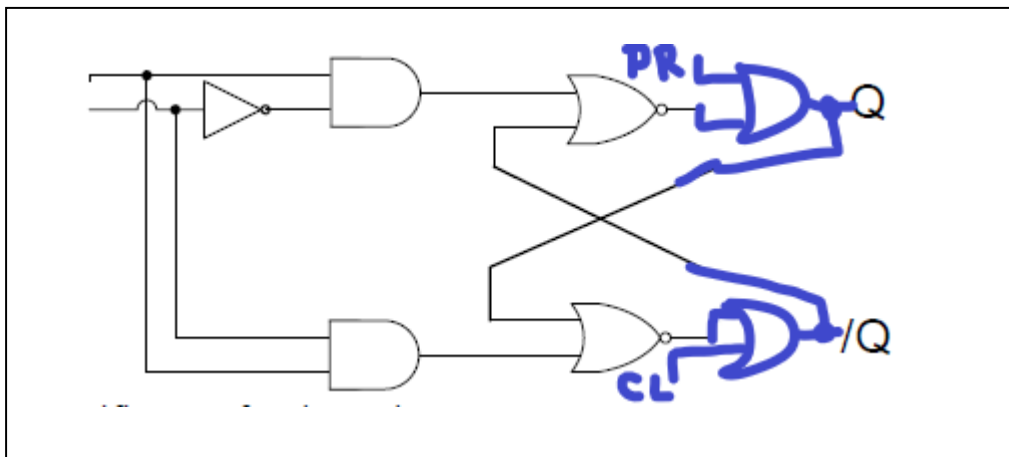
C	D	Q(t+1)	/Q(t+1)
0	0	Q(t)	/Q(T)
0	1	Q(t)	/Q(T)
1	0	0	1
1	1	1	0

**NOTA: No desmonte este circuito.**

Cuestión 4. Indique en el cronograma siguiente la evolución de la salida Q del circuito a lo largo del tiempo:



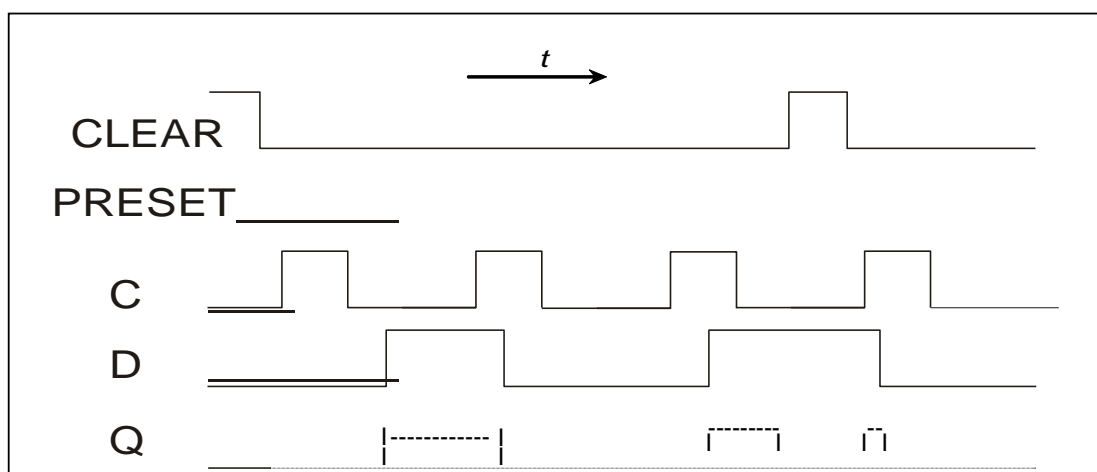
Cuestión 5. Partiendo del circuito anterior, implemente un biestable D con entradas asíncronas de puesta a uno PRESET y puesta a cero CLEAR, ambas activas a nivel alto.



Cuestión 6. Verifíquese el correcto funcionamiento del circuito implementado en el apartado anterior rellenando la siguiente tabla.

PR	CL	D	C	Q(t+1)	/Q(t+1)
1	1	X	X	1*	1*
1	0	X	X	1	0
0	1	X	X	0	1
0	0	0	0	Q(t)	/Q(T)
0	0	0	1	0	1
0	0	1	0	Q(t)	Q(t)
0	0	1	1	1	0

Cuestión 7. Indique en el cronograma siguiente la evolución de la salida Q del circuito a lo largo del tiempo:



### 3. GENERADORES DE PULSOS Y GENERADOR DE SEÑAL DE RELOJ (CLK)

El entrenador dispone de dos bloques de cuatro biestables “J-K”, colocados en vertical en los extremos inferior izquierdo e inferior derecho, respectivamente. En cada biestable disponemos de entradas individuales J, K, CLK y R (R representa la entrada de "Reset", o puesta a cero asíncrona).

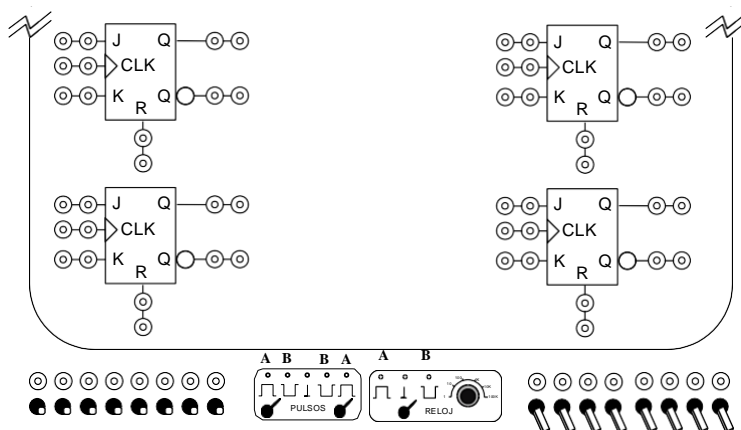
Los dos conmutadores centrales que se indican en el entrenador con la etiqueta "PULSOS", están específicamente diseñados para generar señales de reloj. Cada una de las dos palancas/interruptores dispone de dos salidas, A y B. El funcionamiento de los dos pulsadores es opuesto. A continuación se explica uno de ellos. El otro es simétrico.

El pulsador/palanca de la izquierda, en su estado por defecto, es decir, sin pulsar, se encuentra a nivel bajo “0” (en la salida A), y a nivel alto “1” (en la salida B).

Cuando se acciona el interruptor/palanca del generador de pulsos, se genera un flanco indistintamente: de subida en la salida A, y de bajada en B.

Mientras la palanca se mantenga pulsada, el nuevo valor persiste, logrando un nivel de tensión fijo: nivel alto en la salida A, y un nivel bajo en B.

Cuando se suelta la palanca del pulsador, éste vuelve a su valor inicial, generando una transición al otro flanco: flanco de bajada en A y flanco de subida en B.



Las salidas A y B del circuito denominado "RELOJ" funcionan de manera similar, excepto que la generación de los flancos es automática, y a una

frecuencia que se puede fijar, y varía entre unos pocos Hz a varios kHz. Existen dos reguladores de ajuste de frecuencia, uno de ajuste grueso y otro de ajuste fino. Es interesante utilizar estas señales de reloj cuando disponemos de un circuito secuencial y queremos generar un gran número de ciclos de reloj.

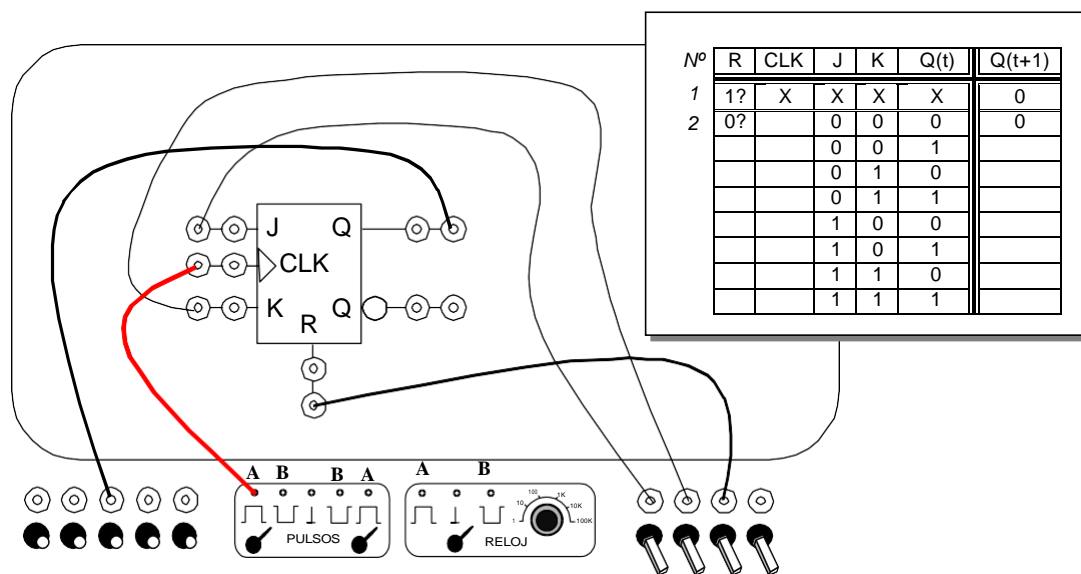
#### 4. BIESTABLE J-K

Ejercicio 3. Se desea comprobar el funcionamiento de uno de los biestables J-K del entrenador. Para verificar este circuito, realice las conexiones de la figura siguiente y rellene la tabla de funcionamiento. Nótese que la entrada de reloj (CLK) está conectada a los "PULSOS" en la salida del pulsador A de la izquierda.

Rellene la tabla a partir de las combinaciones de valores de las entradas del biestable: R, CLK, J, K, y Q(t). Recordemos que el nombre Q(t) hace referencia a la salida del biestable en el instante de tiempo "t" antes de generar el flanco de reloj, y Q(t+1) hace referencia a la misma salida del biestable, pero después de dicho flanco.

La primera columna de la izquierda de la tabla, llamada "Nº", debe indicar el **orden** en el que se han ido verificando las combinaciones de entrada al circuito. Como primera acción realice un Reset.

Para ello, active y desactive, mediante un pulso, la entrada de Reset, que deberá permanecer inactiva, es decir, deshabilitada, a partir de ese momento (Ver la figura).



**NOTA:** A diferencia de los circuitos combinacionales, en los que las combinaciones de valores de las entradas se pueden "dar" en cualquier orden, en los circuitos secuenciales debemos seguir un orden. Esto es así porque la salida del sistema Q(t+1), depende tanto de las entradas, J, K y R, que podemos modificar a nuestra voluntad y en el momento que se quiera, como del estado del biestable Q(t) que se encuentra en ese instante de tiempo "t".

Por ejemplo: Tras verificar que la salida del circuito en la primera fila de la tabla es "0" (debido a la entrada asíncrona de Reset), podemos verificar la salida para la segunda combinación J = K = 0 (Memoria: Q(t+1) = Q(t) = 0). Para probar la segunda combinación, como la salida del sistema sigue siendo "0", tendremos que validar la combinación de entradas de J y K, cuando Q(t) = 0, y pase a: Q(t+1) = 1. Así podremos verificar la combinación de la tercera fila a que exige como conjunto de la combinación de valores de entrada J = K = 0 y Q(t) = 1.

Recuerde que lo importante es verificar la salida del circuito para todas las combinaciones de entrada, no el orden en el que dichas combinaciones se introducen para ser verificadas, ni si se repiten combinaciones de entrada en el proceso de verificación.

Cuestión 8. ¿Cuál es el nivel de habilitación de la entrada asíncrona de "RESET"?

.....

Cuestión 9. ¿El biestable es activo por flanco de subida o de bajada?

.....

Cuestión 10. Complete el siguiente cronograma de forma práctica, es decir, introduciendo en el circuito las entradas mostradas en el cronograma y dibujando la salida del circuito en el cronograma..

