

FUNDAMENTOS DE COMPUTADORES

Práctica 5

Sistemas secuenciales (Biestables, Registros y Contadores)

Apellidos y nombre	Grupo	DNI

GENERALIDADES

El objetivo principal de esta práctica es que el alumno se familiarice con el uso de biestables, a partir de los cuales diseñará y montará registros de desplazamiento y contadores.

Para la realización de los montajes se utilizarán los biestables J-K, así como los pulsadores y generadores de señal de reloj, las salidas individuales de leds, y los visualizadores de 7 segmentos que se incluyen en el entrenador lógico. La señal de reloj se obtendrá del entrenador lógico, con una frecuencia de 1 Hz.

Es conveniente venir a la práctica con todos los ejercicios teóricos resueltos!

DISEÑO DE BIESTABLES D A PARTIR DE BIESTABLES J-K

Pregunta 1. En este ejercicio se implementará primero un biestable D a partir de otro biestable J-K, ya disponible en el entrenador lógico, y las puertas lógicas necesarias. Es decir, diseñaremos el circuito combinacional de excitación.

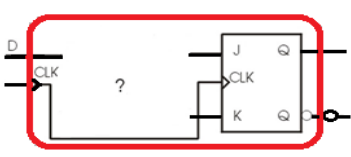
Para ello, primero se deberá rellenar la tabla de excitación del biestable J-K, deducida a partir de la tabla de funcionamiento del biestable D. Para rellenar la tabla de excitación, habrá que determinar cuáles deberán ser las entradas del biestable J-K en el instante “t”, cuando en el biestable D se pase del estado actual “Q(t)” al siguiente “Q(t+1)”. A este proceso se le denomina transición entre estados.

A continuación, se resuelven las ecuaciones del biestable J-K. Es decir, se obtienen las entradas J y K en función de las entradas del biestable D y de la variable interna Q(t). La simplificación de estas dos funciones, J y K, nos resuelve el diseño pedido.

- Dibuje el esquema resultante sobre la figura 1 y monte el circuito.

No desmontar el circuito

Funcionamiento biestable D			Excitación biest. J-K	
D	Q(t)	Q(t+1)	J	K
0	0	0		
0	1	0		
1	0	1		
1	1	1		



J = ...

K = ...

Figura 1. Circuito I.

Cablear las entradas J y K a la entrada D, utilizando las puertas lógicas que necesite. El circuito diseñado con puertas, es el circuito COMBINACIONAL de EXCITACIÓN de los biestables J-K. El objetivo es que el circuito resultante se comporte como un biestable D.

DISEÑO DE UN REGISTRO DE DESPLAZAMIENTO A PARTIR DE J-K

Pregunta 2. Una vez diseñado un biestable D a partir de otro biestable J-K, diseñe un **registro de desplazamiento de 4 bits serie – paralelo**.

Para ello, utilizando el diseño anterior, y con otros tres biestables J-K del entrenador lógico, las puertas lógicas necesarias, y las conexiones apropiadas para la transmisión serie-paralelo, dibuje el esquema sobre la figura 2 (circuito II).

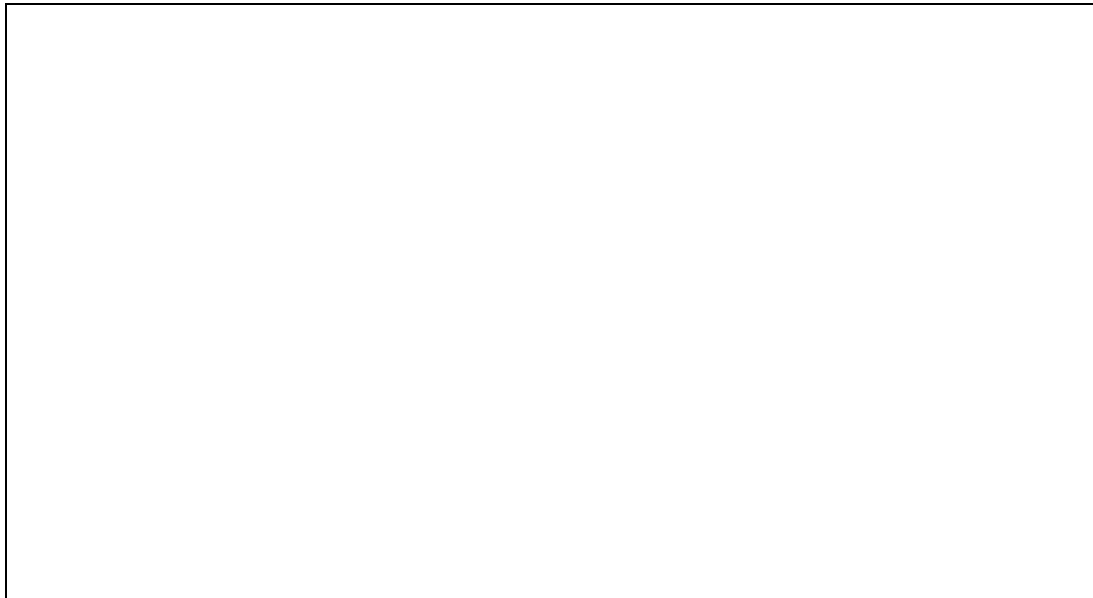


Figura 2. Circuito II. Registro de desplazamiento de 4 bits serie-paralelo. A dibujar por el alumno.

Para verificar el funcionamiento, deberá implementarse sobre el entrenador. Una vez montado el registro de desplazamiento, se deberá introducir la secuencia: “**1-0-0-1**”, y comprobar el resultado sobre el comprobador de resultados (leds) del entrenador.

CONTADORES SÍNCRONOS

A continuación, se van a implementar una serie de contadores síncronos. En primer lugar, monte sobre el entrenador el circuito de la figura 3 (circuito III), utilizando los biestables J-K. Para determinar el valor de las cuentas binarias del contador se puede hacer con las salidas (Q1 y Q0) conectadas a dos leds en el entrenador, dispuestos según sus pesos respectivos. Es decir, el bit menos significativo del contador (LSB) Q0, se conecta con el led de más a la derecha, y el bit siguiente de mayor peso (o MSB) el Q1, se conectará en el siguiente led a su izquierda, y así sucesivamente, en el caso de que se tuviesen más bits. Las entradas de “Clear”, de los biestables J-K deberán desactivarse. Recuerdese que un “0” lógico, se corresponde con el led apagado y un “1” lógico con el led encendido.

Pregunta 3. Indique la secuencia que cuenta, visualizando las salidas Q1 y Q0, sobre los leds del entrenador, y rellene la tabla adjunta.

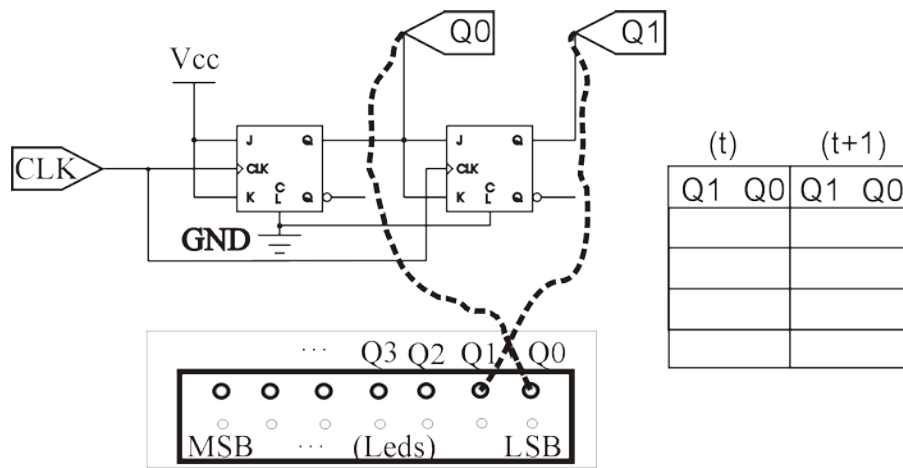


Figura 3. Circuito III.

NO DESMONTE EL CIRCUITO (se utiliza en el siguiente ejercicio)

Por otra parte, se puede demostrar que los contadores binarios, con mayor número de bits (por ejemplo $n \geq 2$), pueden implementarse según las ecuaciones siguientes:

$$\begin{aligned}
 J_0 &= K_0 = 1; \\
 J_1 &= K_1 = Q_0; \\
 J_2 &= K_2 = Q_1 \cdot Q_0; \\
 J_3 &= K_3 = Q_2 \cdot (Q_1 \cdot Q_0); \\
 &\dots \\
 J_n &= K_n = Q_{(n-1)} \cdot \dots \cdot Q_2 \cdot (Q_1 \cdot Q_0);
 \end{aligned}$$

Pregunta 4. Utilizando las ecuaciones anteriores, diseñe un contador de **4 bits**, con biestables J-K, (con la estructura de biestables “T”, es decir con J=K), y las puertas AND necesarias. Complete la conexiones necesarias sobre el circuito de la figura 4, y añada el biestable y la puerta AND necesaria (gracias a la propiedad asociativa sólo necesita añadir una puerta AND de dos entradas).

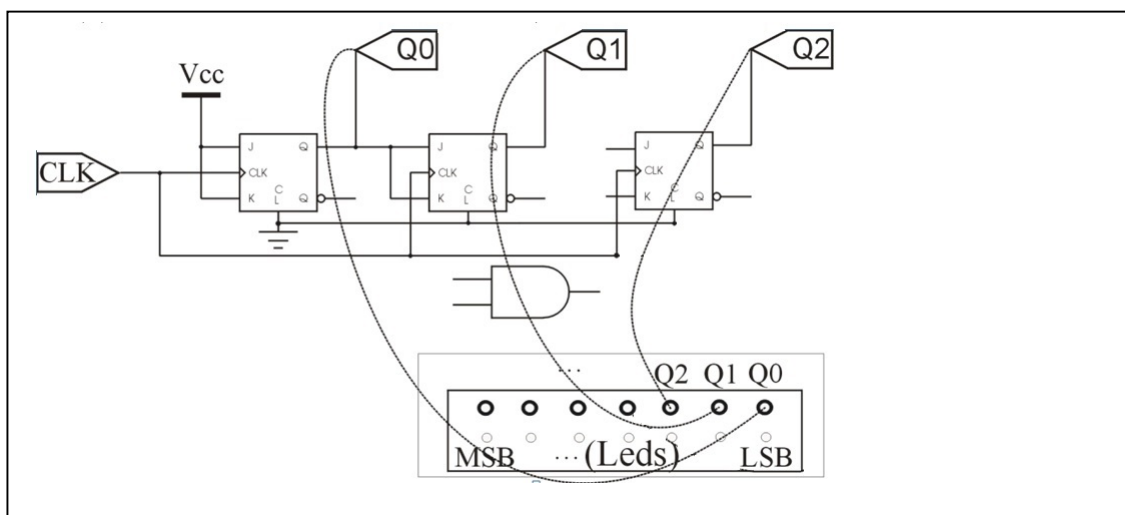


Figura 4. Circuito IV. Contador de 4 bits utilizando biestables J-K.

Construya el circuito contador de 4 bits. Para verificar el diseño, se deberán visualizar las cuentas (Q3 Q2 Q1 Q0) sobre los leds del entrenador lógico, siguiendo la norma anterior relativa a los pesos de las potencias de 2, con el bit LSB en el led de más a la derecha, y el bit MSB sobre el led de más a la izquierda. Para la señal de reloj puede utilizar la salida manual o automática (1Hz) del generador de pulsos del entrenador. Rellena la tabla siguiente con las salidas observadas.

Q3(t)	Q2(t)	Q1(t)	Q0(t)	Q3(t+1)	Q2(t+1)	Q1(t+1)	Q0(t+1)
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

Por último, puede visualizar la cuenta del contador utilizando uno de los displays de 7 segmentos disponibles en el entrenador.