



UNIVERSIDAD  
POLITECNICA  
DE VALENCIA



---

# Fonaments de computadors

---

## TEMA 3: BLOCS COMBINACIONALS BÀSICS

---

- Conèixer el funcionament dels circuits combinacionals bàsics següents:
  - Descodificadors
  - Codificadors
  - Multiplexors
  - Demultiplexors

- Poliformat, secció “Recursos”
  - Exercicis sense solució.
  - Solucions als exercicis.
  - Exàmens d'anys anteriors.
- Poliformat, secció “Lessons”
  - Mòdul 4: *Bloques combinacionales básicos*. (Teoria i exercicis)
  - Mòdul 5: *Composición de bloques combinacionales*. (Teoria i exercicis)
  - Mòdul 6 *Generación de funciones con multiplexores*. (Teoria i exercicis)
  - Mòdul 7: *Generación de funciones con decodificadores*. (Teoria i exercicis)

- 
1. Introducció
  2. Descodificadors
    1. Descodificadors binaris
    2. Composició de descodificadors binaris
    3. Descodificadors no binaris
  3. Codificadors
  4. Multiplexors
    1. Composició de multiplexors
    2. Multiplexors per a dades d' $n$  bits
  5. Demultiplexors
-

- En el tema anterior s'han estudiat els principis bàsics necessaris per tractar la descripció i implementació de circuits digitals mitjançant l'ús de portes lògiques elementals.
- En aquest tema s'aplicaran aquests principis per a comprendre el funcionament i construcció dels circuits combinacionals bàsics més utilitzats.

- Aquests circuits implementen funcions senzilles
  - Es poden trobar integrats en pastilles (xips)
- S'estudiarà la importància d'aquests circuits com a elements bàsics en la construcció de les diferents unitats funcionals del computador, i en la transferència de dades entre elles.

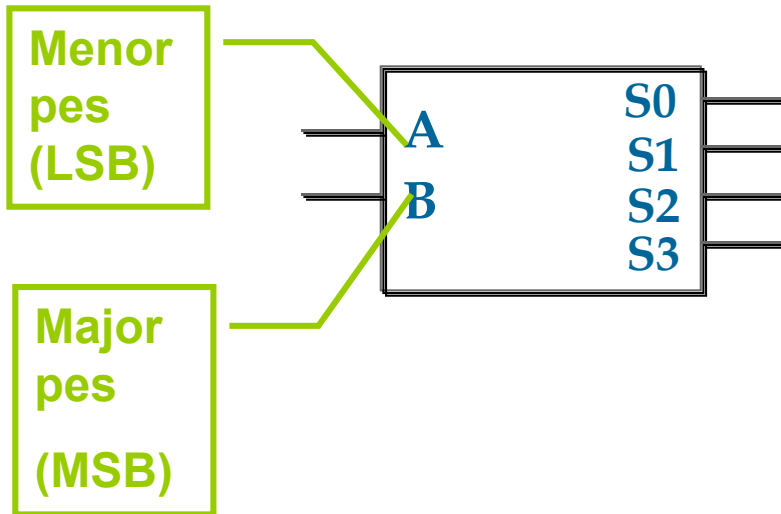
- En un circuit combinacional, la relació entre les entrades i les eixides pot expressar-se mitjançant una funció lògica.
  - El valor de les eixides en un instant concret depén exclusivament del valor de les entrades en eixe mateix instant.
- Les portes lògiques introdueixen un xicotet retard entre l'entrada i l'eixida (de l'ordre de nanosegons)
  - En un circuit combinacional real els canvis en les entrades es manifesten en les eixides amb un cert retard.
  - El retard depén del tipus de portes, nombre d'entrades i nivell del circuit.



- descodificadors binaris
  - m entrades i  $n = 2^m$  eixides (2 a 4, 3 a 8, 4 a 16)
  - Són de gran utilitat per a habilitar dispositius
- descodificadors de BCD a 7 segments
  - 4 entrades i 7 eixides
- descodificadors de BCD a decimal
  - 4 entrades i 10 eixides



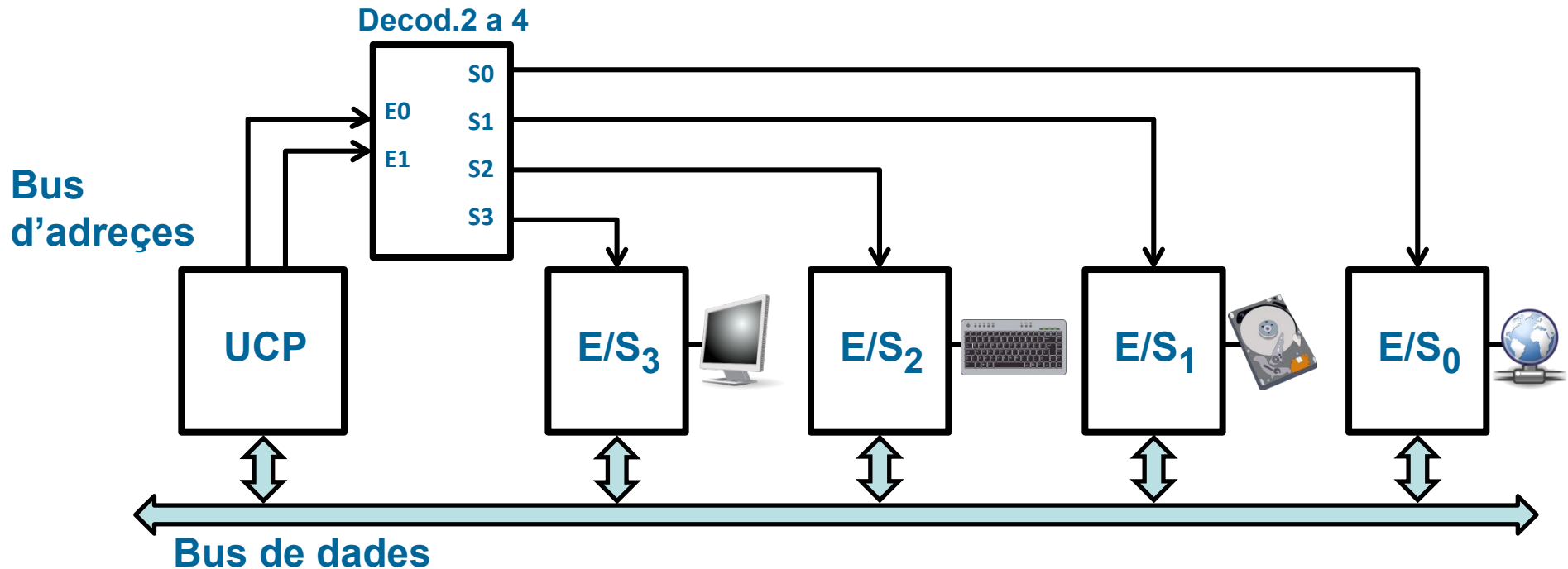
- Descodificador binari



ENTRADES		EIXIDES			
B	A	S3	S2	S1	S0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Les eixides són mútuament excloents

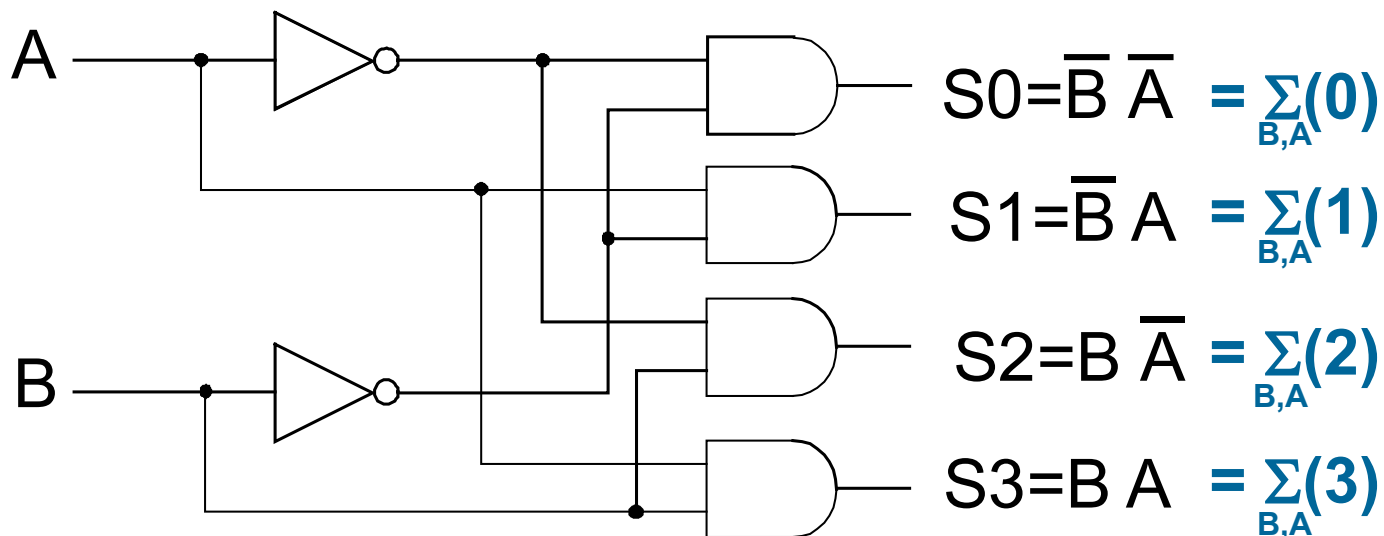
- Ús d'un descodificador binari per habilitar dispositius:



- Disseny d'un descodificador binari

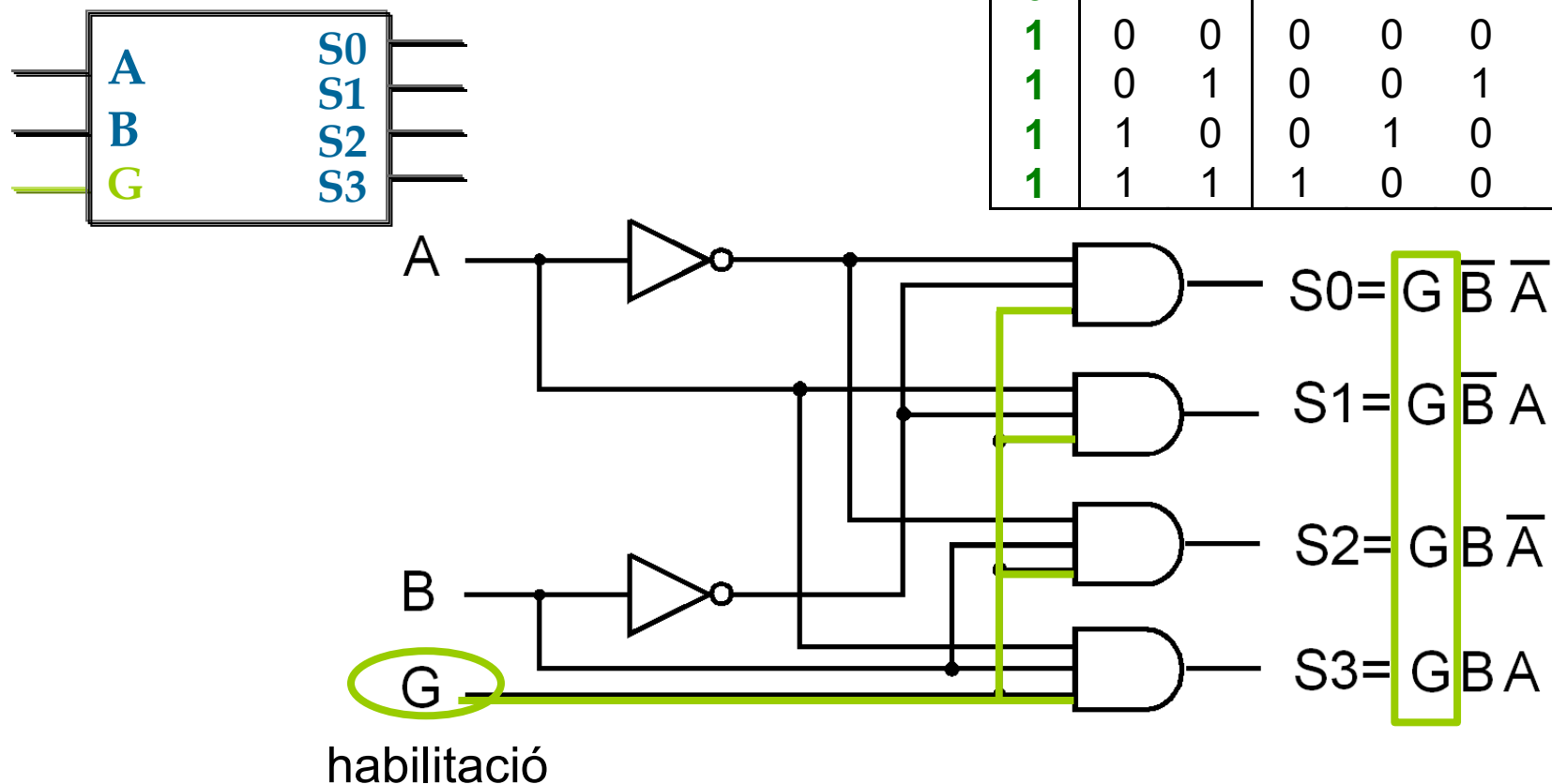
ENTRADES		EIXIDES			
B	A	S3	S2	S1	S0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Les funcions d'eixida només prenen valor 1 per a una sola valoració → No es podran formar grups en la taula de Karnaugh → No hi ha simplificació possible, emprem la forma canònica per obtindre l'expressió algebraica.

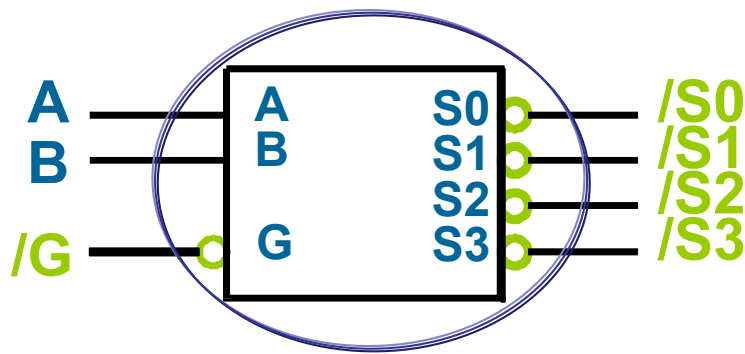


- Amb entrada d'habilitació  
(Enable o strobe)

ENTRADES			EIXIDES			
G	B	A	S3	S2	S1	S0
0	X	X	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0



- Circuit integrat 74LS139

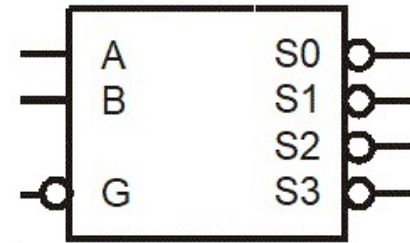
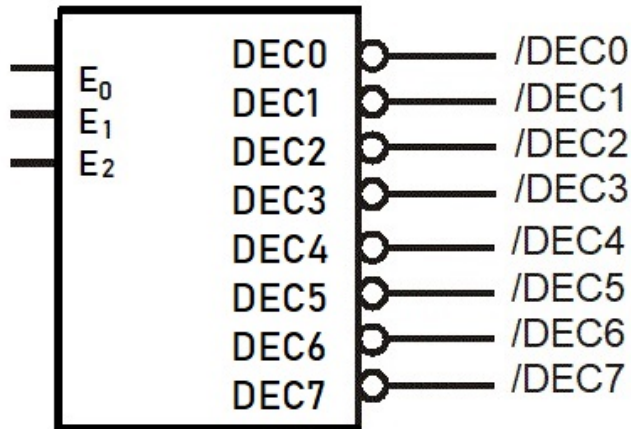


Entrada d'habilitació i eixides actives a nivell baix. S'indiquen amb els cercles en el símbol lògic i les barres en els noms de les variables.

ENTRADES			EIXIDES			
/G	B	A	/S3	/S2	/S1	/S0
1	X	X	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

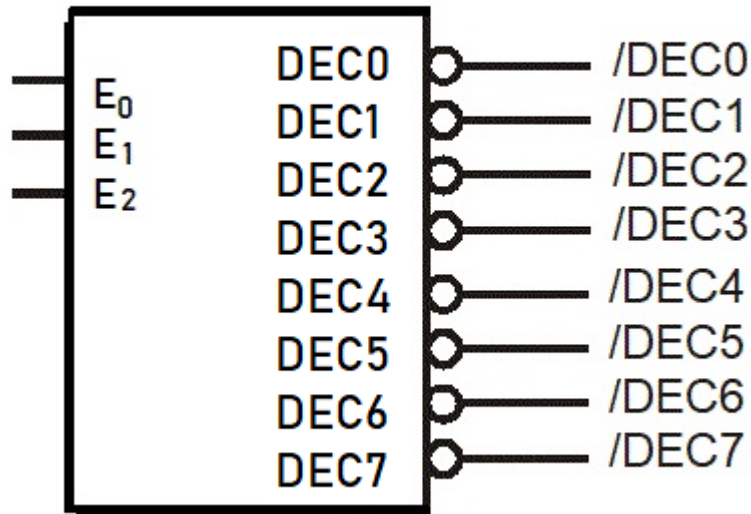
- La grandària major existent al mercat és: 4 a 16
- Podem construir descodificadors majors combinant o composant en paral·lel descodificadors més xicotets.

**Exemple: Decod. de 3 a 8 (amb descodificadors de 2 a 4)**



- La grandària major existent al mercat és: 4 a 16
- Podem construir descodificadors majors combinant o composant en paral·lel descodificadors més xicotets.

**Exemple: Decod. de 3 a 8 (amb descodificadors de 2 a 4)**

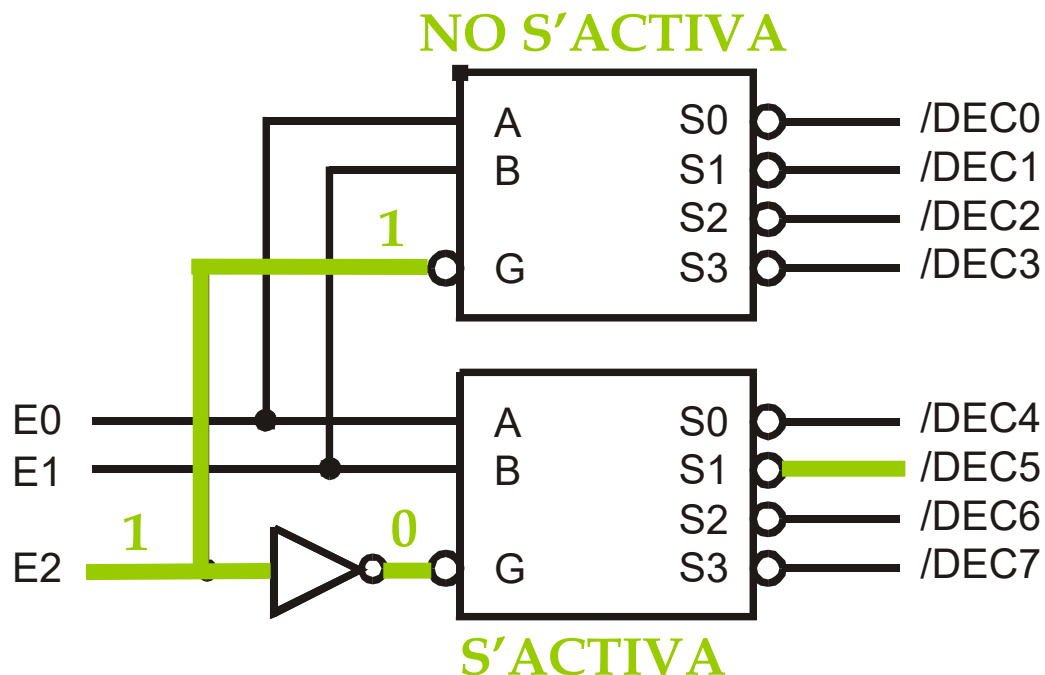


E2	E1	E0	
0	0	0	$/\text{DEC0}$
0	0	1	$/\text{DEC1}$
0	1	0	$/\text{DEC2}$
0	1	1	$/\text{DEC3}$
1	0	0	$/\text{DEC4}$
1	0	1	$/\text{DEC5}$
1	1	0	$/\text{DEC6}$
1	1	1	$/\text{DEC7}$

- La grandària major existent al mercat és: 4 a 16
- Podem construir descodificadors majors combinant o composant en paral·lel descodificadors més xicotets.

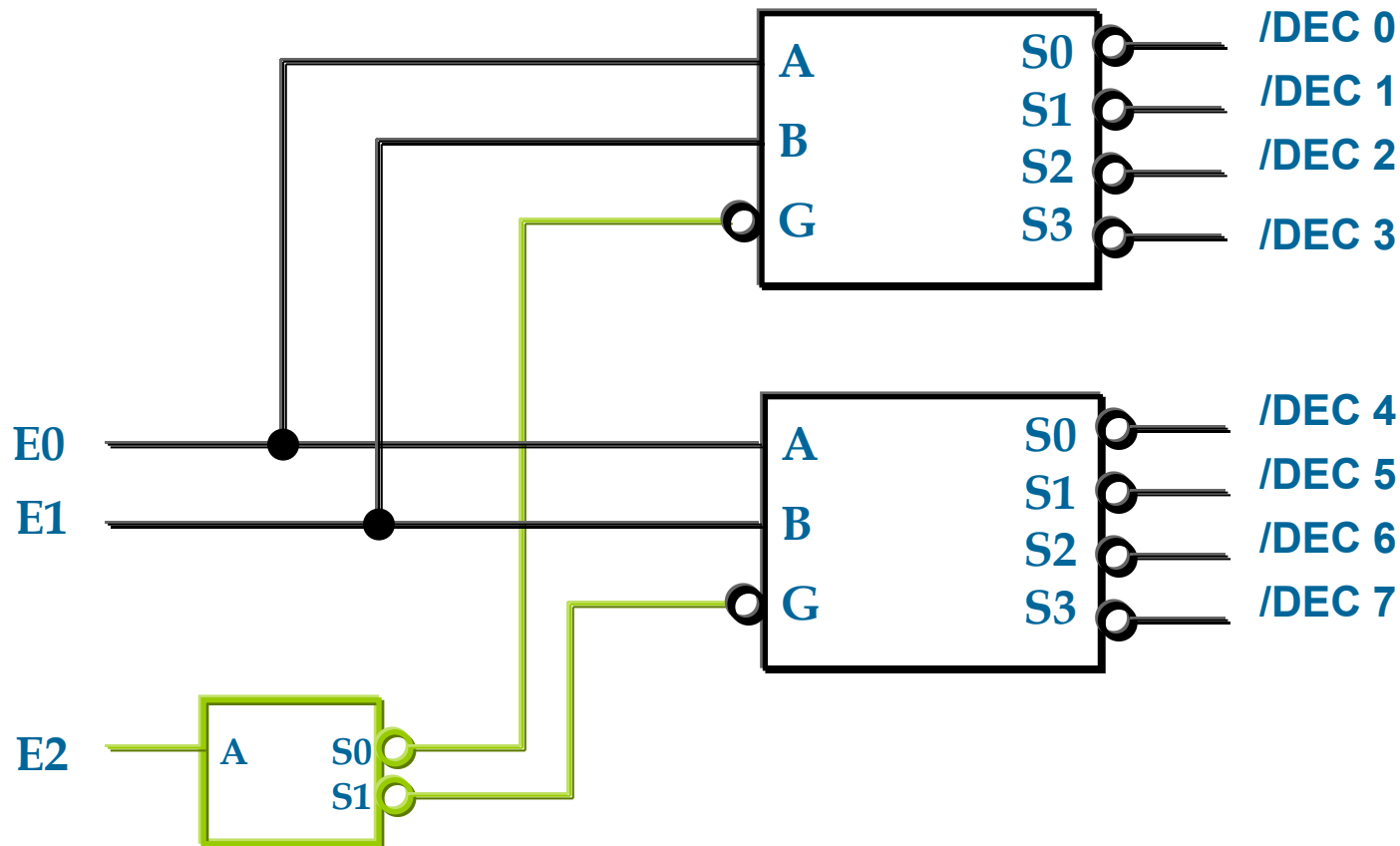
**Exemple: Decod. de 3 a 8 (amb descodificadors de 2 a 4)**

E2	E1	E0	
0	0	0	/DEC0
0	0	1	/DEC1
0	1	0	/DEC2
0	1	1	/DEC3
1	0	0	/DEC4
1	0	1	/DEC5
1	1	0	/DEC6
1	1	1	/DEC7

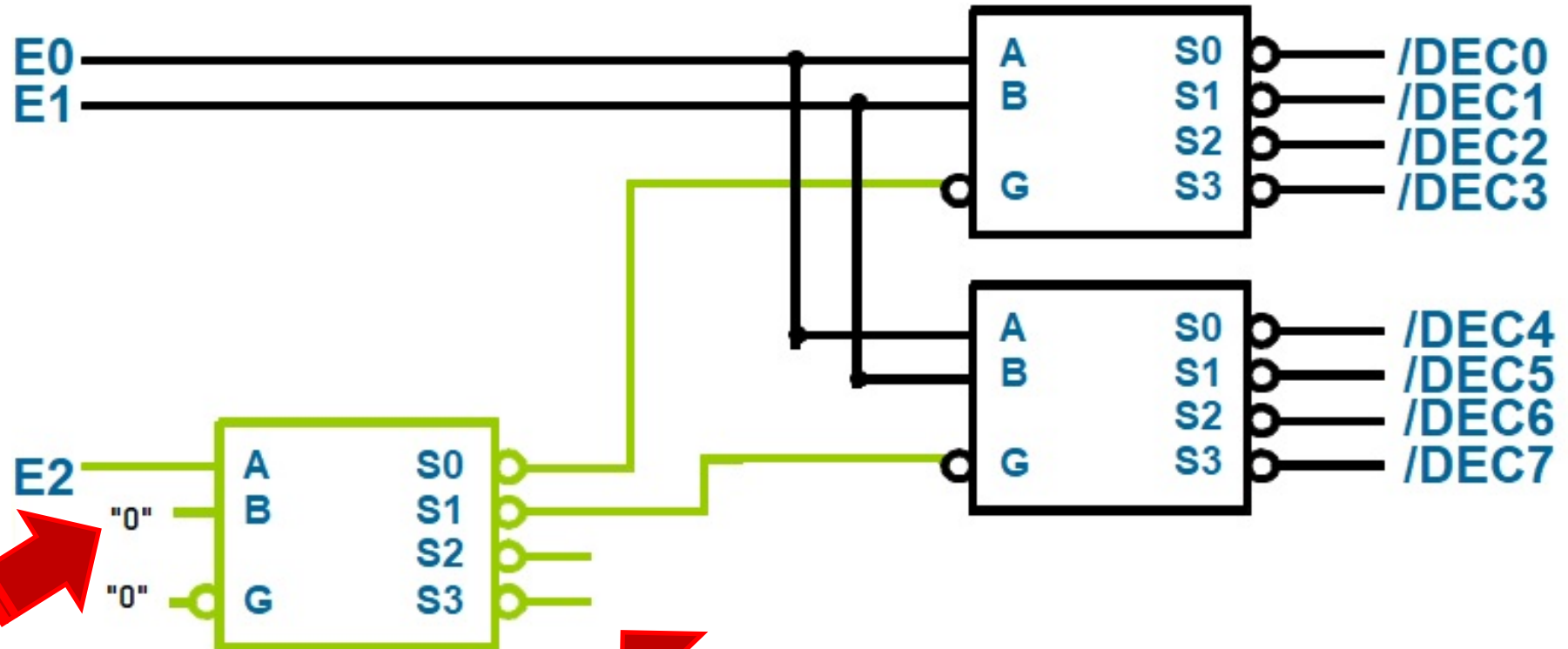




Decodificador de 3 a 8 utilitzant dos decodificadors de 2 a 4 i un altre d'1 a 2:



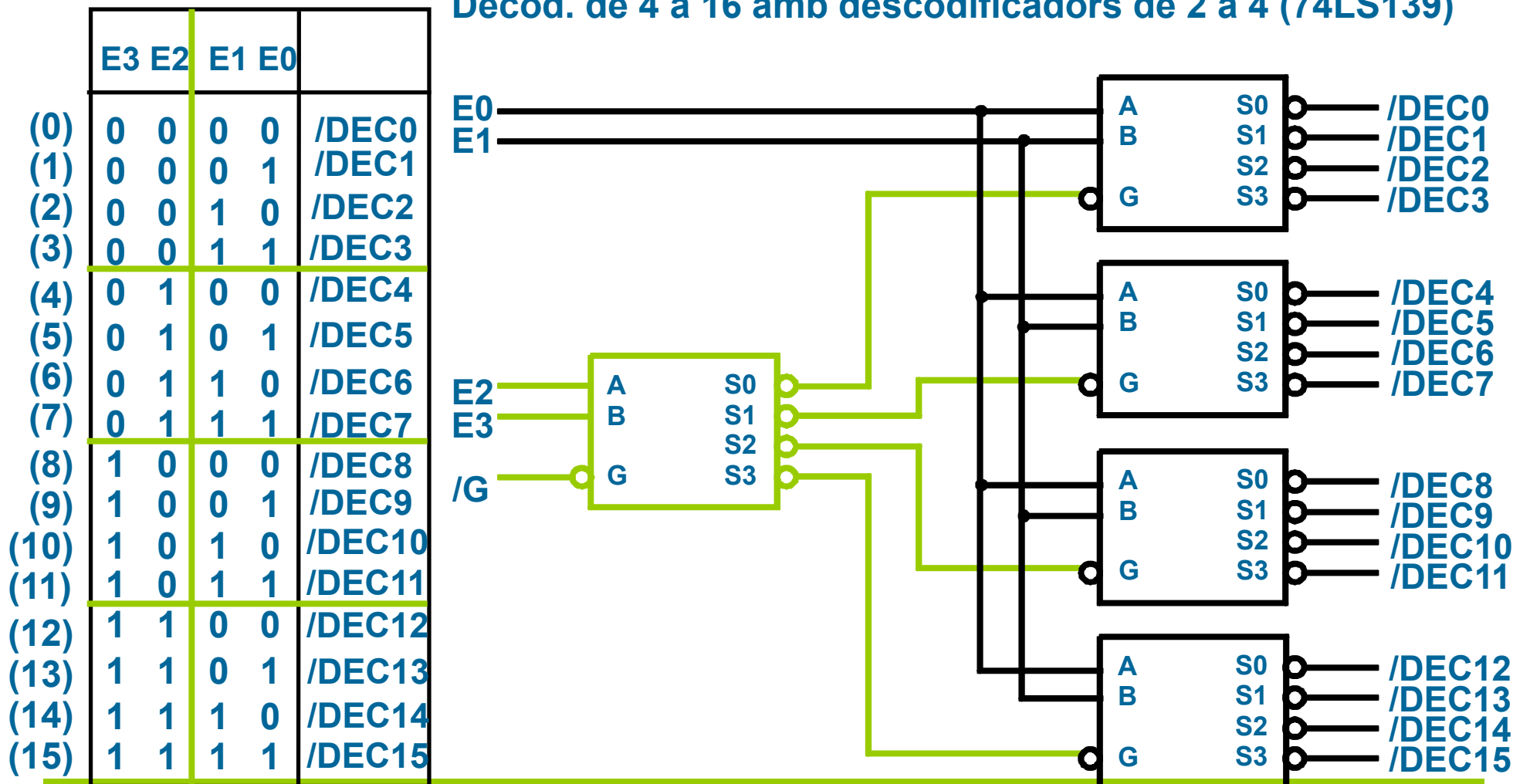
Decodificador de 3 a 8 utilitzant només decodificadors de 2 a 4:



# Composició de descodificadors (iii)

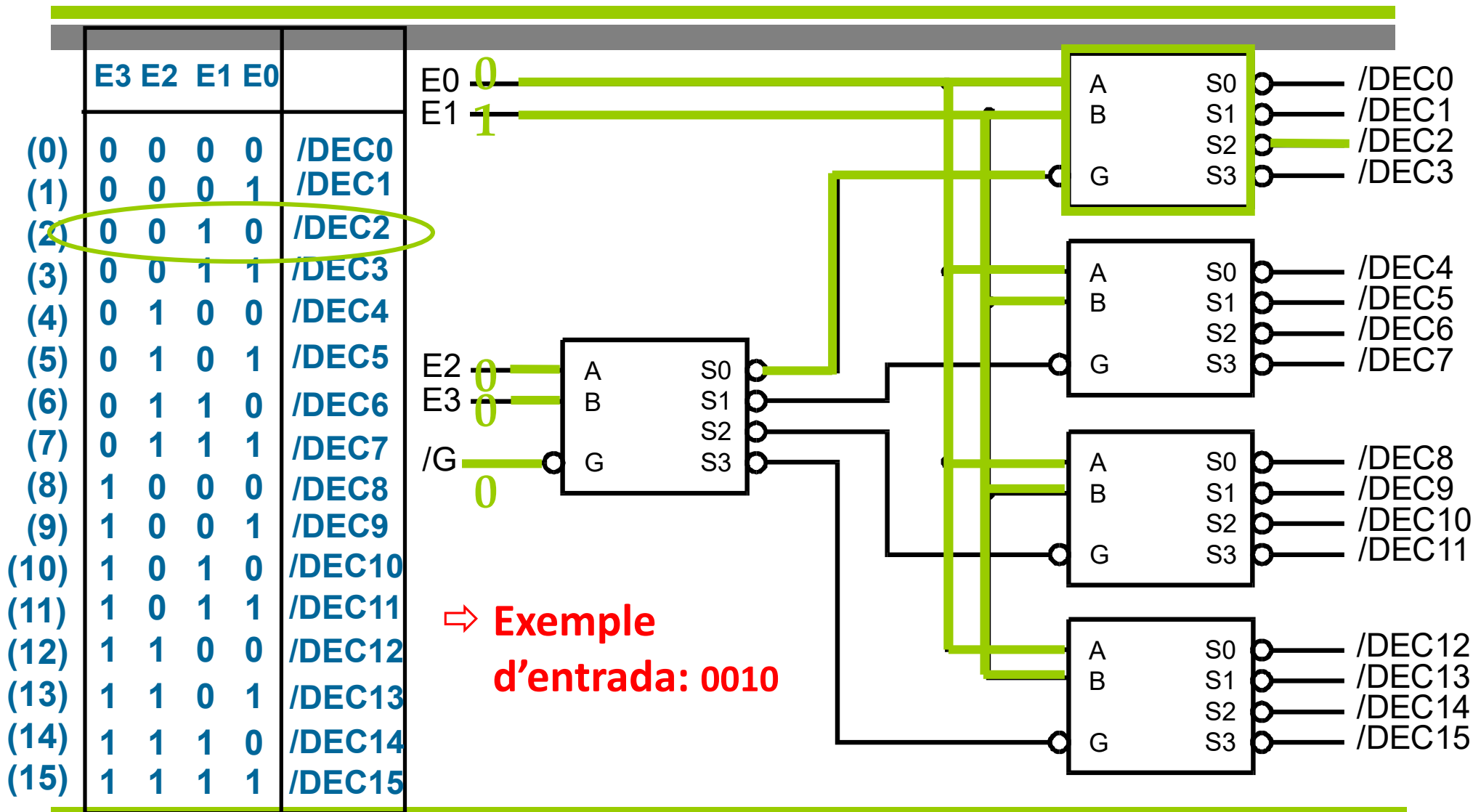
FCO

Decod. de 4 a 16 amb descodificadors de 2 a 4 (74LS139)

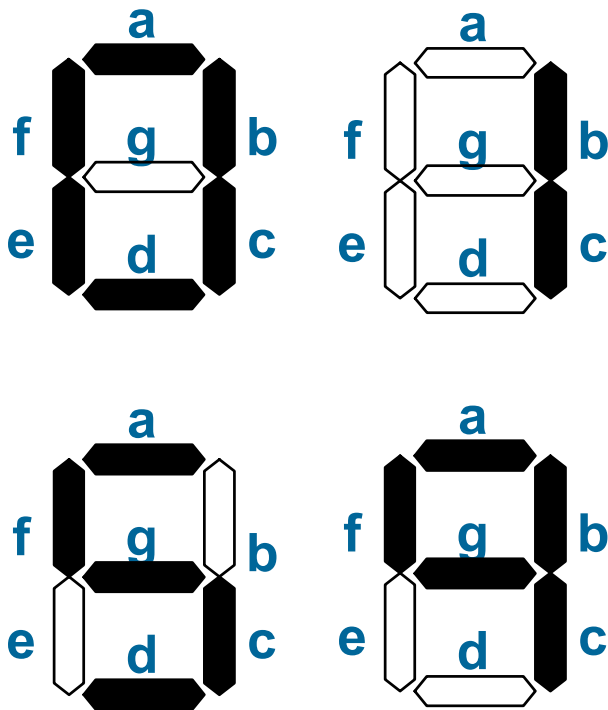


# Composició de descodificadors (iv)

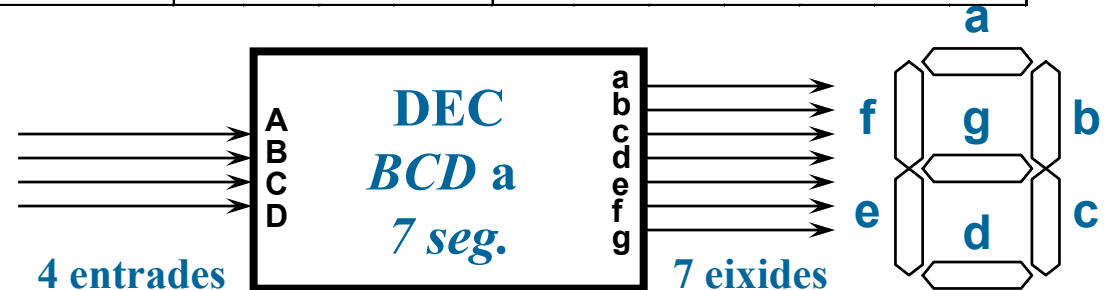
FCO



- Descodificadors BCD a 7 segments (eixides no excloents)

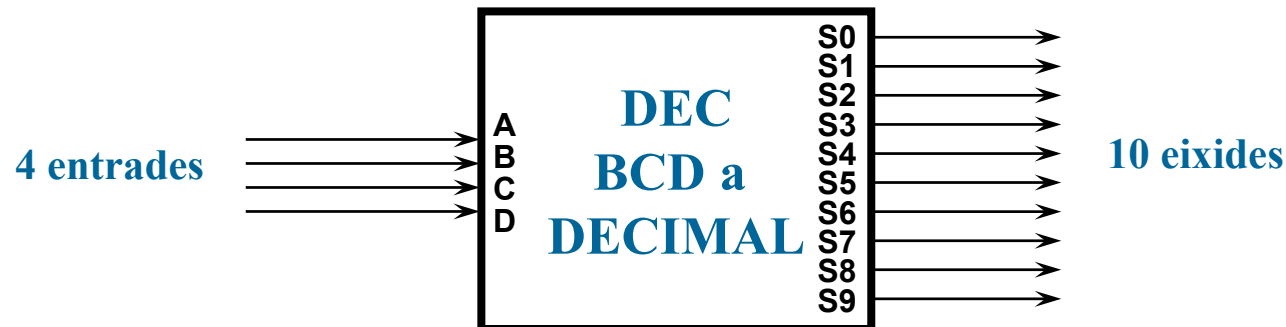


DECIMAL	ENTRADES				EIXIDES						
	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1

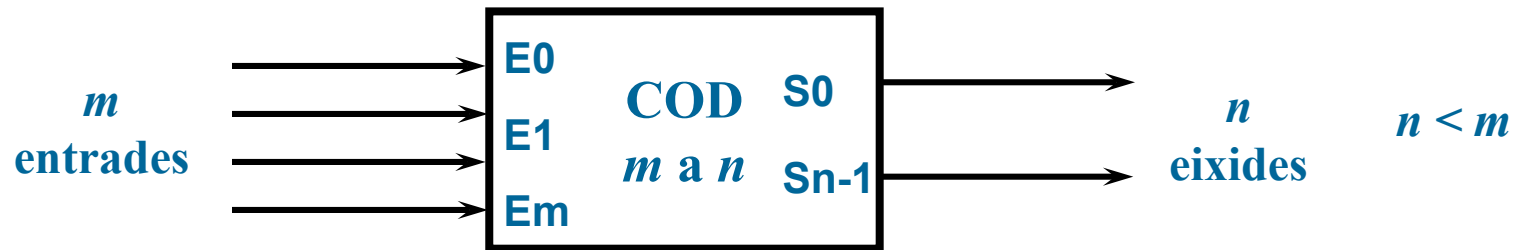


- Descodificador BCD a decimal

DECIMAL	ENTRADES				EIXIDES									
	D	C	B	A	S0	S1	S2	S3	S4	S5	S6	S7	S8	S9
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	1	0	0	0	0	0	0	0
3	0	0	1	1	0	0	0	1	0	0	0	0	0	0
4	0	1	0	0	0	0	0	0	1	0	0	0	0	0
5	0	1	0	1	0	0	0	0	0	1	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	1	0	0	0
7	0	1	1	1	0	0	0	0	0	0	0	1	0	0
8	1	0	0	0	0	0	0	0	0	0	0	0	1	0
9	1	0	0	1	0	0	0	0	0	0	0	0	0	1



- Funció oposada al descodificador



## – Codificador binari

- $m = 2^n$  entrades i  $n$  eixides
- L'eixida codifica en binari el nombre de l'entrada activa
- Són molt utilitzats en subsistemes d'entrada/eixida
  - Exemple: el codi d'eixida identifica el dispositiu que realitza una petició al processador
- És necessari establir prioritats entre les entrades si aquestes poden activar-se simultàniament.

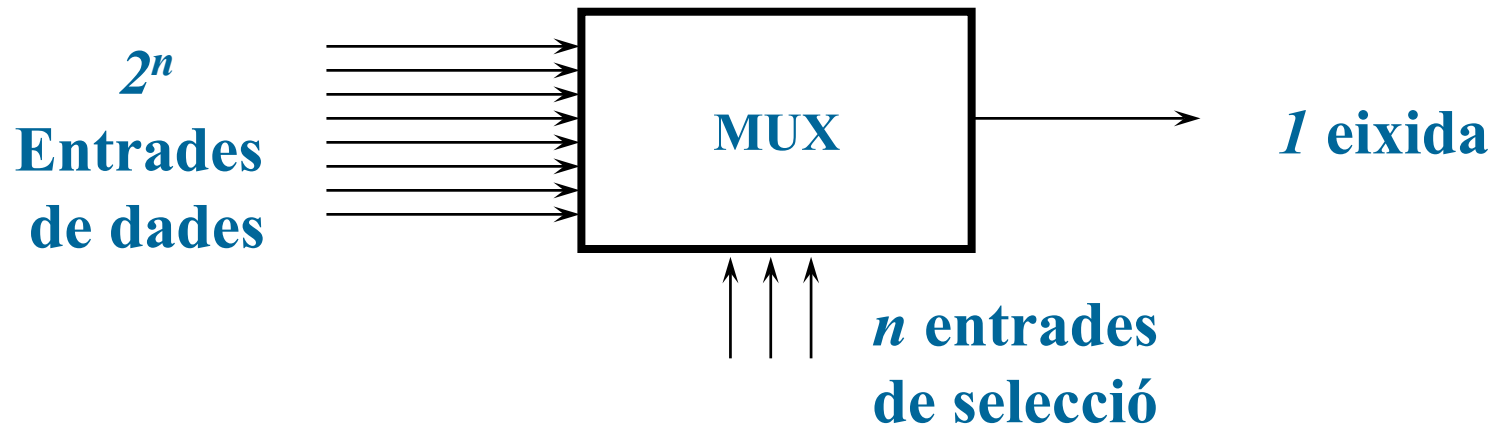
- Codificador binari (amb prioritats)

ENTRADES				EIXIDES		
E3	E2	E1	E0	S1	S0	E
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	X	0	1	1
0	1	X	X	1	0	1
1	X	X	X	1	1	1

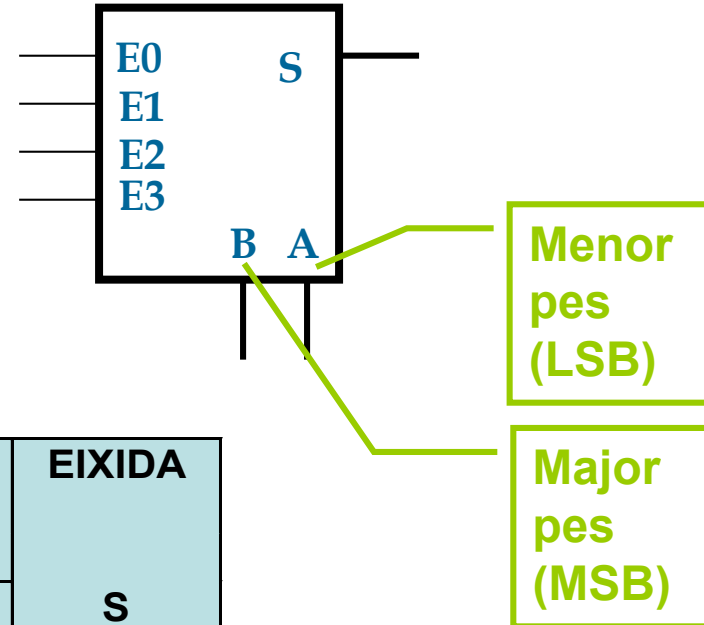
- Les entrades de major pes (major nombre d'ordre) tenen prioritats sobre les de menor pes
- L'eixida E indica “al menys una entrada activa en el codificador”



- Les línies de selecció indiquen quina entrada apareixerà en l'eixida
- Molt utilitzats en els camins que segueix la informació en els sistemes informàtics



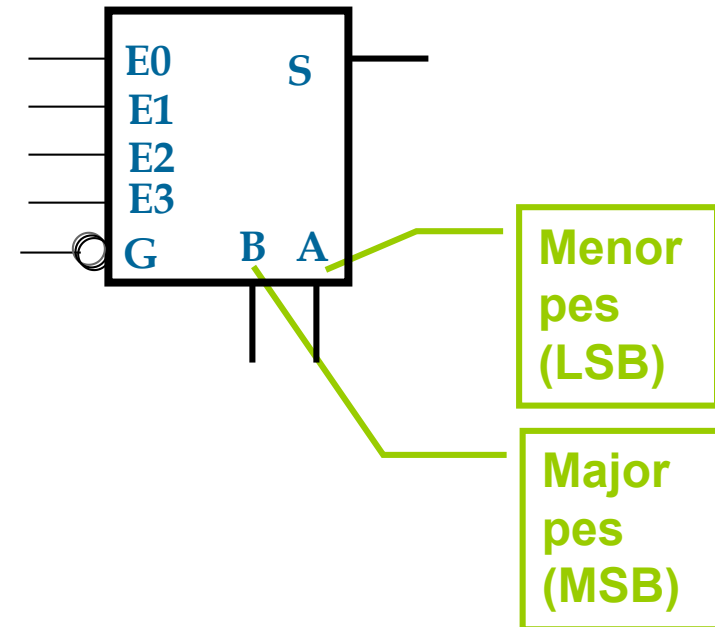
ENTRADES DE SELECCIÓ		EIXIDA
B	A	S
0	0	E0
0	1	E1
1	0	E2
1	1	E3



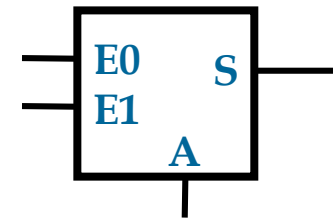
Taula de veritat estesa

ENTRADES DE SELECCIÓ		ENTRADES DE DADES				EIXIDA
B	A	E3	E2	E1	E0	S
0	0	X	X	X	0	0
0	0	X	X	X	1	1
0	1	X	X	0	X	0
0	1	X	X	1	X	1
1	0	X	0	X	X	0
1	0	X	1	X	X	1
1	1	0	X	X	X	0
1	1	1	X	X	X	1

HABILITACIÓ	ENTRADES DE SELECCIÓ		EIXIDA
	B	A	
/G			S
1	X	X	0
0	0	0	E0
0	0	1	E1
0	1	0	E2
0	1	1	E3

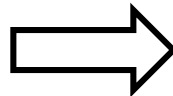


- Exemple de disseny d'un MUX de 2 entrades de dades



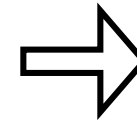
A	E1	E0	S
0	X	0	0
0	X	1	1
1	0	X	0
1	1	X	1

Taula reduïda



	A	E1	E0	S
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

Taula estesa

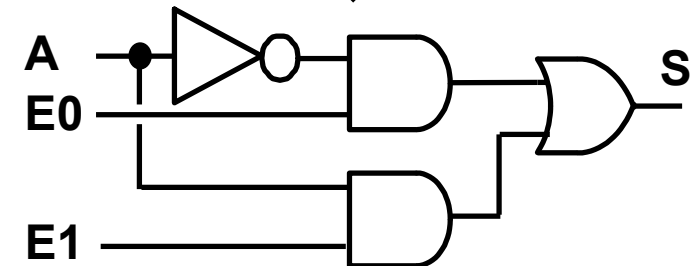


		A E1			
E0		00	01	11	10
		0 <sup>0</sup>	0 <sup>2</sup>	1 <sup>6</sup>	0 <sup>4</sup>
0		0	0	1	0
1		1 <sup>1</sup>	1 <sup>3</sup>	1 <sup>7</sup>	0 <sup>5</sup>

Mapa de Karnaugh



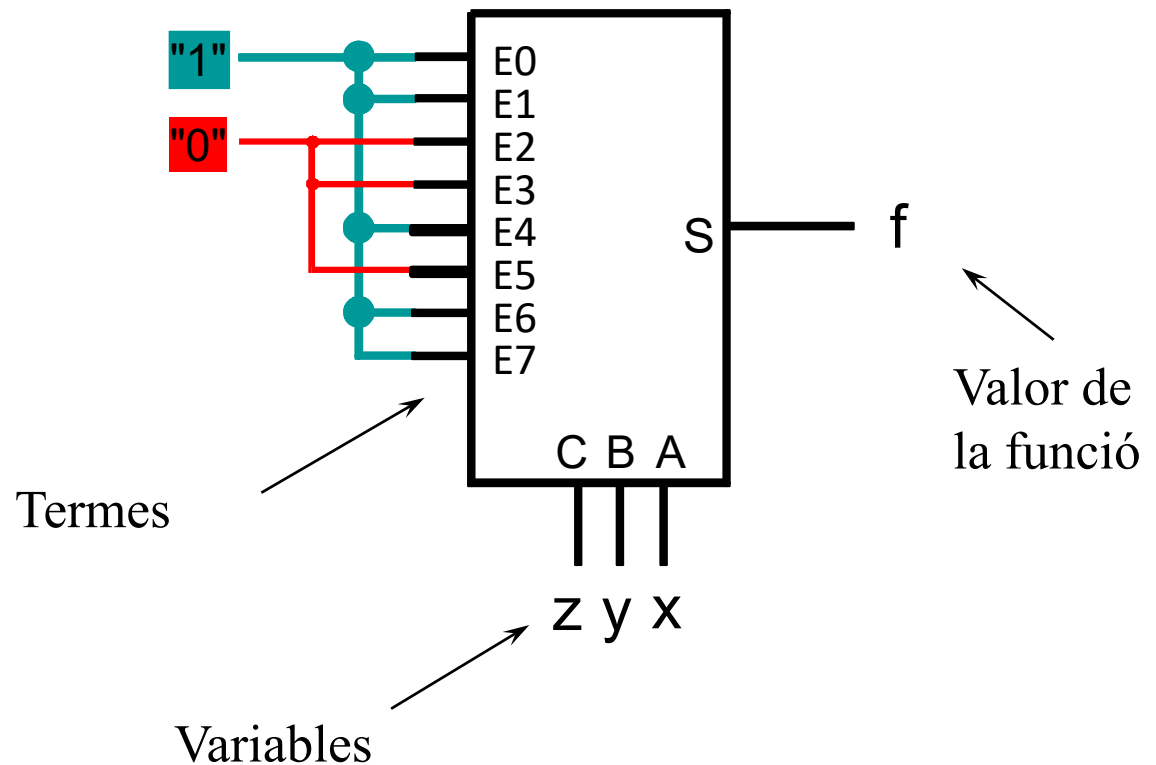
$$S = \bar{A} E0 + A E1$$



- El multiplexor com a generador de funcions

$$f = \sum_{z,y,x} (0,1,4,6,7)$$

$z$	$y$	$x$	$f$
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

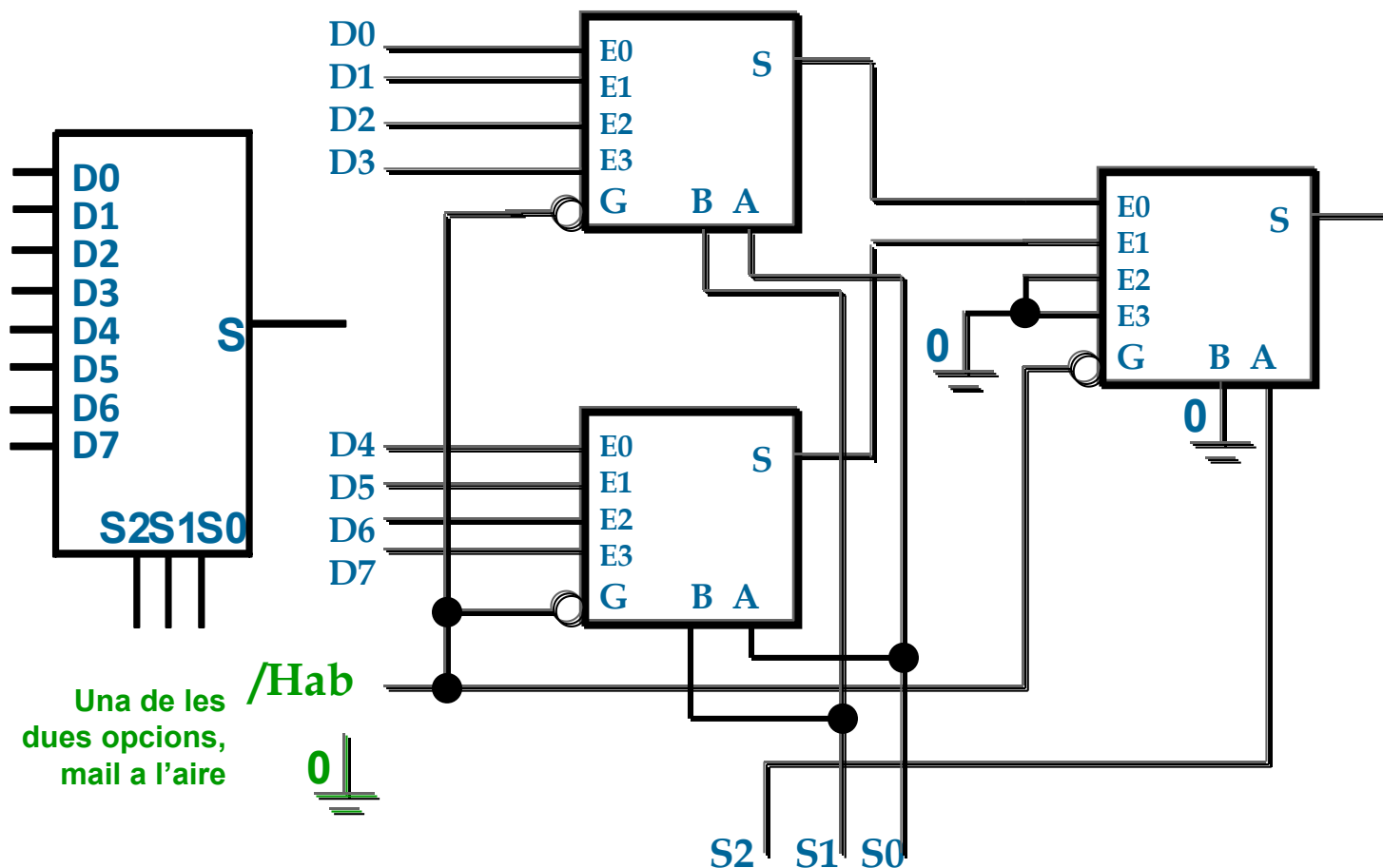


# Composició de multiplexors (i)

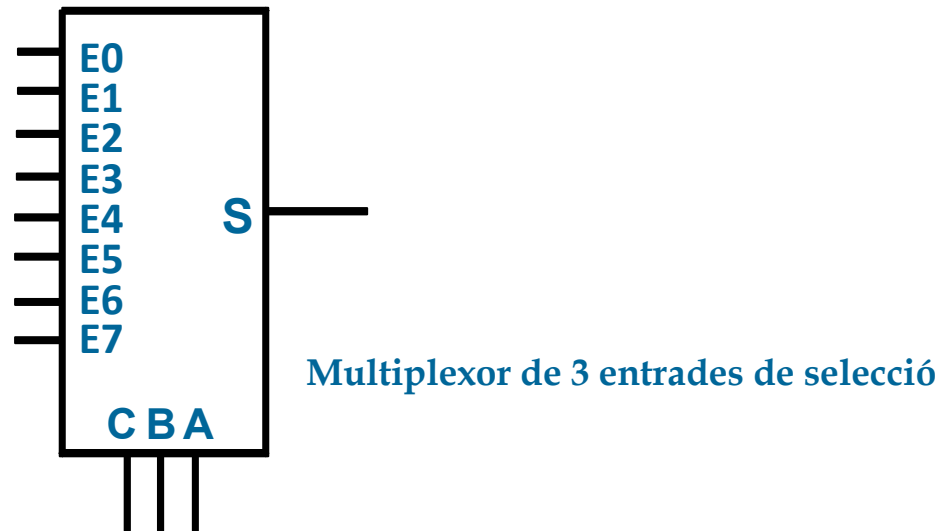
FCO

MUX de 8 entrades de dades amb MUX's de 4 entrades de dades amb habilitació

S2	S1	S0	S
0	0	0	D0
0	0	1	D1
0	1	0	D2
0	1	1	D3
1	0	0	D4
1	0	1	D5
1	1	0	D6
1	1	1	D7

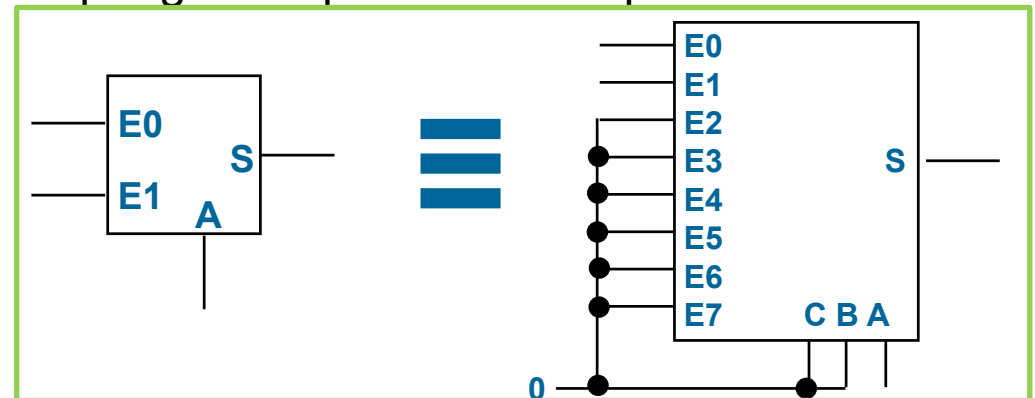


- Mètode general. Exemple:
  - Es vol construir un multiplexor de 1024 a 1 component multiplexors de 3 entrades de selecció. Quants d'aquests es necessitaran i com s'organitzaran?



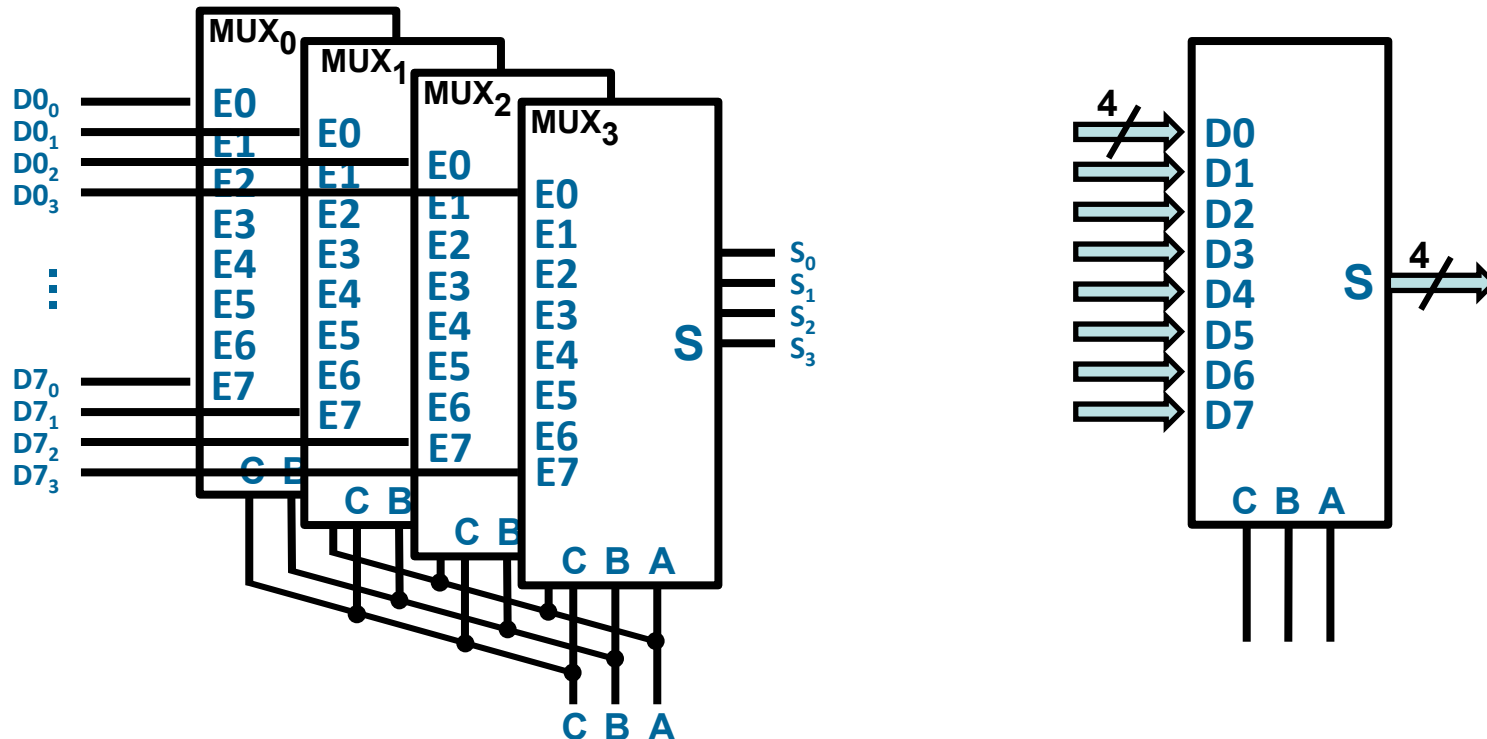
- Per tindre 1024 entrades amb mux. de 8 entrades (3 de selecció) necessitem  $1024 / 8 = 128$  mux. de 8 entrades en el nivell 1.
- Per connectar les eixides dels 128 multiplexors necessitem  $128 / 8 = 16$  mux. de 8 entrades en el nivell 2.
- Per connectar les eixides dels 16 multiplexors necessitem  $16 / 8 = 2$  mux. de 8 entrades en el nivell 3.
- Per connectar les eixides dels 2 multiplexors necessitem: 1 mux. de 2 entrades en el nivell 4.
  - Per a aquest últim multiplexor es pot gastar qualsevol multiplexor de més de 2 entrades de dades.

**$128 + 16 + 2 + 1 =$   
147 multiplexors de 8  
entrades**

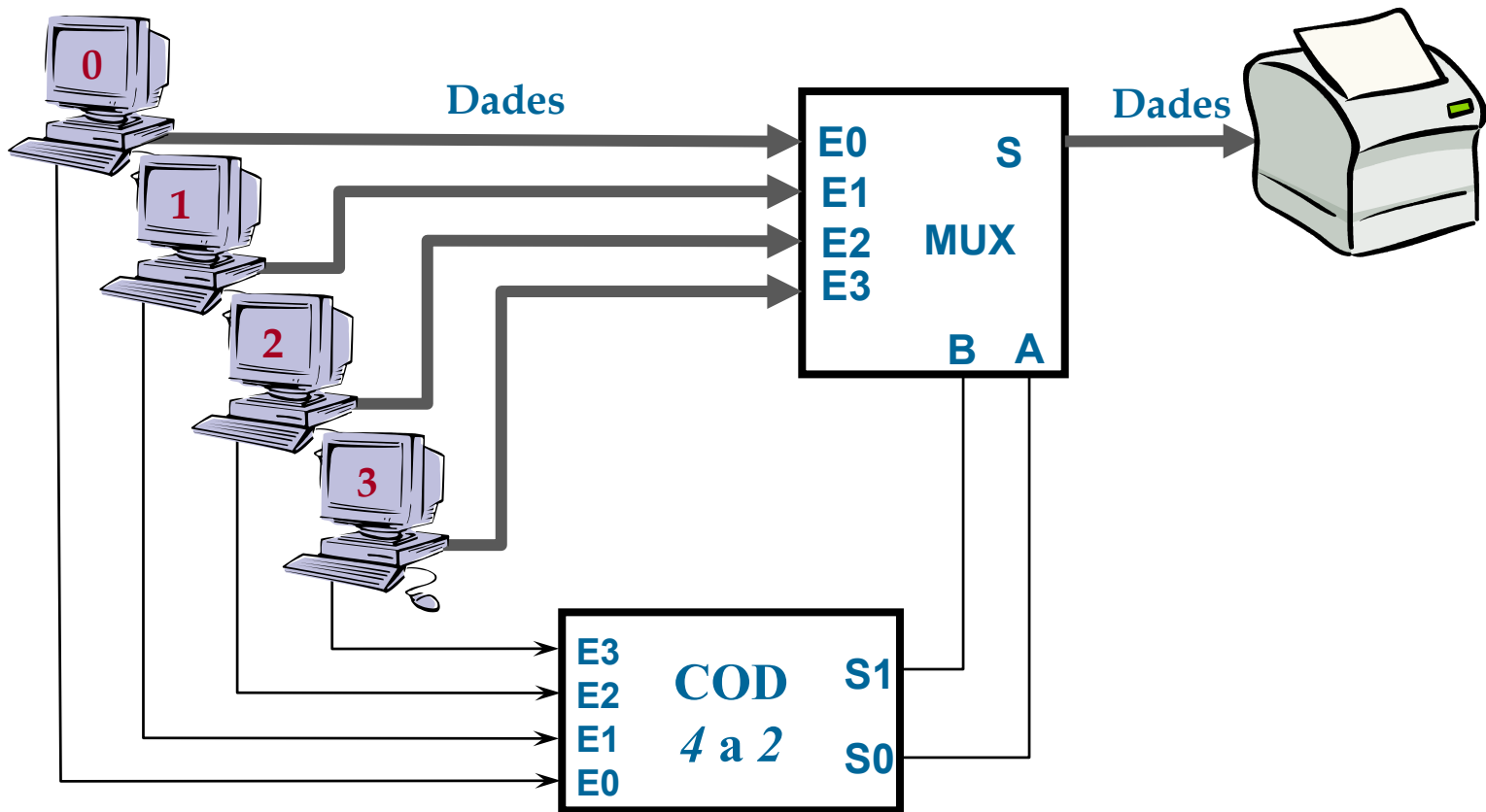




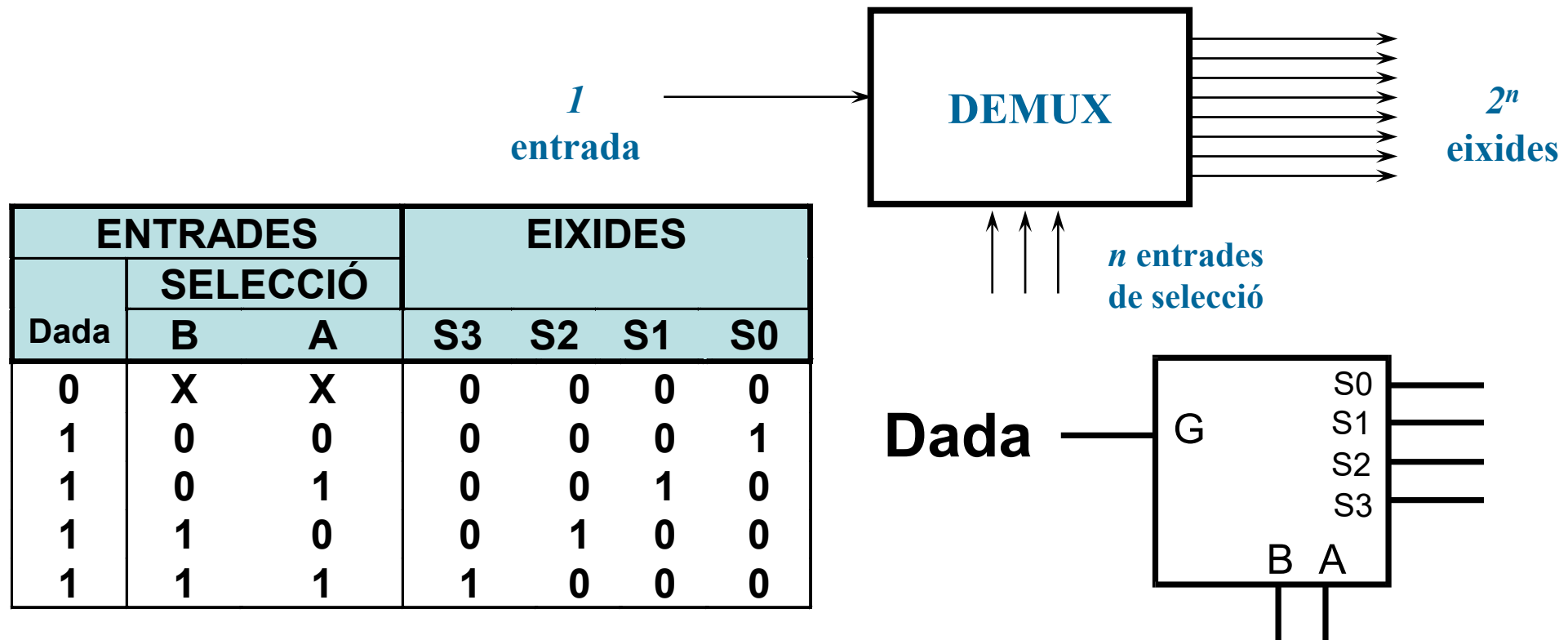
- Construcció de multiplexors de dades d'ample major que 1 bit.
  - Exemple: MUX de 8 entrades de dades de 4 bits



- Exemple d'ús d'un MUX de 4 entrades



- Es poden construir utilitzant descodificadors
- Poden utilitzar-se per a habilitar dispositius



- Poliformat, secció “Recursos”
  - Exercicis sense solució.
  - Solucions als exercicis.
  - Exàmens d'anys anteriors.
- Poliformat, secció “Lessons”
  - Mòdul 4: *Bloques combinacionales básicos*. (Teoria i exercicis)
  - Mòdul 5: *Composición de bloques combinacionales*. (Teoria i exercicis)
  - Mòdul 6 *Generación de funciones con multiplexores*. (Teoria i exercicis)
  - Mòdul 7: *Generación de funciones con decodificadores*. (Teoria i exercicis)



UNIVERSIDAD  
POLITECNICA  
DE VALENCIA



---

# Fonaments de computadors

---

## TEMA 3. BLOCS COMBINACIONALS BÀSICS

---

---