

Aula 2- Noções de Fabricação de Circuitos Integrados

Prof. Danilo Reis



Tipos de projetos de ASIC (Application Specific Integrated Circuit)

- Totalmente Customizado (Projeto a nível deTransistor Transistor)
 - Melhor desempenho- uP Intel
- Semi customizado(parte customizada, parte baseada em celulas lógicas)
 - AMD, mais recentes uP Intel
- Baseado em células padrões
- Mask Programmed Gate Arrays
 - Médio volume/ performance moderada
- Field Programmable Gate Arrays
 - Médio/baixo volume / baixa/media performance

Totalmente Customizado

- Projetista tem liberdade de fazer qualquer coisa em qualquer local;
- Tempo e custos de desenvolvimento grande;
- Melhor desempenho
- Aplicável para aplicações de grande volumes
 - Processadores Intel;
 - Chips de RF de celulares

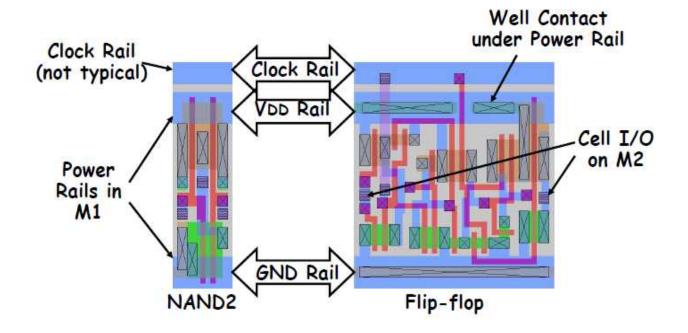


Semi Customizado

- Poucos e mais experientes projetistas concentram-se em projetos das celulas;
- Concentra esforço na colocação otimizada das células;
- Tempo e custos de desenvolvimento grande, porém menores que no caso anterior;
- Bom desempenho
- Aplicável para aplicações de médio/grande volumes

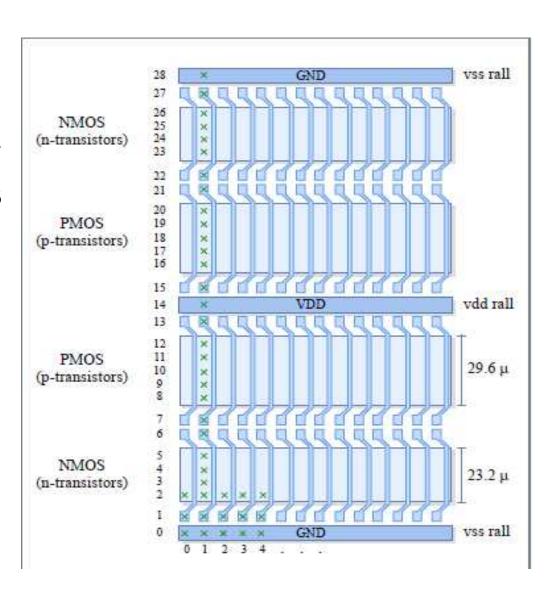
Baseado em Células Padrões

- Células podem serem sintetizadas de HDL;
- Colocação e roteamento das células feito de maneira automática;
- Biblioteca fixa de células;



Mask Programmed Gate Arrays

- Reduz custo de mascaras;
- Projetista faz apenas o layer de interconexão com células pre-fabricadas;



Field-Programmable Gate Arrays

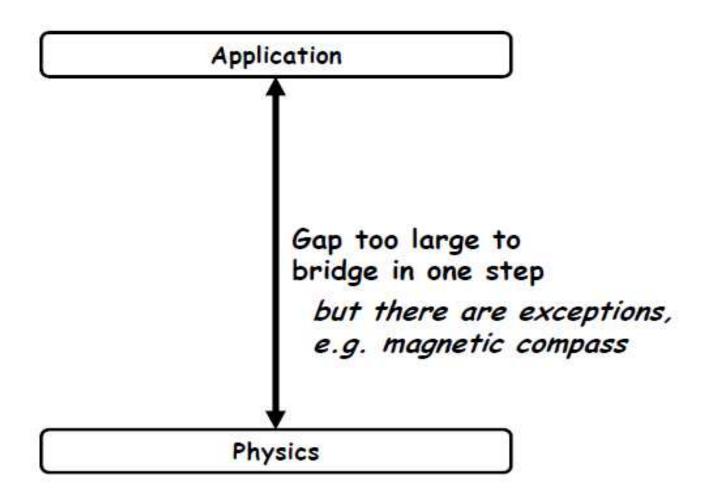
- Cada célula do array contém uma função lógica programável;
- Pode ser sintetizado com HDL;
- Possui interconexões reconfiguráveis;
- Baixo custo de desenvolvimento;
- Ideal para aplicações de baixo/médio volume;
- Não atende requisitos de alta performance

Circuito Integrado dos lisos.....

Evolução da Tecnologia digital

- Reles;
- Válvulas;
- Transistores bipolares;
- Transistores CMOS FET;
 - Inicio 10.000 nm atualmente 90 nm
 - o com potencial de 30 nm (100 bilhões de transistores)
- Futuro
 - Nanotubos
 - o 3D CMOS
 - Eletrônica molecular
- VLSI CMOS deve continuar entre 10-20 anos
 - Excelente caracteristica energia x atraso
 - Alta densidade de fios e transistores
 - Manufatura monolítica

Modelo de Abstração projeto de CIs



Modelo de Abstração projeto de CIs

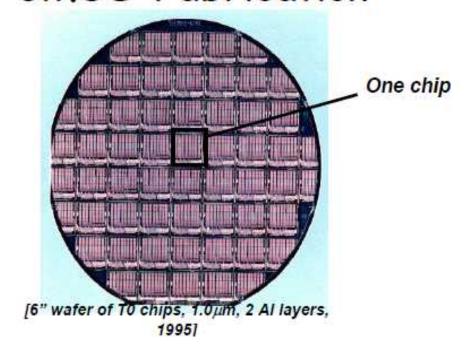
Application]
Algorithm)
Unit-Transaction Level (UTL) Model)
Guarded Atomic Actions (Bluespec))
Register-Transfer Level (Verilog RTL)	Today's Lecture
Gates	
Circuits	
Devices	
Physics	



Modelo de Abstração projeto de Cls

- Inicia com waffer de cristal de silício puro
- Waffer (8")
- Centenas de chips/waffer
- Chips depois são cortados
- Encapsulados

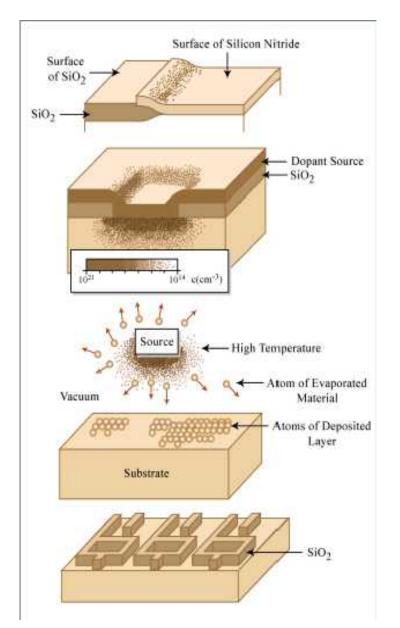
CMOS Fabrication





Processo Básico de Fabricação

- 1. Crescer Dióxido de Silício;
- 2. Dopar o substrato com receptores e doadores gerando junções p- e n-;
- 3. Depositar material sobre o waffer para criar mascaras, fios etc;
- 4. Corroer material depositado para gerar geometria desejada



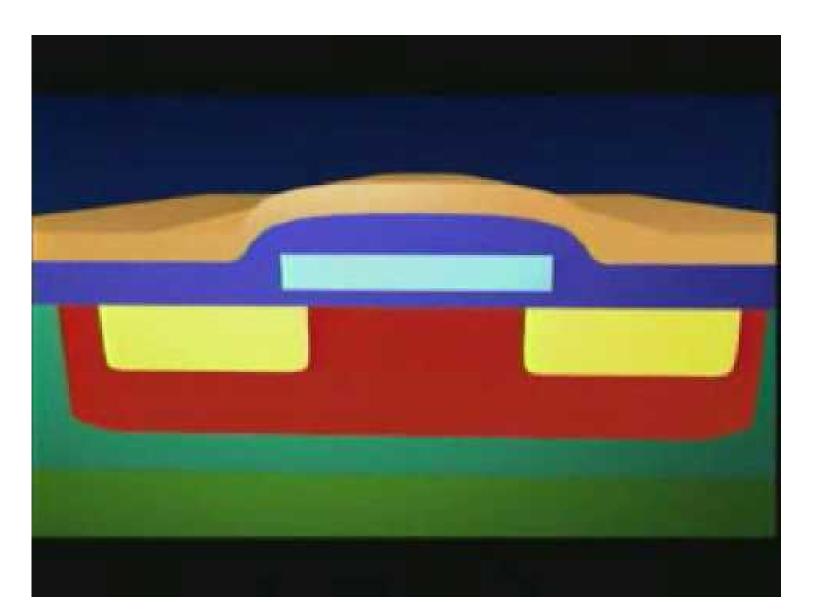
FUNDAÇÃO EDSON QUEIROZ T566 —SISTEMAS DIGITAIS AVANÇADOS UNIVERSIDADE DE FORTALEZA

ETCHING Photoresist Photomask Photoresist Develop to remove exposed resist. Photoresist is spun onto wafer then exposed with UV light or X-rays through mask (or written with electron beam, no mask). Performance Note: minimum feature size often determined by photoresist and etching process. Wet Etching Photoresist Photoresist SiO₂ Isotropic Remove Photoresist Mask Dry Etching Anisotropic - Photoresist SiOn SiOn

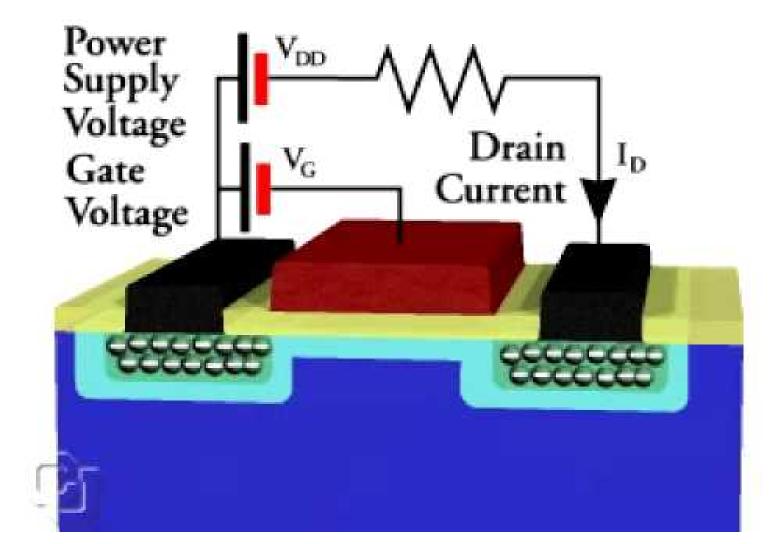
Fabricação waffer de silício(1min)



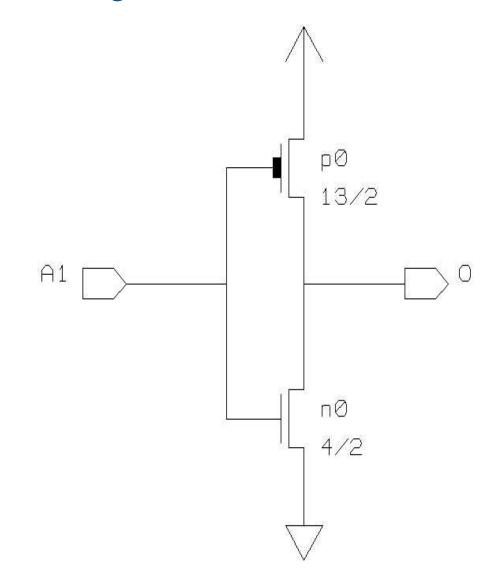
Fabricação circuito Integrado Modernos(11min)

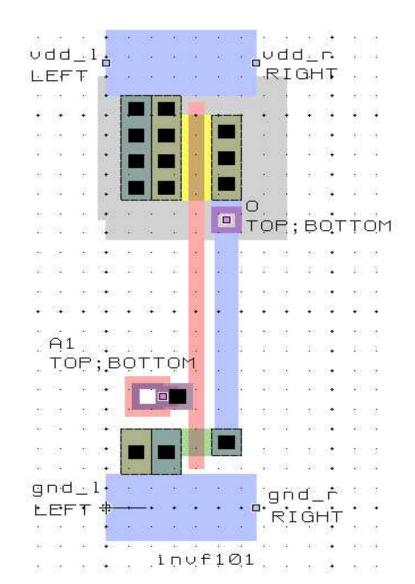


Transistor MOSFET(1 min)

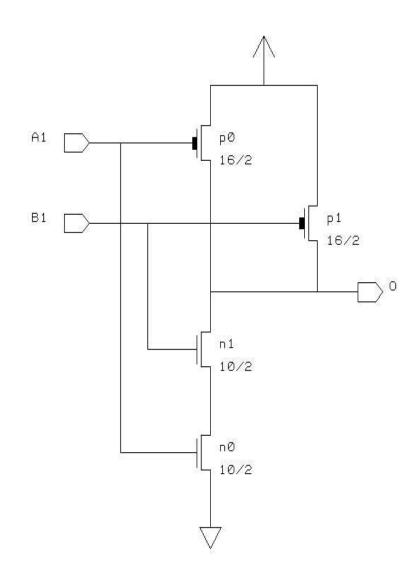


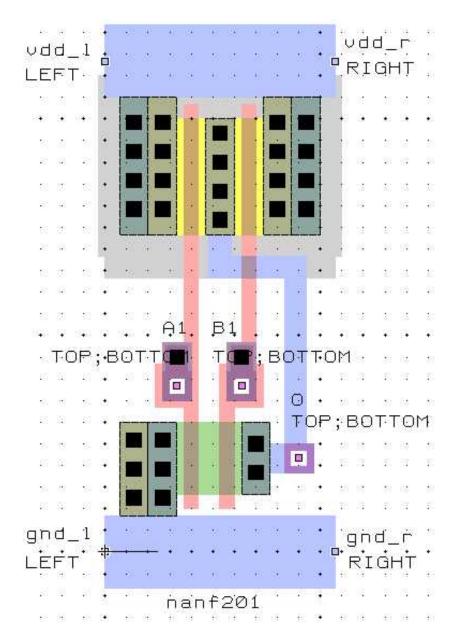
Portas Lógicas Inversora



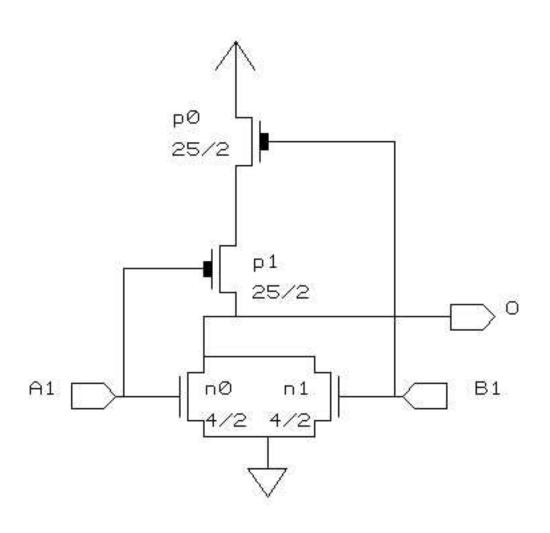


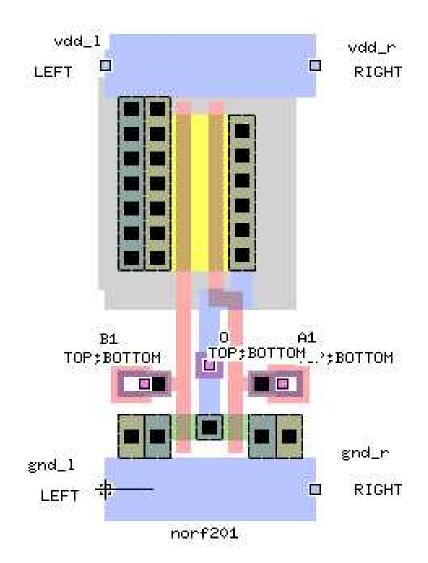
Portas Lógicas NAND





Portas Lógicas NOR

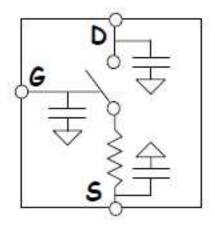


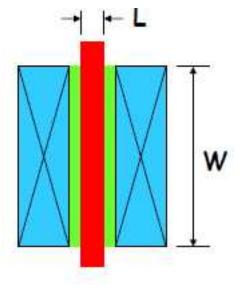




Modelo de Transistor CMOS

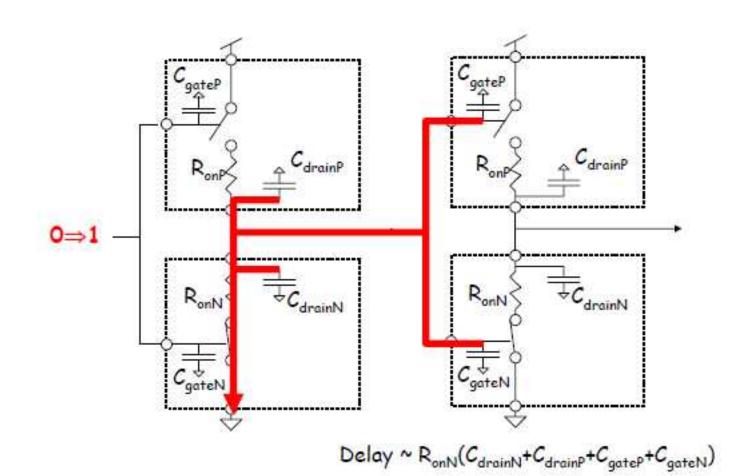
- R proporcional 1/W
- Capacitancia do gate proporcional W
- Capacitancia de difusão proporcional W





Atrasos Transistores

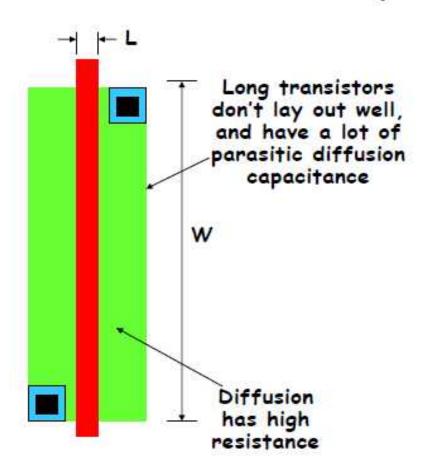
Nas transições 0->1 e 1->0 as capacitâncias parasitas devem ser carregadas e ou descarregadas

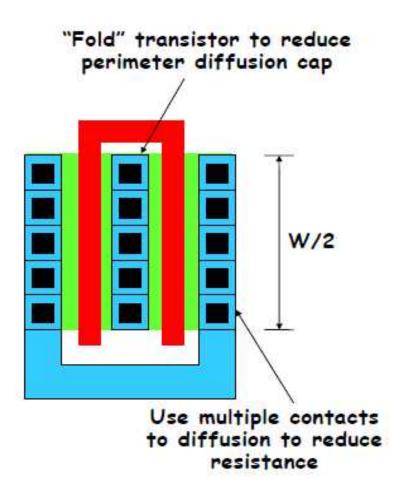




Truques para minimizar efeito

Gate Layout Tricks

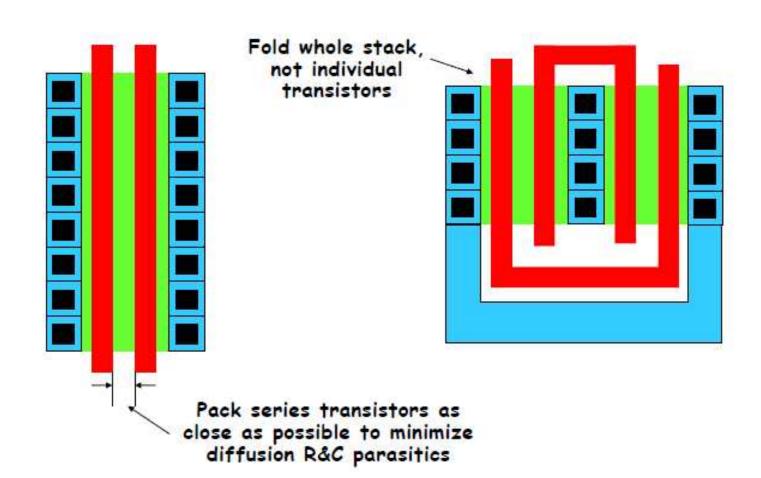






Truques para minimizar efeito

More Layout Tricks





Referências

- http://ocw.mit.edu/courses/electrical-engineering-and-computer-science/6-884-complex-digital-systems-spring-2005/index.htm;
- http://www.inf.ufsc.br/~guntzel/ine5348/ine5348.html
- http://www.hpc.msstate.edu/mpl/distributions/scmos/scmos doc/index.html
- http://www.vlsitechnology.org/html/libraries04.html
- Wester, N.H.E., Harris, D.M.-"CMOS VLSI Design"
- Sendra&Smith "Microeletronics Circuits"

