



FUNDAÇÃO EDSON QUEIROZ
UNIVERSIDADE DE FORTALEZA
ENSINANDO E APRENDENDO

T566 –SISTEMAS DIGITAIS AVANÇADOS

Aula 16- Processo de Desenvolvimento de IPs

Prof. Danilo Reis



Por que Processo?



Como o cliente
descreveu.



Como o líder do projeto
entendeu.



Como o analista projetou.



Por que Processo?



Como o programador
implementou.



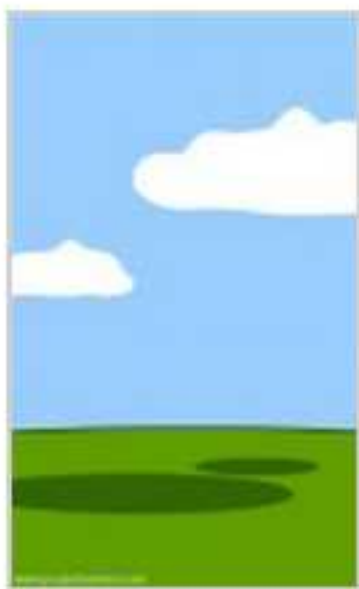
O que os beta-testers
receberam.



Como o consultor de
vendas descreveu.



Por que Processo?



Como o projeto foi
documentado.



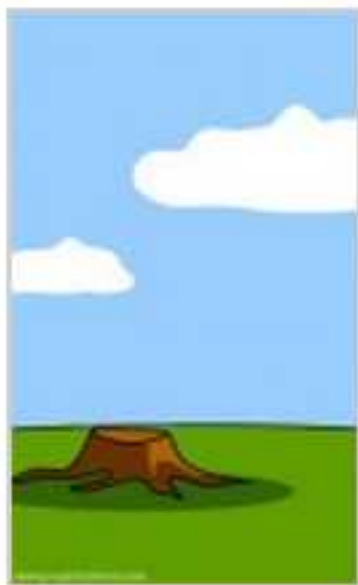
Como o projeto foi
instalado.



Como o cliente foi
cobrado.



Por que Processo?



Até onde o suporte técnico pôde ajudar.



O que o marketing anunciou.



O que o cliente realmente precisava.

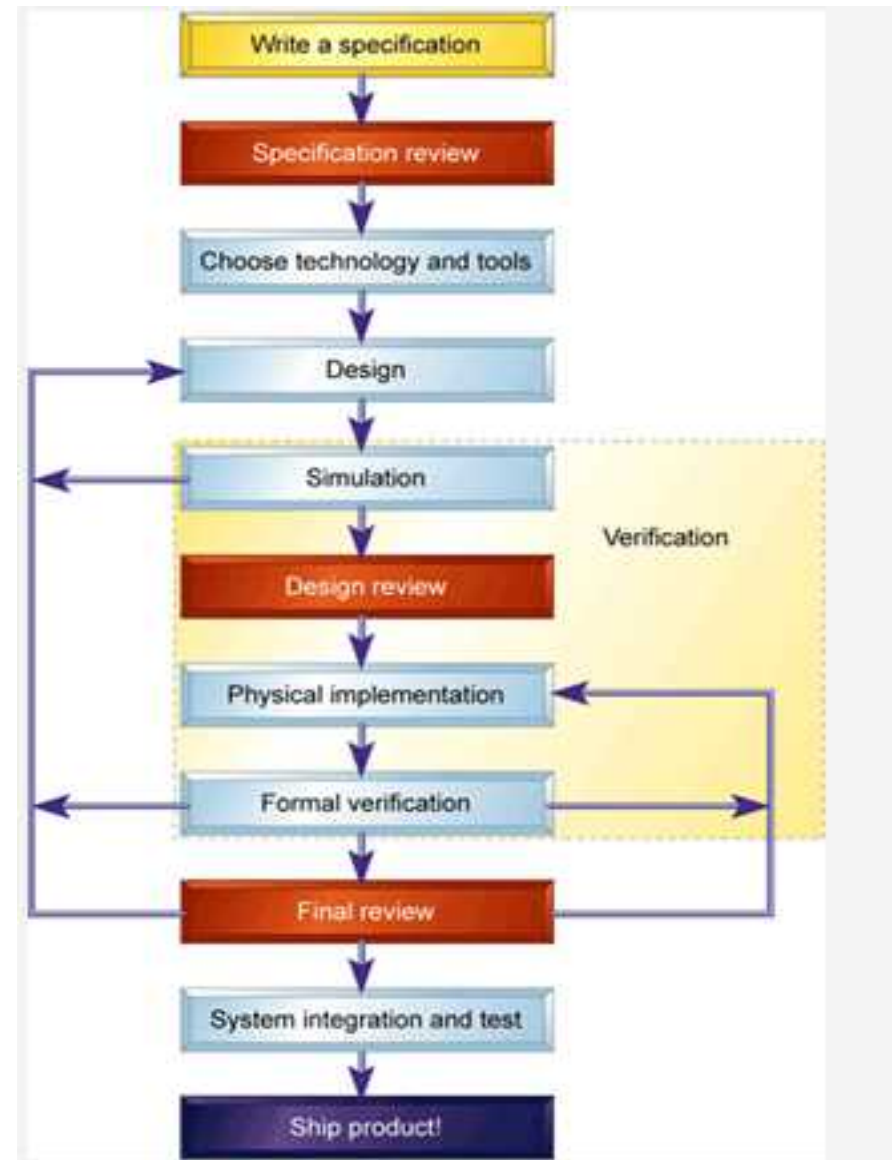


Processo UDM

(Universal Design Model)

Objetivos:

1. Projeto sem defeitos de fabricação;
2. Confiável durante todo o ciclo de vida do dispositivo;
3. Funções corretas no sistema;
4. Projeto no menor tempo;
5. Utilizar o mínimo de recursos;
6. Planejamento eficiente;
7. Planejar o quanto antes;
8. Conhecer os recursos o quanto antes





Especificação

- Diagrama de bloco externo mostrando como o Chip se encaixa no sistema;
- Diagrama de bloco interno mostrando as principais funções;
- Descrição detalhada dos Pinos de I/O:
 - Capacidade de Driver de saídas
 - Input Thresholds
- Estimativas de Temporização;
- Estimativa do número de gates;
- Tipo de encapsulamento;
- Consumo de potência alvo;
- Preço alvo;
- Procedimentos de teste



Projeto

- Arquitetura Top-Down;
- Trabalhar com arquitetura do dispositivos;
- Fazer projetos síncronos;
- Evitar Meta-estabilidades;
- Evitar nos flutuantes
- Evitar conexão de Barramentos
- Utilizar as linguagens de HDL para especificar os módulos a nível de comportamento e RTL



Simulação

- Simulação Temporal dos módulos;
- Fazer simulação Funcional;
- Gerar os Testbenches de cada módulo



Síntese

- Geração do módulos a nível de RTL em gates de circuitos implementaveis na FPGA;
- Normalmente esta fase e feita por ferramentas automáticas, ou semi-automáticas



Place & Route

- Gerar um layout real sobre o chip interligando os blocos lógicos que definem o projeto.
- Esta fase também normalmente é feita por ferramentas automáticas;
- Esta fase tem grande impacto nos delays e no timing do circuito;



Verificação

- Nesta fase é verificado se o circuito sintetizado se comporta de acordo com as especificações do projeto;
- Analise de Timing;
- Testes de regressão;
- Testes Funcionais;



Integração e Testes

Com o novo circuito gerado na FPGA são elaborados testes em um sistema completo para verificar o comportamento do mesmo no sistema total.



FUNDAÇÃO EDSON QUEIROZ
UNIVERSIDADE DE FORTALEZA
ENSINANDO E APRENDENDO

T566 –SISTEMAS DIGITAIS AVANÇADOS

Referências