



FUNDAÇÃO EDSON QUEIROZ  
UNIVERSIDADE DE FORTALEZA  
ENSINANDO E APRENDENDO

## T566 –SISTEMAS DIGITAIS AVANÇADOS

---

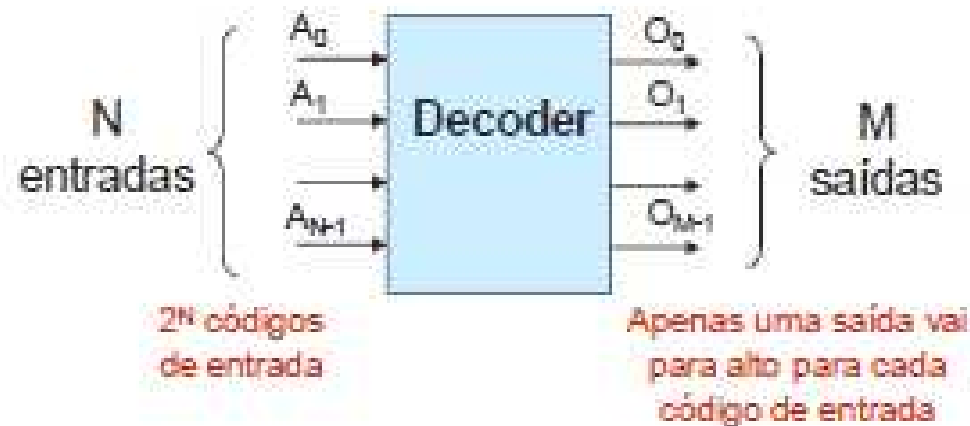
# Aula 5 - Circuitos combinacionais e seqüenciais

Prof. Danilo Reis



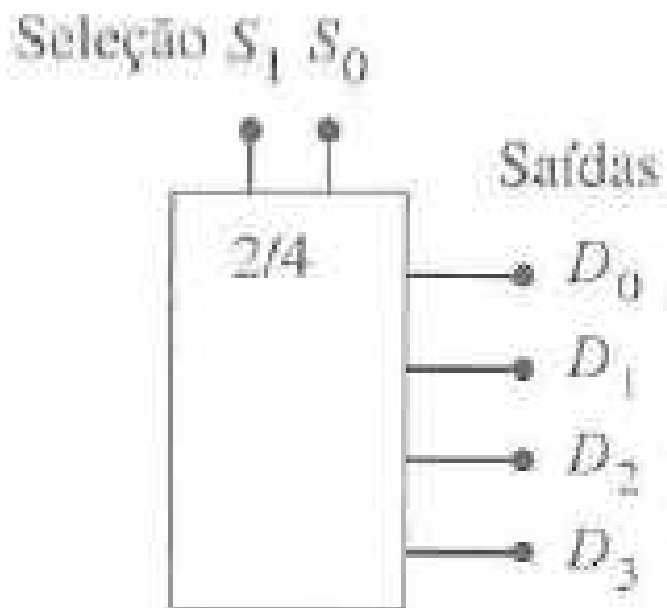
## Decodificadores

É um circuito lógico que recebe um conjunto de entradas, que representa um número binário, e ativa em alto apenas a saída que corresponde ao número recebido.





## Decodificador ativo em alto (2 x4)



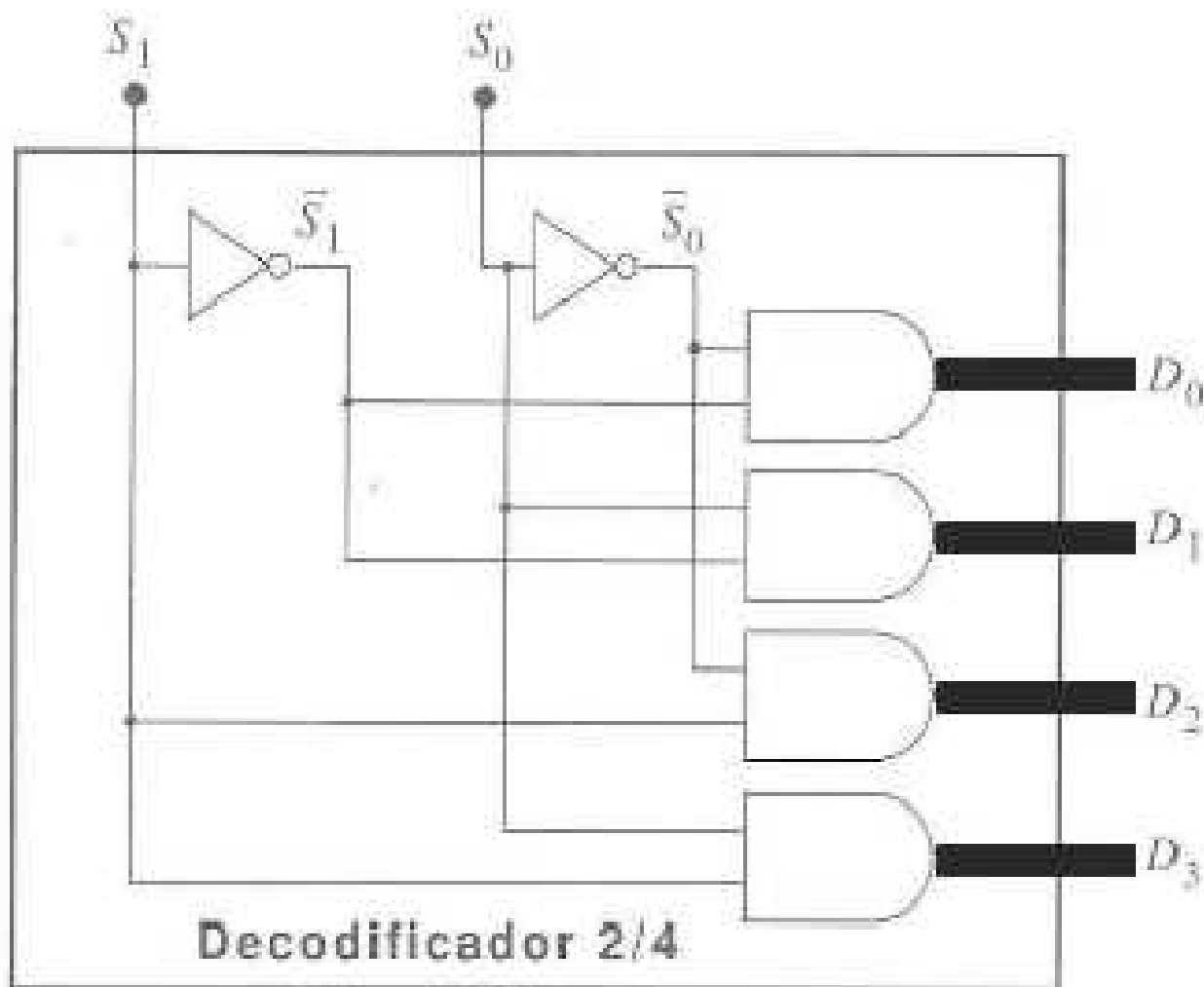
(a) Decodificador 2/4

$S_1$	$S_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

(b) Tabela verdade



## Decodificador ativo em alto (2 x4)



$$D_0 = \overline{S_1} \cdot \overline{S_0}$$

$$D_1 = \overline{S_1} \cdot S_0$$

$$D_2 = S_1 \cdot \overline{S_0}$$

$$D_3 = S_1 \cdot S_0$$



## Decodificador ativo em alto (3x8)

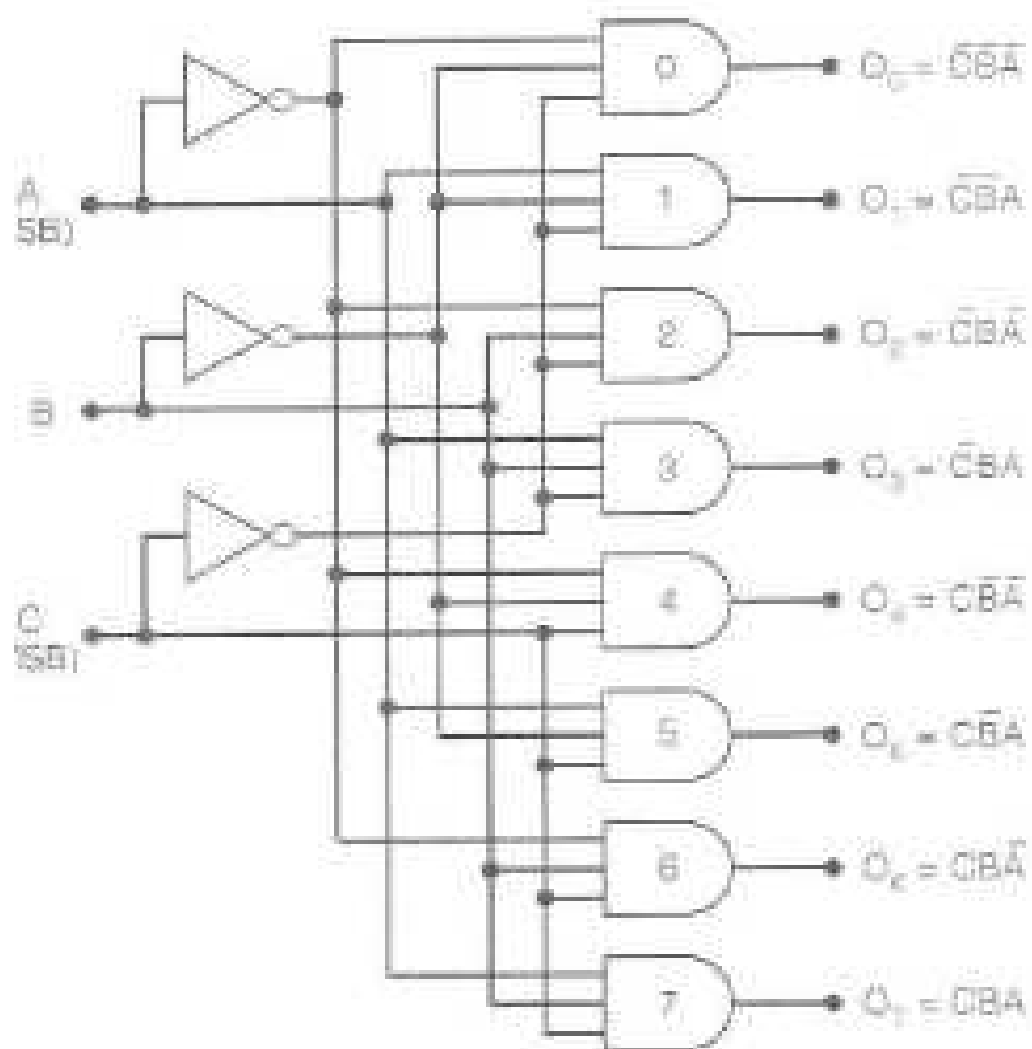
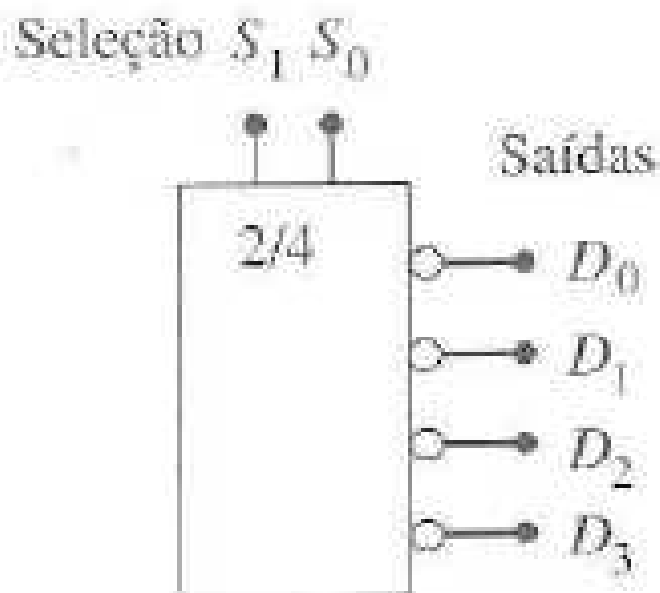


Tabela da Verdade

C	B	A	O <sub>0</sub>	O <sub>1</sub>	O <sub>2</sub>	O <sub>3</sub>	O <sub>4</sub>	O <sub>5</sub>	O <sub>6</sub>	O <sub>7</sub>
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0



## Decodificador ativo em baixo (2x4)



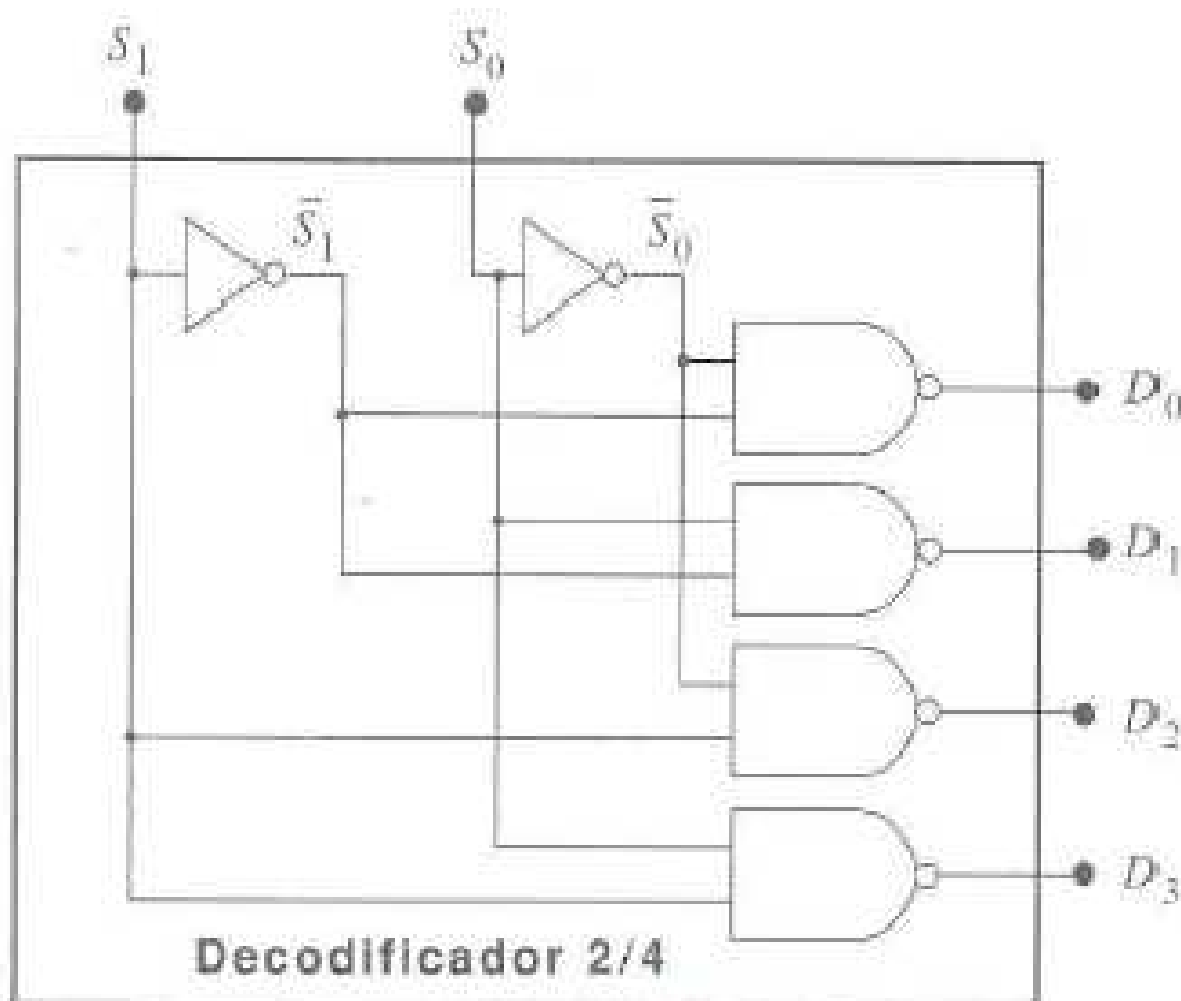
(a) Símbolo

$S_1$	$S_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

(b) Tabela verdade



## Decodificador ativo em baixo (2x4)



$$D_0 = \overline{S_1} \cdot \overline{S_0}$$

$$D_1 = \overline{S_1} \cdot S_0$$

$$D_2 = S_1 \cdot \overline{S_0}$$

$$D_3 = S_1 \cdot S_0$$



$$D_0 = S_1 + S_0$$

$$D_1 = S_1 + \overline{S_0}$$

$$D_2 = \overline{S_1} + S_0$$

$$D_3 = \overline{S_1} + \overline{S_0}$$



## Multiplexadores (MUX)

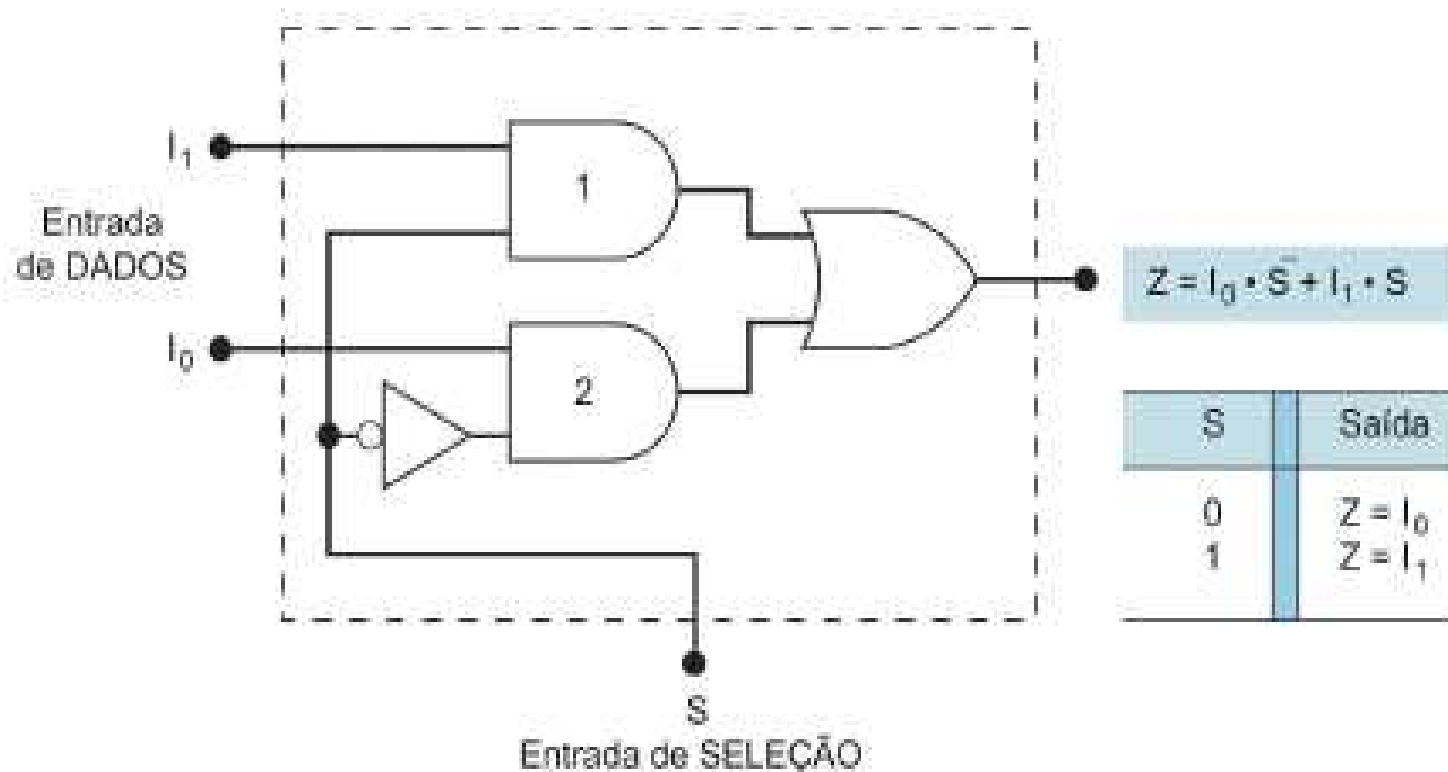
Ou simplesmente MUX, é um circuito lógico que recebe diversos dados digitais de entrada e seleciona um deles, em um determinado instante, para transferí-lo para a saída





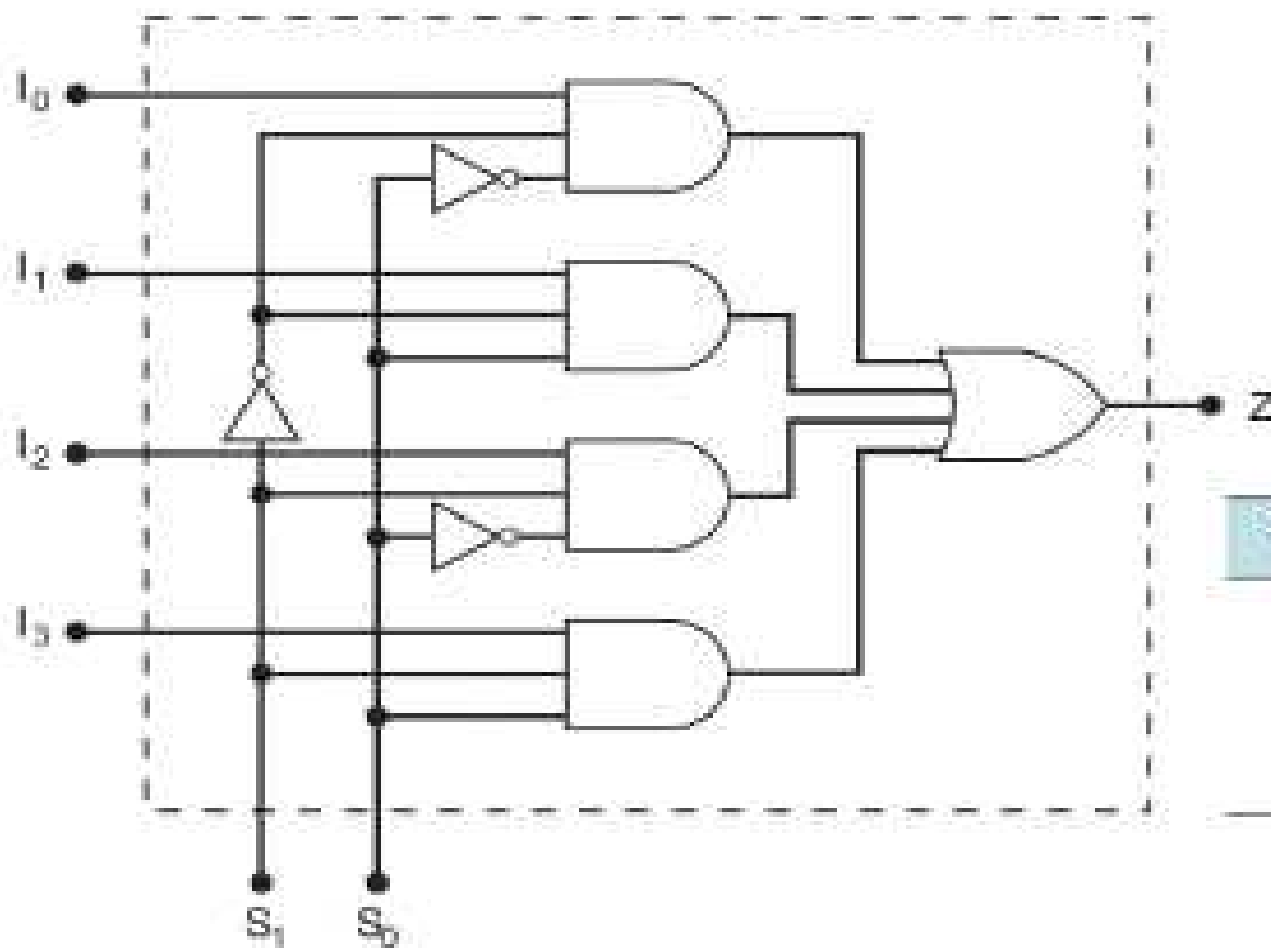


## MUX (2 x1)





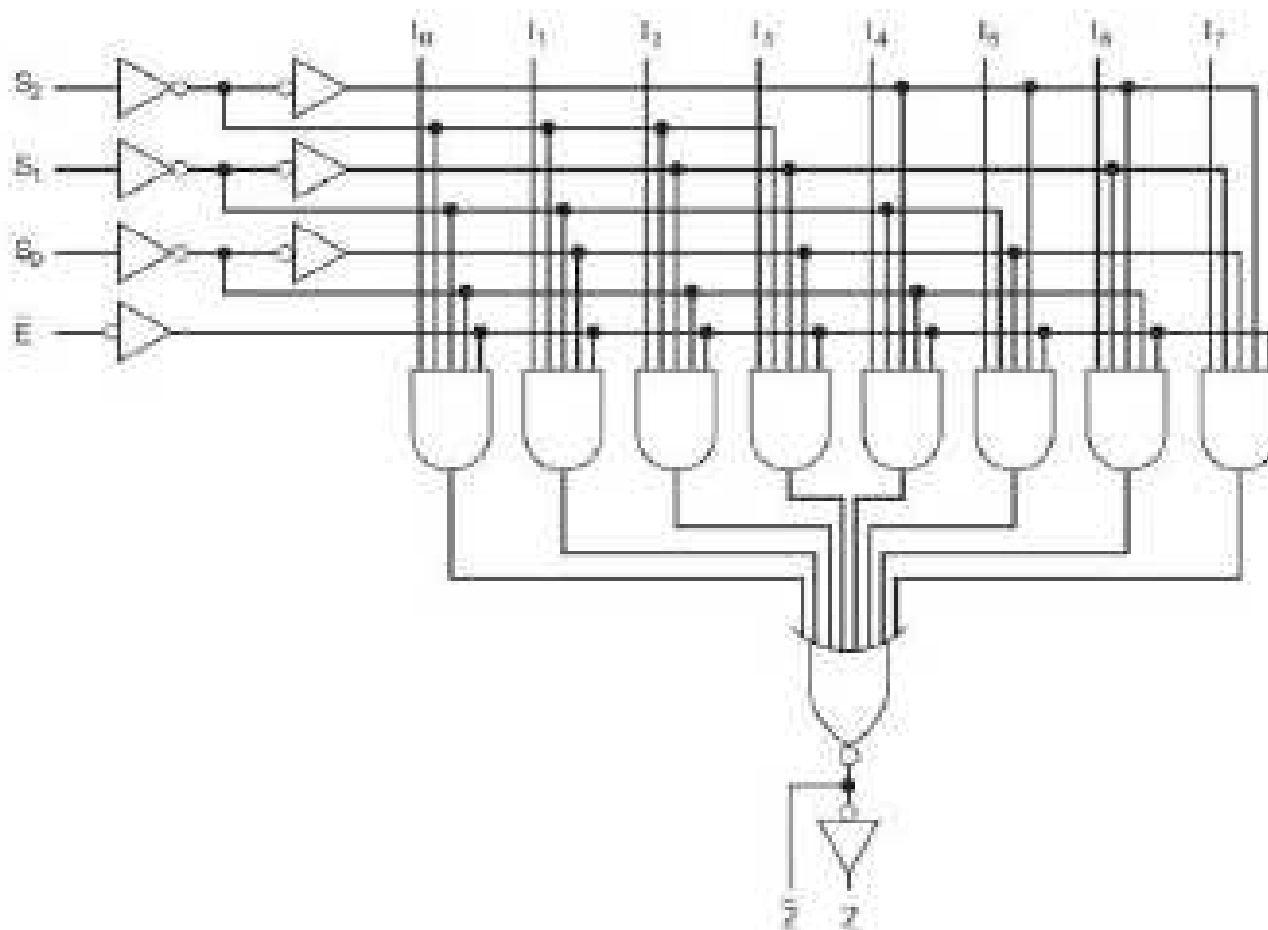
## MUX (4x1)



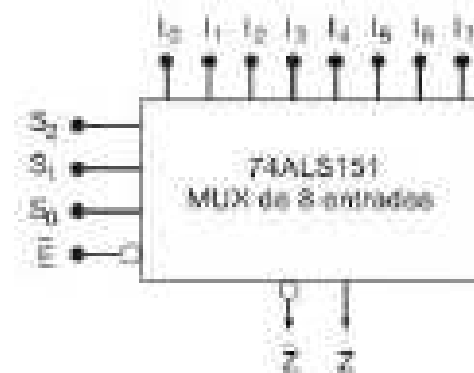
$S_1$	$S_0$	Saída
0	0	$Z = I_0$
0	1	$Z = I_1$
1	0	$Z = I_2$
1	1	$Z = I_3$



## MUX (8x1)

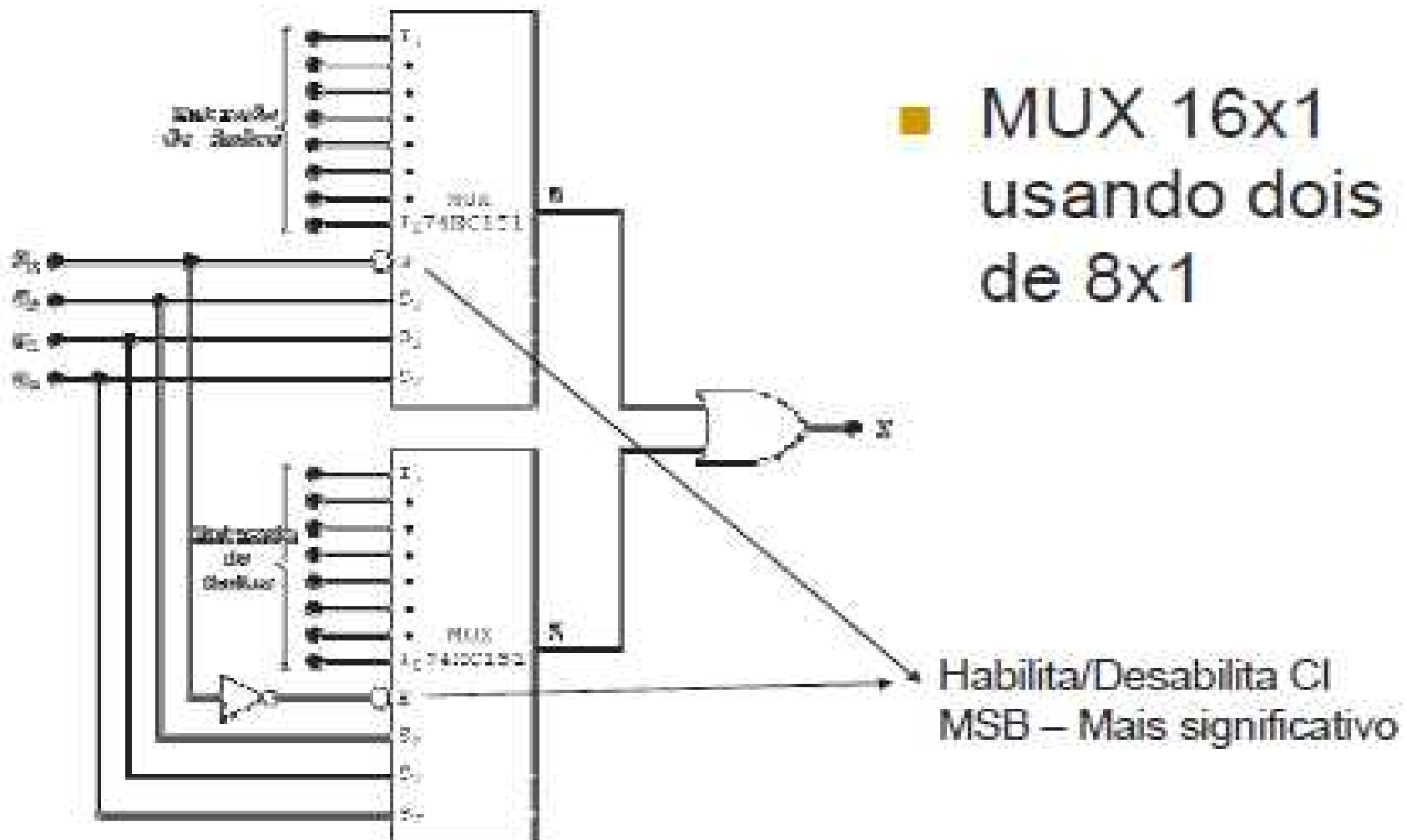


Inputs				Saída	
$\bar{E}$	$S_2$	$S_1$	$S_0$	$\bar{Z}$	$Z$
H	X	X	X	H	L
L	L	L	L	$I_0$	$I_0$
L	L	L	H	$I_1$	$I_1$
L	L	H	L	$I_2$	$I_2$
L	L	H	H	$I_3$	$I_3$
L	H	L	L	$I_4$	$I_4$
L	H	L	H	$I_5$	$I_5$
L	H	H	L	$I_6$	$I_6$
L	H	H	H	$I_7$	$I_7$



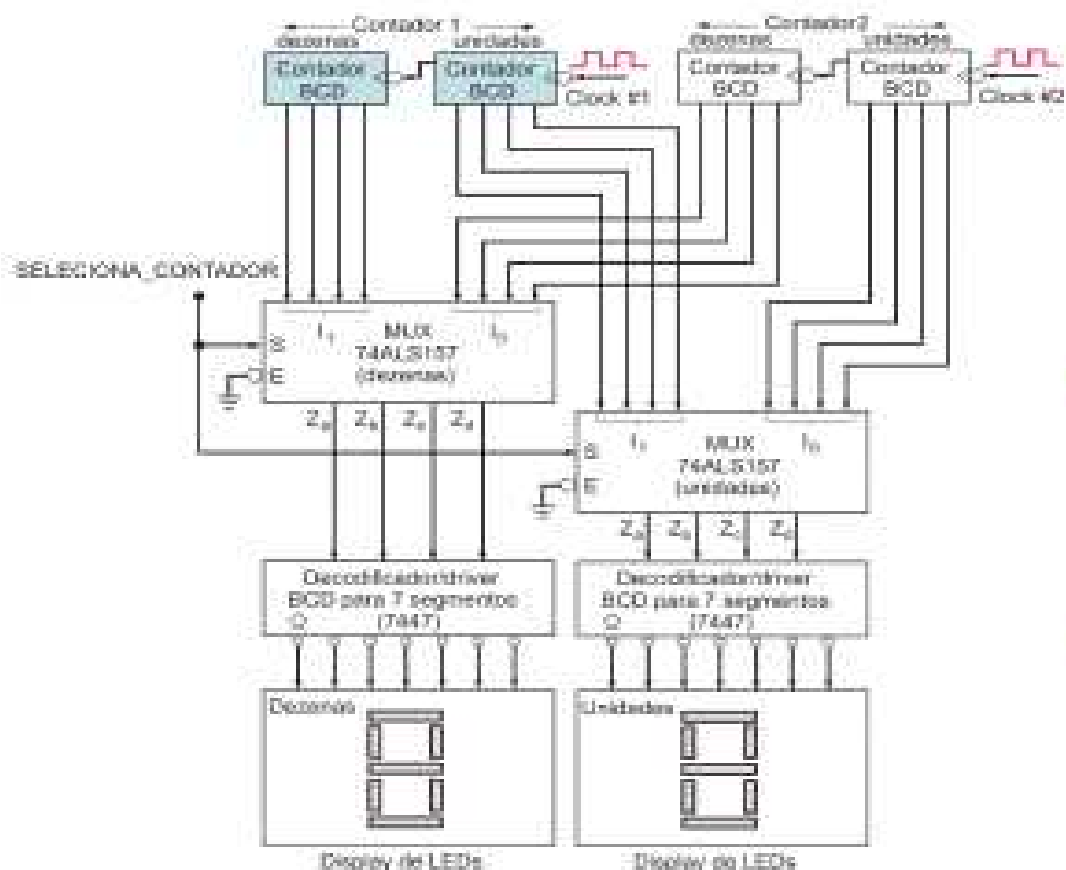


## MUX (16x1) usando 2 x MUX (8x1)





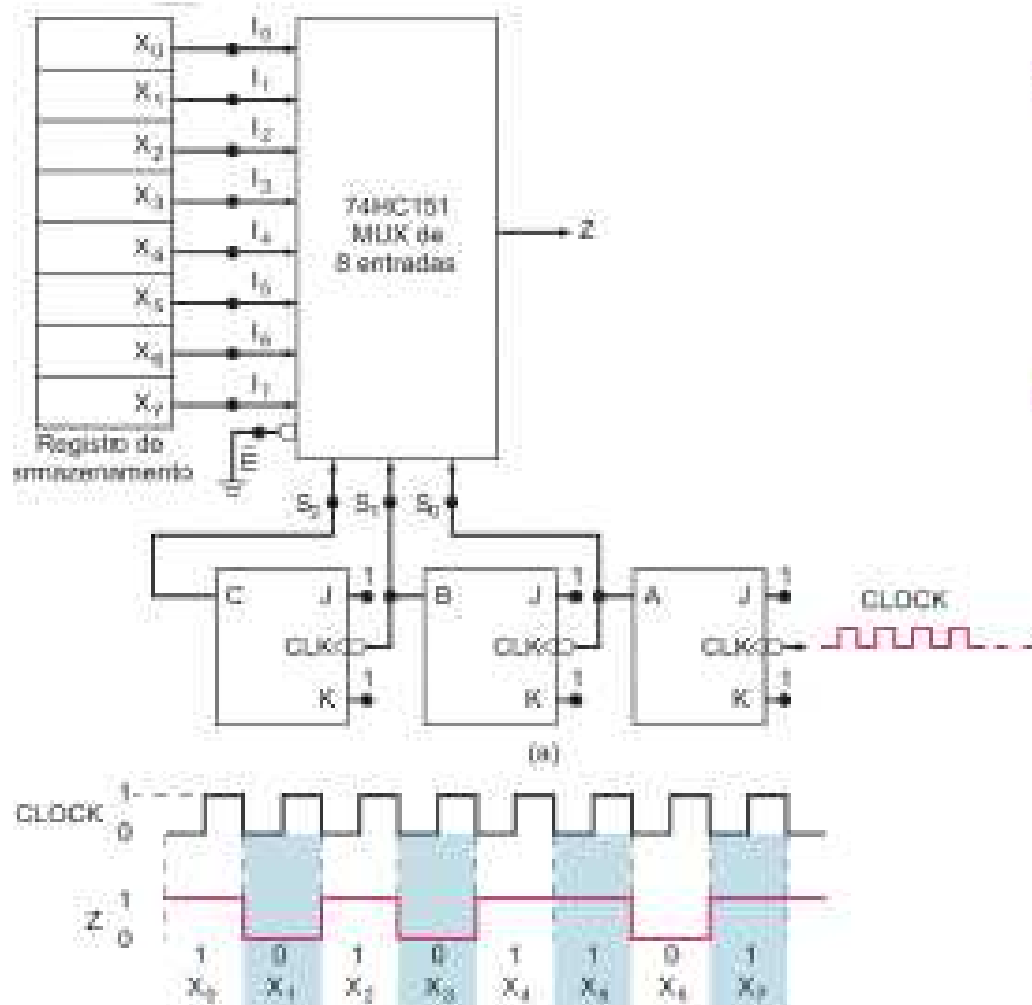
## Roteamento de dados



- Sistema para mostrar dois contadores BCD de mais de um dígito, sendo um contador de cada vez.
- Uso de um único conjunto de:
  - Decodificador/driver
  - Display e Leds
- **SELECIONA=1**, contador 1 habilitado



## Conversão paralelo/serie (comunicação)

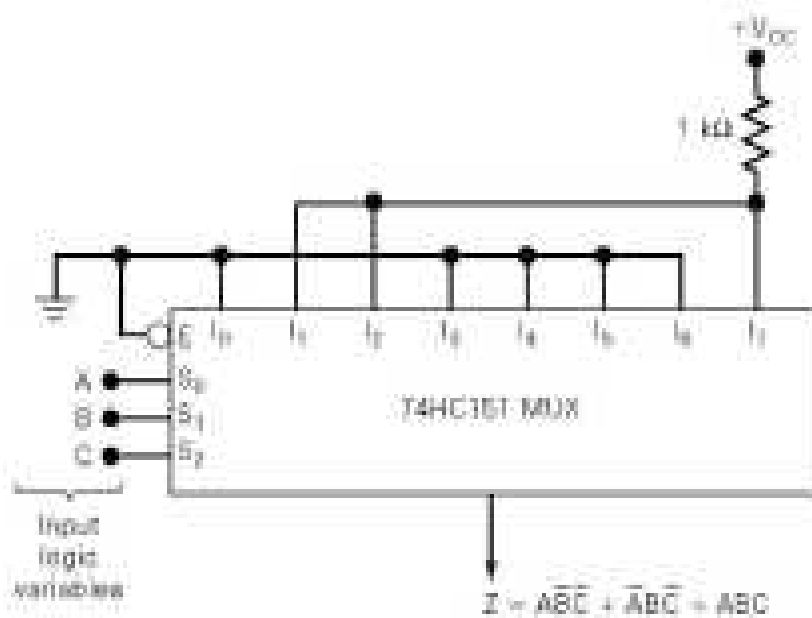


- Muitos sistemas processam dados binários de forma paralela.
- Entretanto, quando se transmitem dados em distâncias relativamente longas, a configuração paralela não é desejável porque é necessário um grande número de linhas para transmissão.



## Implementação de funções lógicas

- MUX usado para implementar a função lógica da tabela ao lado



(a)

C	B	A	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

(b)



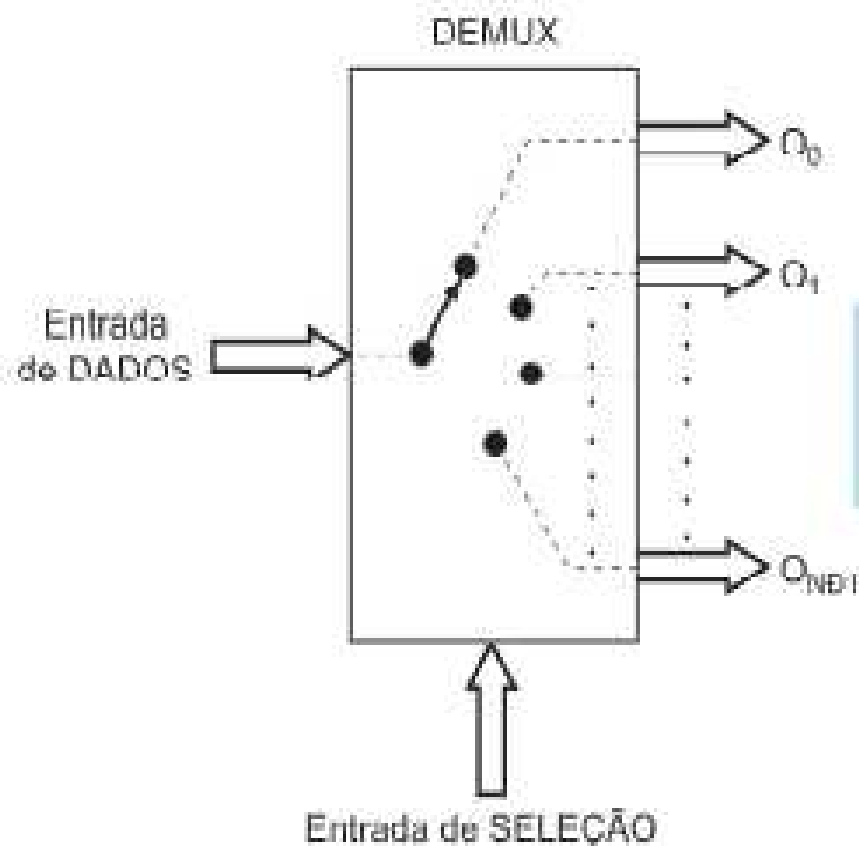
## Demultiplexadores (DEMUX)

Ou simplesmente DEMUX, é um circuito lógico que realiza a operação inversa do MUX: ele recebe uma única entrada e a distribui para várias saídas. Em outras palavras, o DEMUX recebe uma fonte de dados e a distribui seletivamente para 1 dos N canais de saída como se fosse uma chave de várias posições.





## Demultiplexadores (DEMUX)



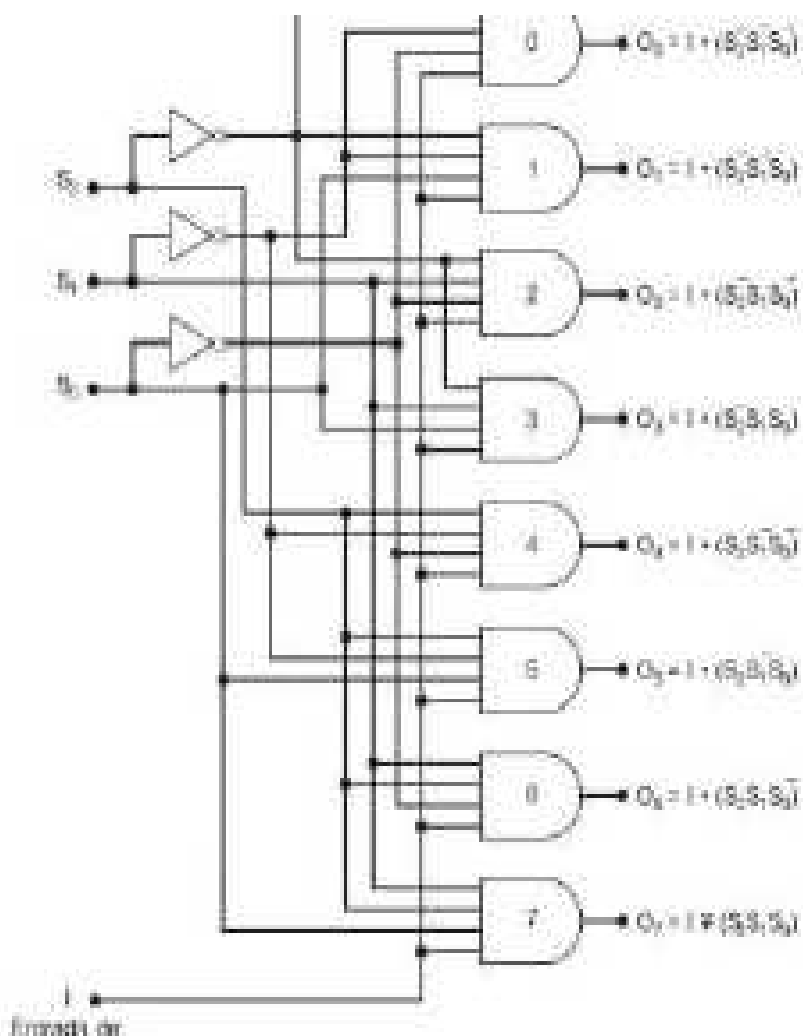
A entrada de DADOS é transmitida apenas para uma das saídas, conforme determinado pelo código de seleção de entrada

$N=2^M = \# \text{ saída de dados}$

$M = \# \text{ entradas de seleção}$



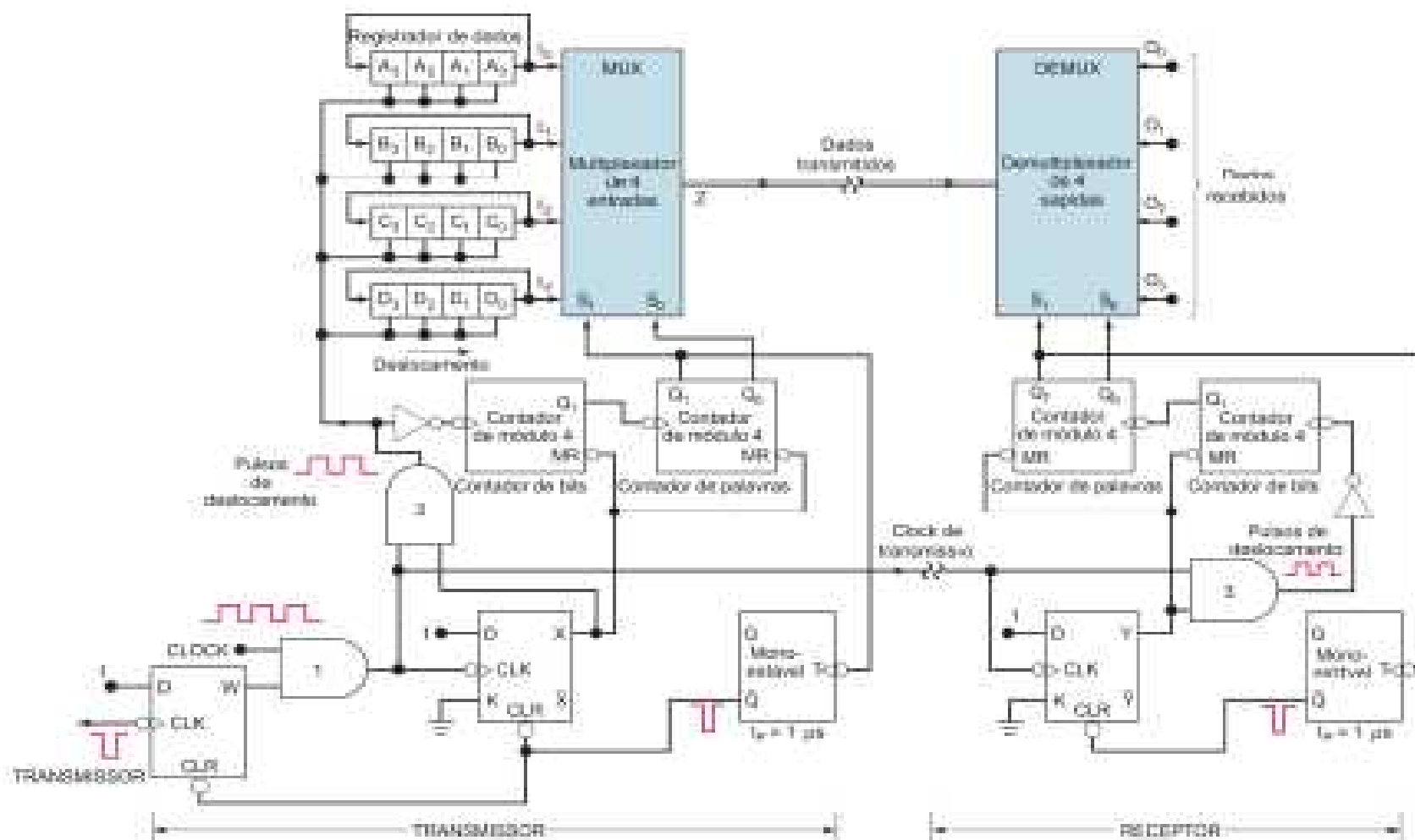
## DEMUX - 1 x 8



Código de SELEÇÃO			SAÍDAS							
$S_2$	$S_1$	$S_0$	$O_7$	$O_6$	$O_5$	$O_4$	$O_3$	$O_2$	$O_1$	$O_0$
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0



## DEMUX - 1 x 8





## Comparadores

É um circuito lógico combinacional que compara duas quantidades binárias e gera saídas para indicar qual delas tem a maior magnitude.

### ■ Porta Lógica XOR

- É o OU Exclusivo
- Operador:

$$F = (A \oplus B)$$

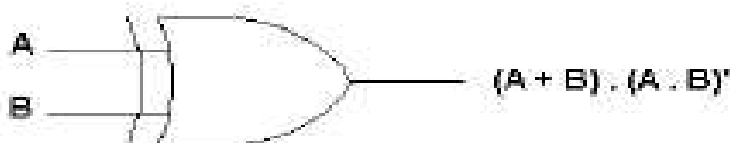
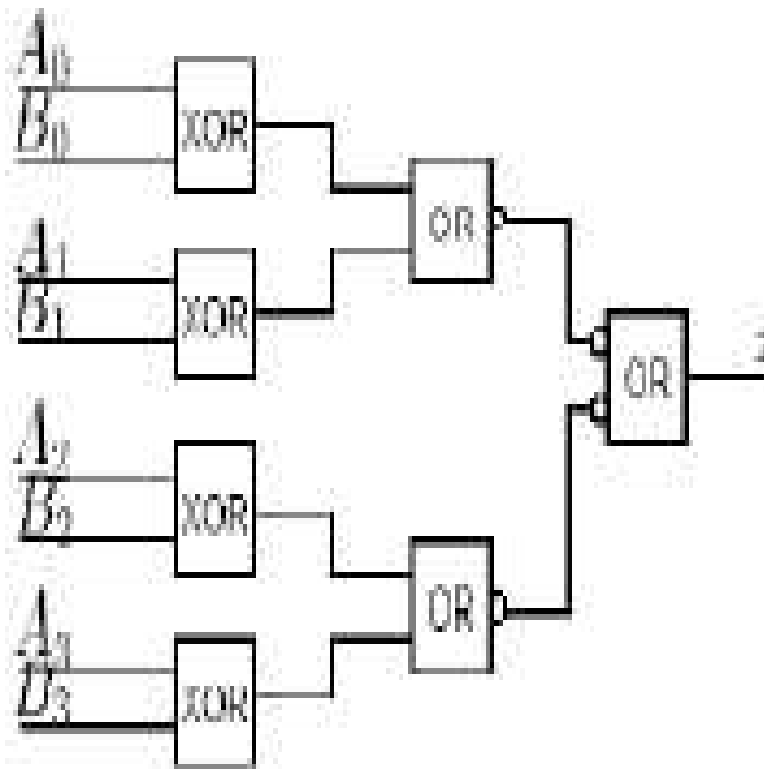


Tabela da Verdade

A	B	F = (A⊕B)
0	0	0
0	1	1
1	0	1
1	1	0



## Comparadores



$Z=0$  qdo.  $A=B$



## Comparadores

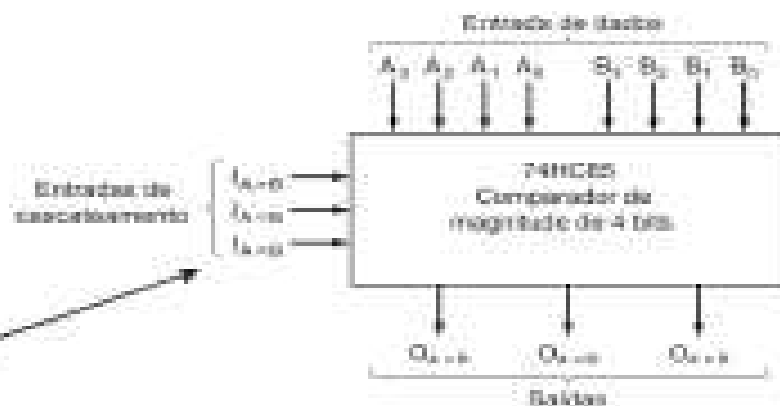


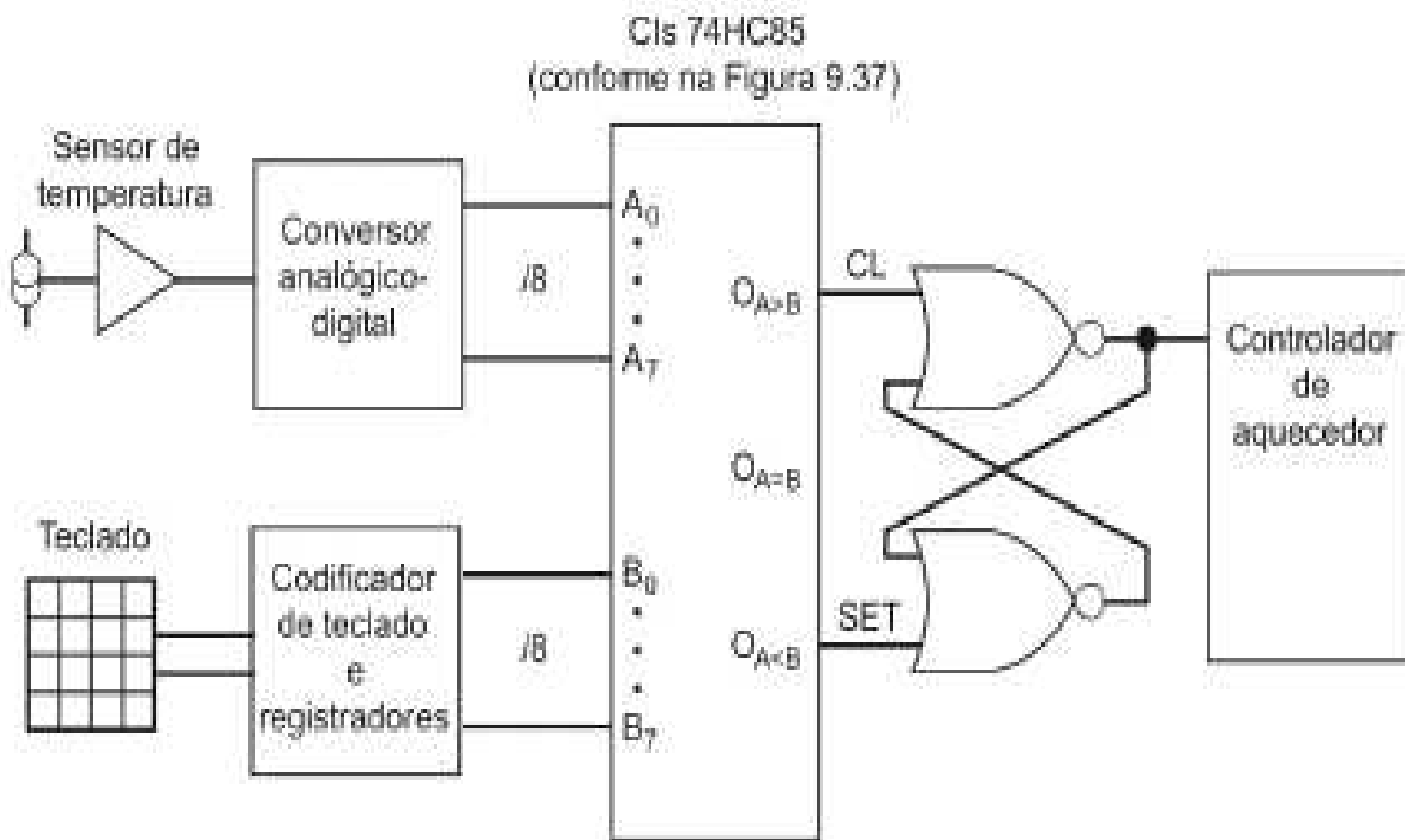
TABELA-VERDADE

ENTRADAS DE COMPARAÇÃO				ENTRADAS DE CASCATEAMENTO			SAÍDAS		
$A_3, B_3$	$A_2, B_2$	$A_1, B_1$	$A_0, B_0$	$I_{a=b}$	$I_{a>b}$	$I_{a<b}$	$Q_{a=b}$	$Q_{a>b}$	$Q_{a<b}$
$A_3=B_3$	X	X	X	X	X	X	H	L	L
$A_3>B_3$	X	X	X	X	X	X	L	H	L
$A_3<B_3$	$A_2>B_2$	X	X	X	X	X	H	L	L
$A_3=B_3$	$A_2<B_2$	X	X	X	X	X	L	H	L
$A_3>B_3$	$A_2=B_2$	$A_1>B_1$	X	X	X	X	H	L	L
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	X	X	X	X	L	H	L
$A_3>B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	X	X	X	H	L	L
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	X	X	X	L	H	L
$A_3>B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	H	L	L	H	L	L
$A_3<B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	L	H	L	L	H	L
$A_3>B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	X	X	H	L	L	H
$A_3<B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	L	L	L	H	H	L
$A_3>B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	H	H	L	L	L	L

H = Nível de tensão ALTO  
L = Nível de tensão BAIXO  
X = Irrelevante

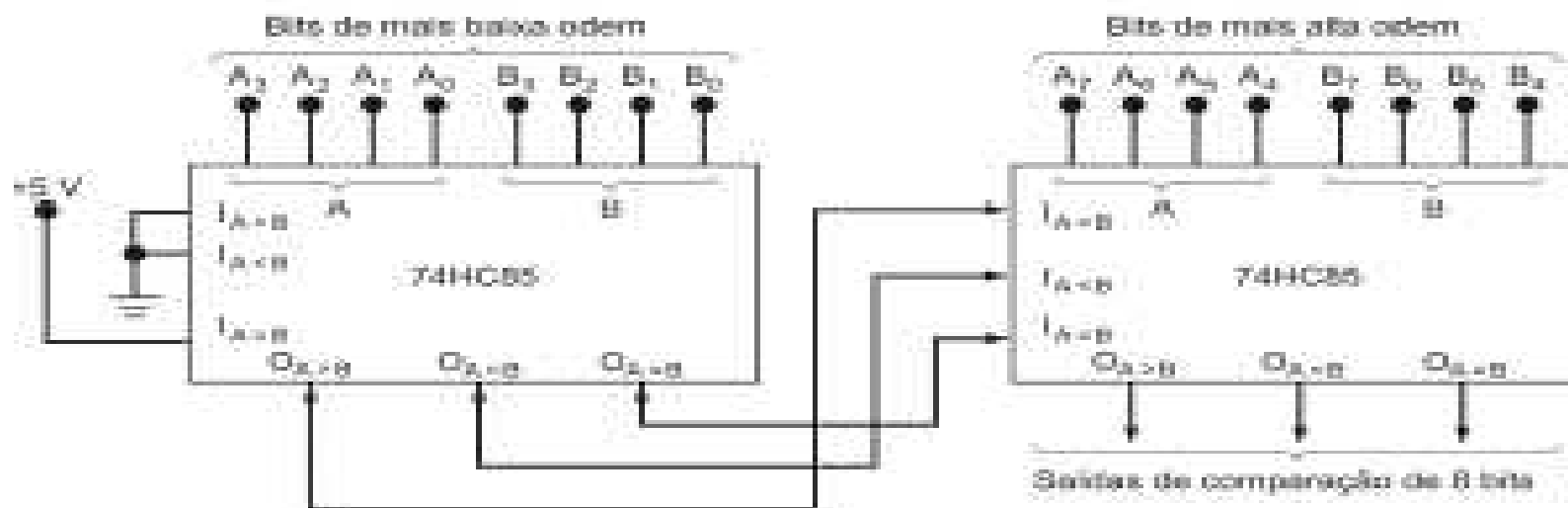
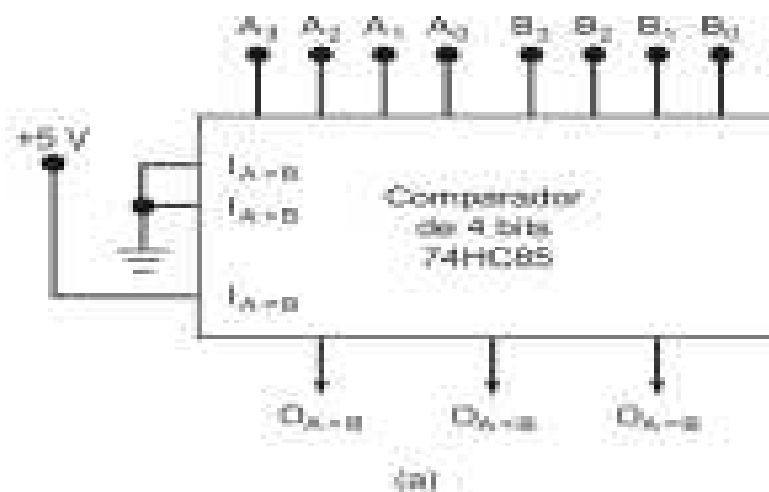


## Aplicação em controle





## Comparadores em cascata







## Referências

- [http://pt.wikipedia.org/wiki/George\\_Boole](http://pt.wikipedia.org/wiki/George_Boole)
- [http://www.cin.ufpe.br/~agsf/Sistemas\\_Digitais.htm](http://www.cin.ufpe.br/~agsf/Sistemas_Digitais.htm)