



FUNDAÇÃO EDSON QUEIROZ
UNIVERSIDADE DE FORTALEZA
ENSINANDO E APRENDENDO

T566 –SISTEMAS DIGITAIS AVANÇADOS

Aula 3 - Power & Wires com CMOS

Prof. Danilo Reis

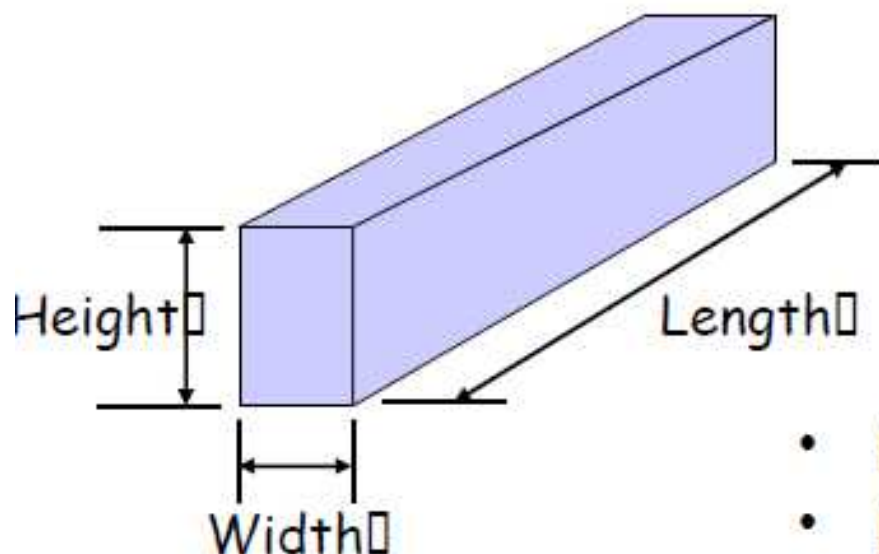


Problema de wires (fios de ligação)

- Fios causam atrasos que são função da sua resistência intrínseca e capacitância parasita associada ao fio;
- Escalam de maneira diferente;



Resistência



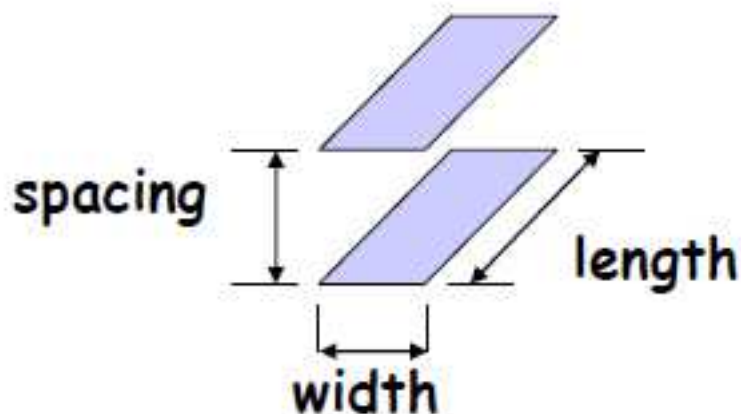
$$\text{resistance} = \frac{(\text{length} \times \text{resistivity})}{(\text{height} \times \text{width})}$$

- bulk aluminum $2.8 \times 10^{-8} \Omega\text{-m}$
- bulk copper $1.7 \times 10^{-8} \Omega\text{-m}$
- bulk silver $1.6 \times 10^{-8} \Omega\text{-m}$



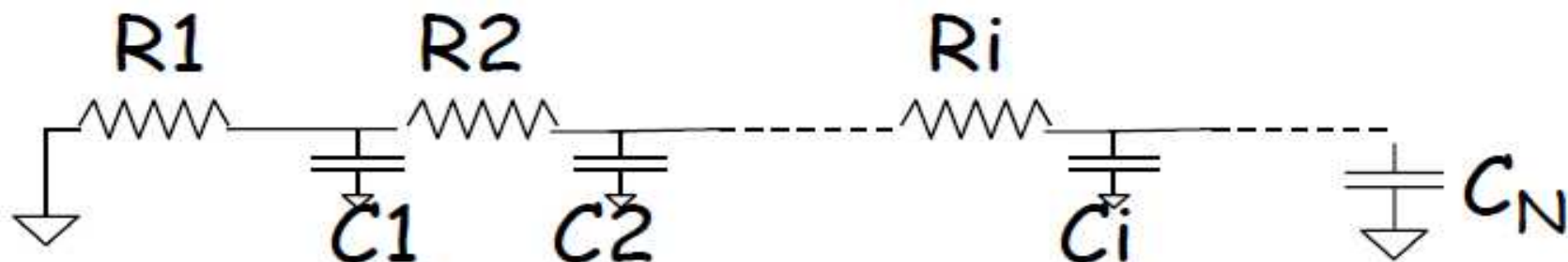
Capacitância

parallel plate capacitance $\propto \frac{\text{width}}{\text{spacing}} \times \text{length}$





Atraso



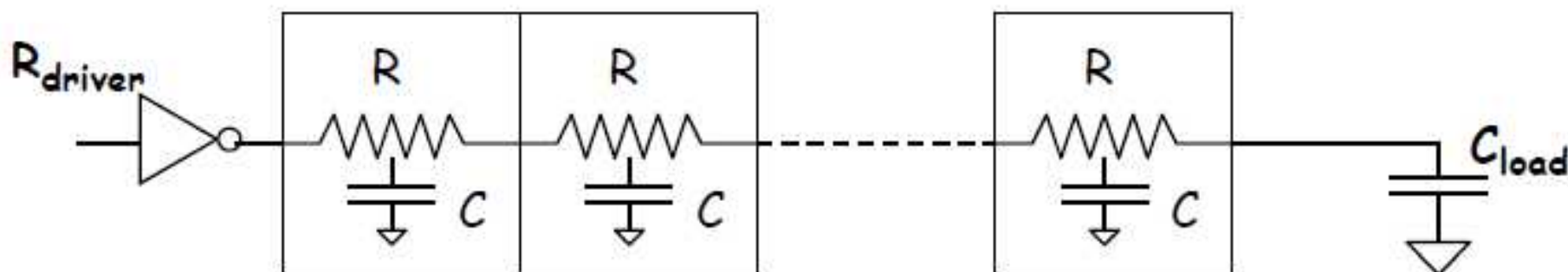
Modelo de Penfield-Rebenstein estima

$$\text{Delay} = \sum_i \left(\sum_{j=1}^{j=i} R_j \right) C_i$$

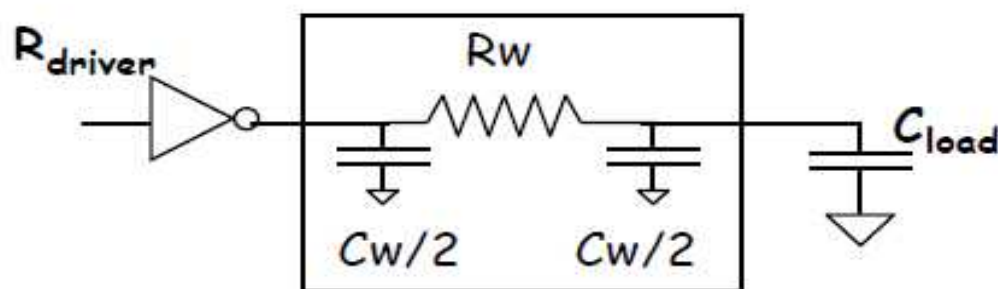


Atraso

R e C são distribuídos no fio



Pode-se aproximar por:



C_w = Capacitancia
modelo lumped
 R_w = Resistencia
modelo lumped

$$\text{Delay} = R_{\text{driver}} \times \frac{C_w}{2} + (R_{\text{driver}} + R_w) \times \left(\frac{C_w}{2} + C_{\text{load}} \right)$$



Atraso

- Atraso cresce quadraticamente com o comprimento do fio;
- Atraso tem impacto na frequência máxima que o circuito pode operar
- Atraso depende de R e C Logo Minimizar atraso significa minimizar R e C associados ao fio de interconexão



O que pode ser feito?

- Processo de Fabricação
- Layout do chip
- Repetidores



O que pode ser feito?

- Processo de Fabricação
- Layout do chip
- Repetidores



Processo de Fabricação

- *Reduzir R*
 - Usar cobre ao invés de alumínio (40%);
 - Usar metais com camadas mais espessas em fios longos;
 - Fazer ligações curtas
 - Usar mais layers
- *Reduzir C*
 - Usar dielétrico com K reduzido (x2)
 - Aumentar o espaço entre os layers
 - Aumentar número de layers para aumentar a densidade
 - Fazer ligações cu



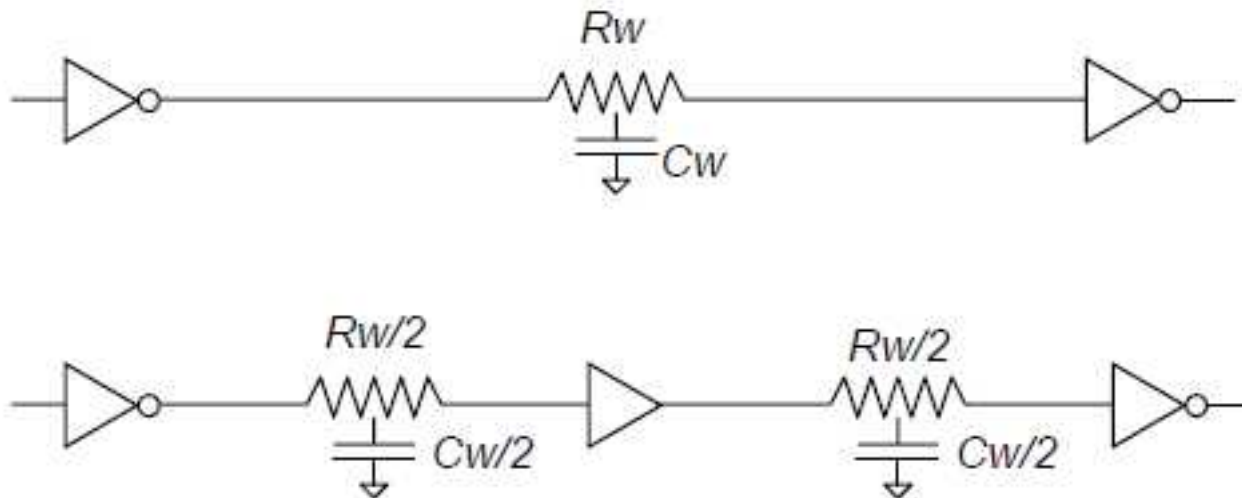
Layout do chip

- *Reduzir R*
 - Usar fios mais largos;
 - Usar vias paralelas
 - Fazer ligações curtas
 - Roteamento cuidadoso para evitar layers desnecessários;
- *Reduzir C*
 - Espaçar os fios em distâncias superiores ao mínimo;
 - Evitar ligações paralelas



Usar repetidores

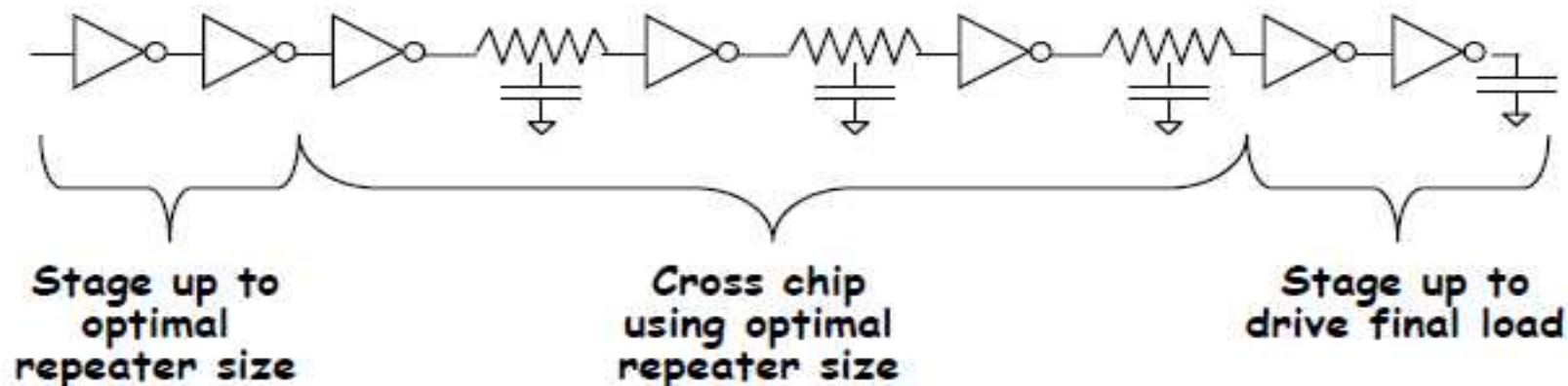
- Converte dependência do comprimento quadrática em linear;
- Pode-se determinar o número ótimo de repetidores para minimizar o atraso





Repetidores de entrada e saída

Para minimizar o atraso deve-se colocar repetidores no início, meio e fim do fio conforme a figura abaixo.





Potência (Power)

Power Trends

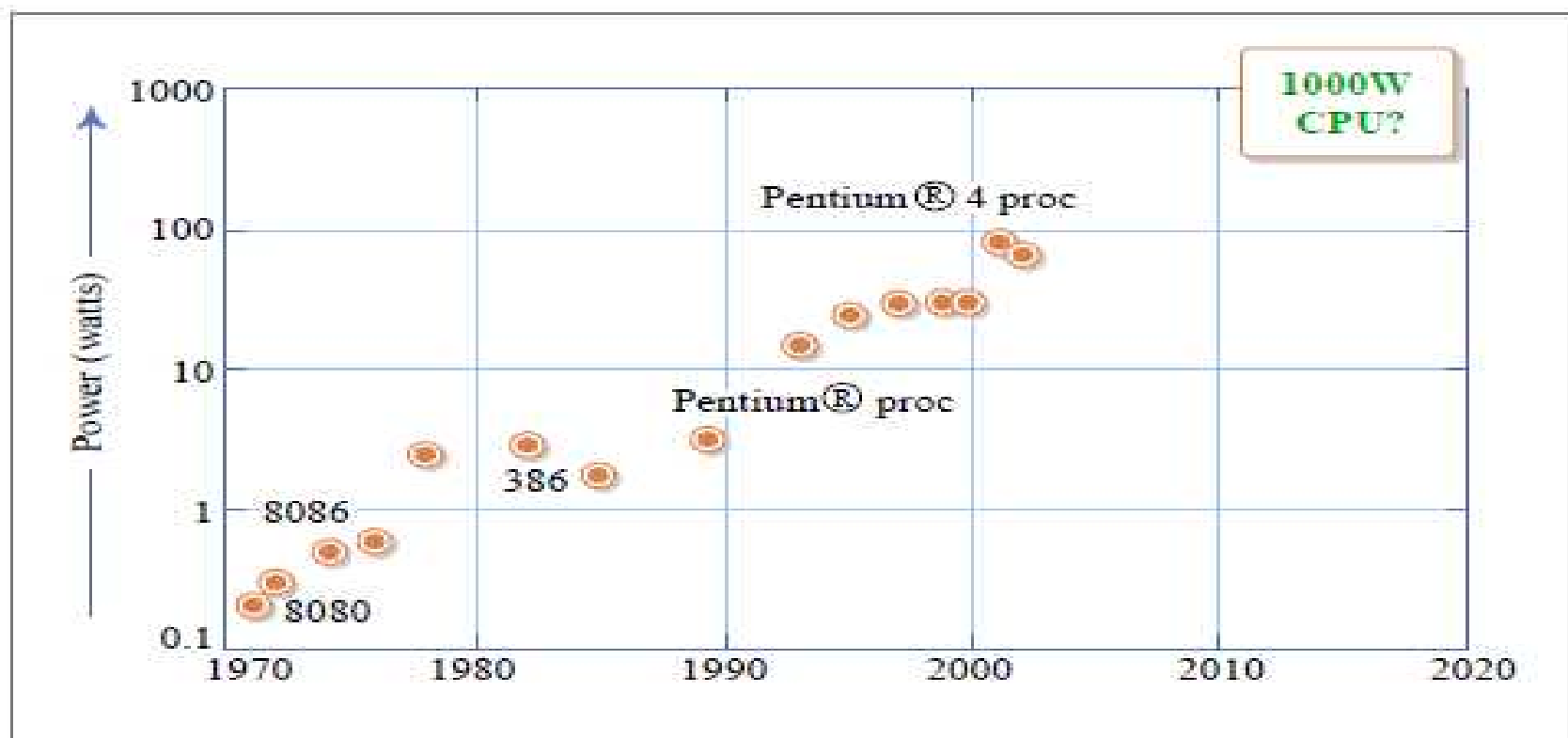


Figure by MIT OCW. Adapted from Intel. Used with permission.



Preocupação com Potência

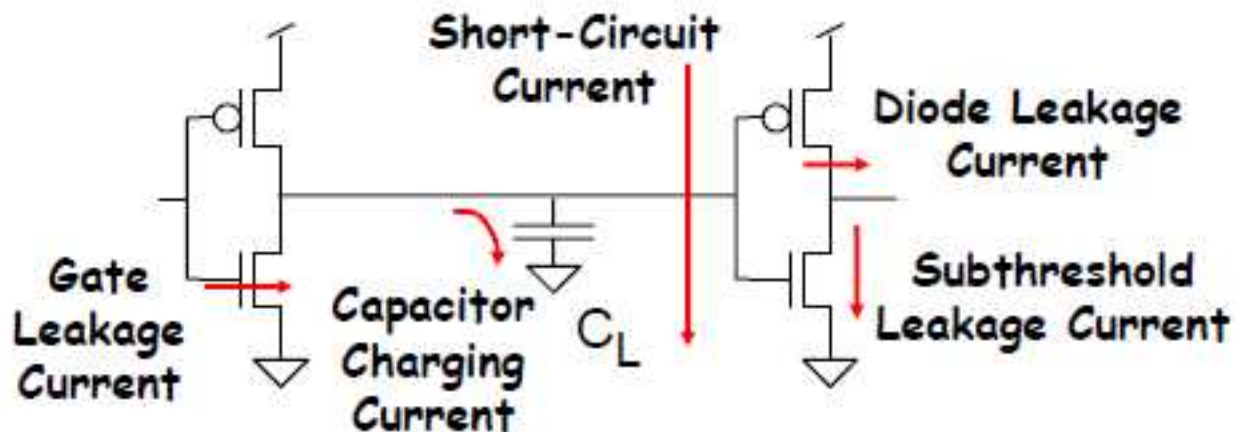
- É um fator limitante em vários sistemas
 - Peso bateria;
 - Tempo de uso na bateria;
 - Temperatura da caixa (wearable computer)
 - Ruído dos ventiladores
- Internet datacenter mais de 8000 servidores => 2MW
25% do custo de potência para alimentar os servidores e ar condicionados para remover o calor;
- Internet tinha em 2005 => 1 bilhão de PC sendo cada um a 100W => 100 GW = 40 hidroeletricas. Grande impacto ambiental



Potência (Power)

- Carga do capacitor , fator dominante;
- Corrente curto na transição (10% anterior)
- Corrente de fuga do subthreshold (10-40%) potencia ativa
- Corrente de fuga no gate;
- Corrente de fuga diodo

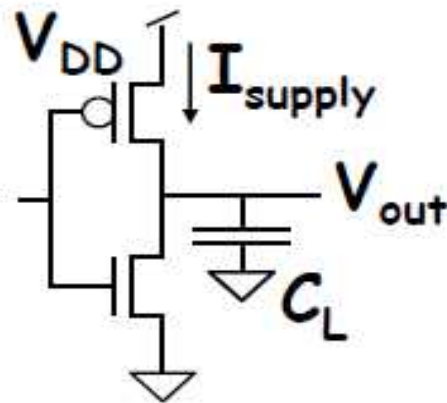
Power Dissipation in CMOS





Potência dissipada no capacitor

- 0→1 transição puxa $C_L V_{DD}^2$ da fonte
- Depois da transição $1/2 C_L V_{DD}^2$ é armazenada na fonte e é dissipada no resistor de pullup
- 1→0 $1/2 C_L V_{DD}^2$ a energia armazenada no capacitor é dissipada no resistor de pulldown

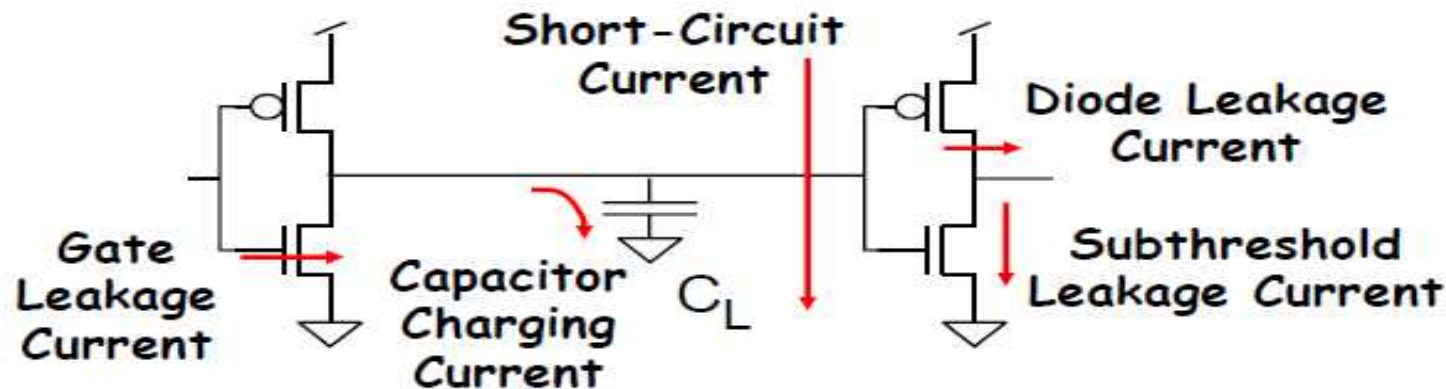


$$\begin{aligned} E_{0 \rightarrow 1} &= \int_0^T P(t) dt = V_{DD} \int_0^T I_{\text{supply}}(t) dt \\ &= V_{DD} \int_0^{V_{DD}} C_L dV_{\text{out}} = C_L V_{DD}^2 \end{aligned}$$



Potência (Power)

Power Dissipation in CMOS



$$\text{Power} = \text{activity} * \text{frequency} * \left(\frac{1}{2} C V_{DD}^2 + V_{DD} I_{SC} \right)$$

$$+ V_{DD} I_{\text{Subthreshold}}$$

$$+ V_{DD} I_{\text{Diode}}$$

$$+ V_{DD} I_{\text{Gate}}$$

Activity é proporcional
ao número de
transições por ciclo de
clock (1clock = 2)



Potência (Power)

$$\text{Power} \propto \text{activity} * 1/2 CV^2 * \text{frequency}$$

- Reduzir a actividade;
- Reduzir a capacitância de chaveamento;
- Reduzir a voltagem;
- Reduzir a frequência

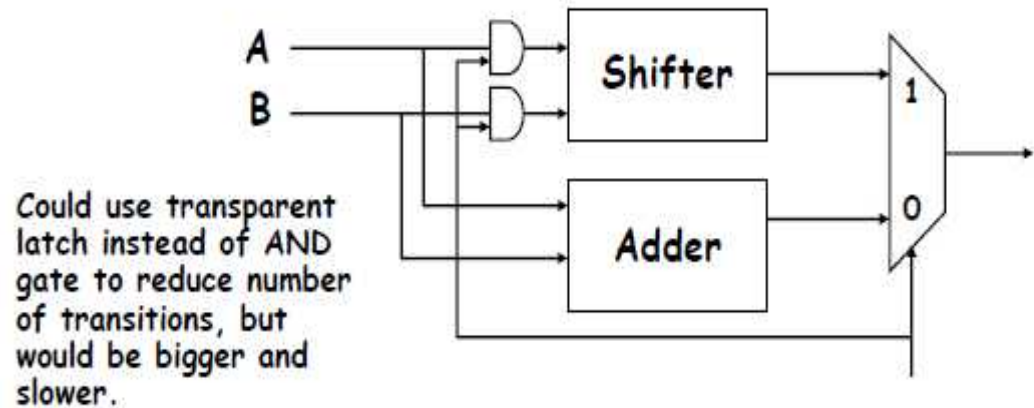
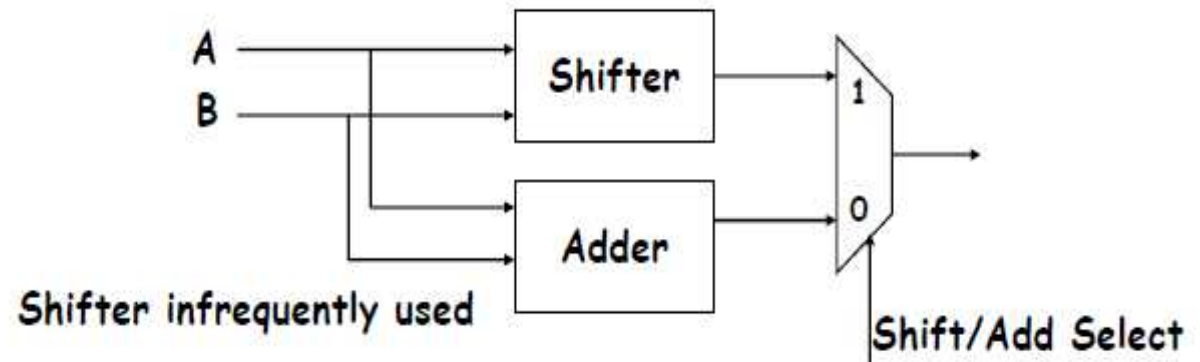
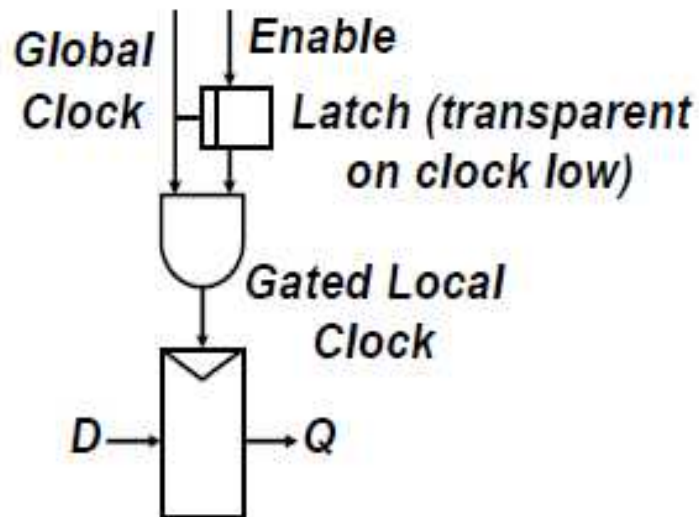


Reduzir atividade com

- Técnicas de clock gating;
- Técnicas de data gating;
- Codificação de barramento;(Código Gray)
- Compactação de barramento;
- Freeze "Don't care";
- Remover Glitches (Balancear lógica para evitar glitches)



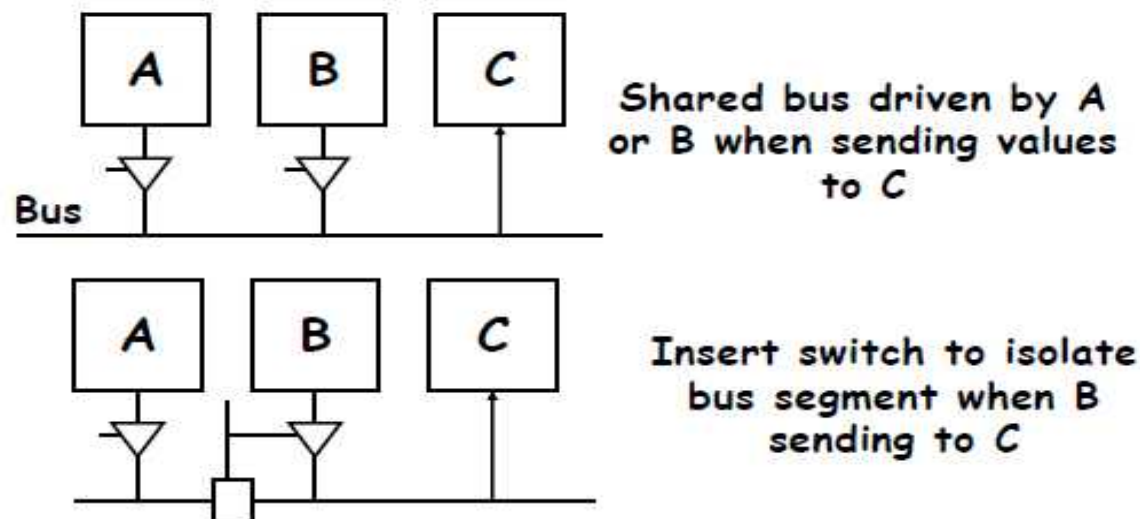
Clock e Data gatting





Reduzir capacitância de chaveamento

- Layout do chip apertado;
- Transistores pequenos fora da path crítica;
- Estruturas segmentadas (evitando nets longas)





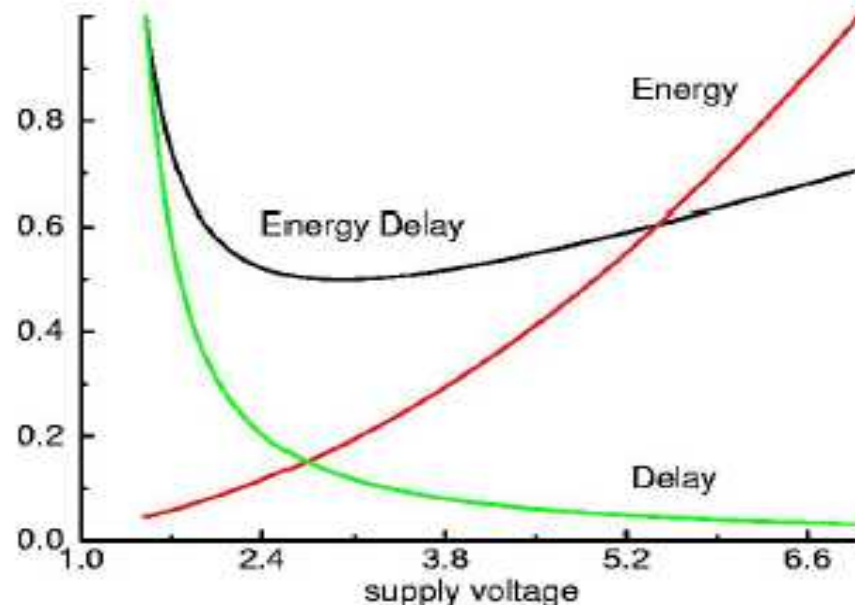
Reduzir frequência

- Não reduz energia;
- Diminui taxa de consumo de energia
- Aumenta tempo de vida da bateria



Reduzindo Voltagem de alimentação

- Economiza energia de forma quadrática $\frac{1}{2} C_L V_{DD}^2$
 - Velocidade do circuito é reduzida;
 - Clock deve ser reduzido para manter a corretude



$$T_d = \frac{C V_{DD}}{k(V_{DD} - V_{th})^\alpha}$$
$$\alpha = 1 - 2$$

Delay rises sharply as supply voltage approaches threshold voltages



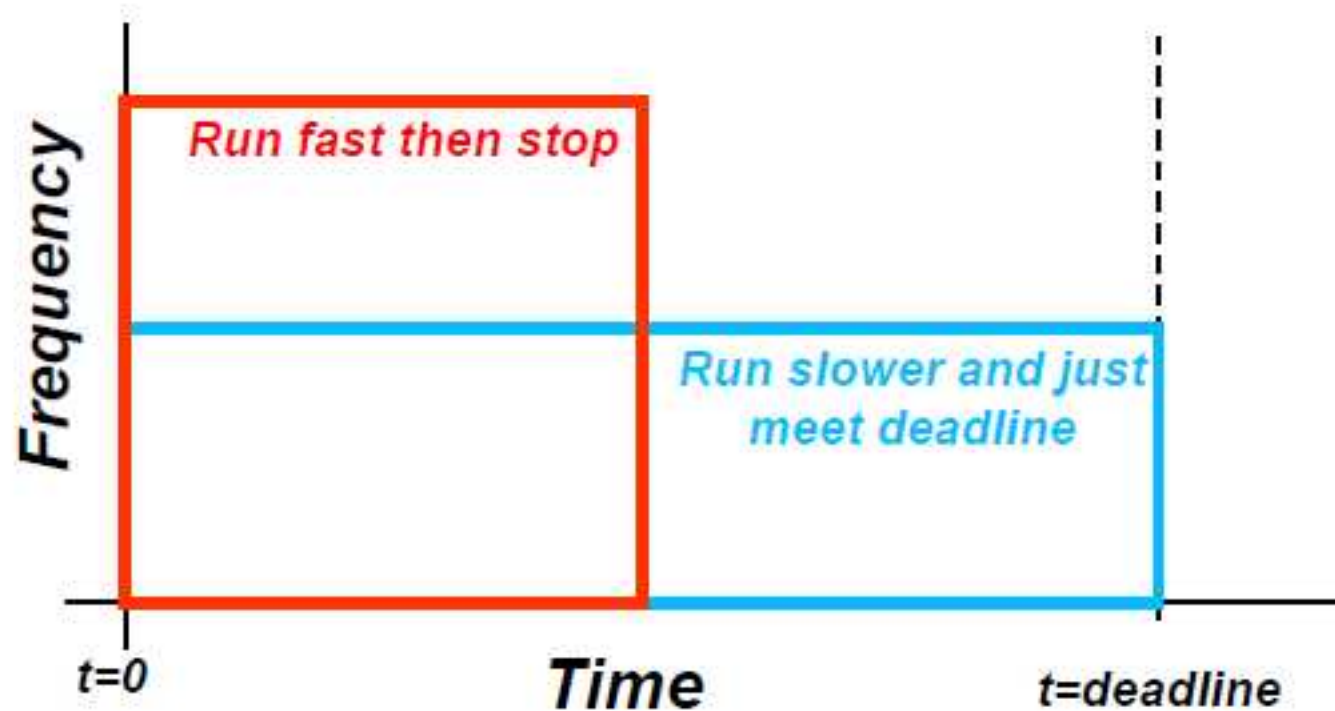
Estruturas paralelas

- **8-bit adder/comparator**
40MHz at 5V, area = $530 \text{ k}\mu^2$
Base power Pref
- **Two parallel interleaved adder/compare units**
20MHz at 2.9V, area = $1,800 \text{ k}\mu^2$ (3.4x)
Power = 0.36 Pref
- **One pipelined adder/compare unit**
40MHz at 2.9V, area = $690 \text{ k}\mu^2$ (1.3x)
Power = 0.39 Pref
- **Pipelined and parallel**
20MHz at 2.0V, area = $1,961 \text{ k}\mu^2$ (3.7x)
Power = 0.2 Pref

Chandrakasan et. al. "Low-Power CMOS Digital Design",
IEEE JSSC 27(4), April 1992



"Just Enough"performance



- ❑ Save energy by reducing frequency and voltage to minimum necessary



Referências

- Wester-Eshraghian-"Principle of CMOS VLSI design"
- <http://ocw.mit.edu/courses/electrical-engineering-and-computer-science/6-884-complex-digital-systems-spring-2005/index.htm>

