

# 葛骋翔

☎ 15755325815    ✉ 15755325815@163.com

🏠 25岁    🏠 安徽

📁 求职意向：数字IC设计工程师（上海）



## 教育经历

上海大学 211 双一流 2020年09月 - 2023年06月

电子信息工程 硕士 通信与信息工程学院

- 研究方向：无线通信IC设计
- 专业成绩：前10%
- 主要课程：无线通信技术，信号处理技术，物联网技术，现代电路
- 毕业论文：《面向 LTE-V2X 基带芯片的关键技术与FPGA实现》

上海大学 211 双一流 2016年09月 - 2020年06月

电子信息工程 本科 通信与信息工程学院

- 本科项目经历：参加过两次大学生电子竞赛，以及FPGA，单片机，Python相关的课程项目。
- 主要课程：通信原理，信号与系统，C++，FPGA，单片机，数据结构和机器学习等。

## 个人技能

- 精通Verilog，有算法RTL实现、验证和综合的经历。
- 熟练使用Matlab和C++编写RTL参考模型。熟悉System Verilog和UVM验证流程，包括验证点的提取，验证case，监控断言等。
- 了解Python，Perl和Shell，能够使用ChatGPT辅助快速编写各种脚本。
- 熟悉Vivado，Quartus，ModelSim，VCS，Spyglass，Linux终端和Gvim等工具。
- 能够流畅阅读英文论文和技术手册。
- 熟悉通信基带芯片的物理层过程和设计，包括常用算法的原理和RTL实现方法。独立设计过FIR、CORDIC、2048点FFT等关键IP，同时有过流片的外包项目的RTL设计经验。

## 工作与实习经历

兆易创新（已交接完工作离职，可尽快到岗） 2023年07月 - 2023年11月

逻辑设计验证工程师 Flash设计验证部门

合肥

- 1.完成了公司的新人培训计划和总结汇报，系统学习了芯片设计和验证领域所需的基本知识和技能。其中包括芯片设计和制造流程、不同存储器件的工作原理、RTL设计和综合技术、Linux和Vim操作、脚本编写、VCS的使用、UVM验证流程，验证点提取和测试用例编写，以及监控断言等。
- 2.学习了DRAM、NOR FLASH和NAND FLASH的基本原理，应用和比较。包括RTL和电路部分的具体实现方案。学习相关的设计和验证文档，RTL代码和电路结构，状态机和时序图等。
- 3.参与NAND FLASH项目，了解内部模块的组成和状态机的设计，分析各种参数，RTL代码和电路设计。参与Flash读写擦期间各种电压控制信号的验证，根据设计文档编写checklist，补充和修改UVM验证中的case和监控，分析监控报错的原因，对checklist中的验证点进行验证。

实习：高通信息科技（上海）有限公司（Qualcomm）（每周3天）

2022年06月 - 2022年09月

设计验证实习生 验证团队

上海

- 1.学习SV和UVM基础知识，学习验证流程和服务器环境的配置。学习各种软件工具的使用。
- 2.参考其他工程重新搭建一个简单的UVM验证环境，调试解决各种报错，编写uvm的各个组件并将其和DUT连接起来，生成激励并输入到DUT上，学习MAC接口协议和工作原理，学习如何编写脚本等。
- 3.参加了Qualcomm内部提供的多种实习生培训，包括职业规划、职场技能的提升以及英文邮件写作技巧等。

## 项目经历

工作项目：Nand FLASH电压控制信号的验证 2023年09月 - 2023年11月

- 项目描述：新的项目需要对NAND FLASH芯片发各种用户和测试指令时，加在存储阵列上的各种电压控制信号进行验证，确保和设计的要求一致。

- 主要工作：在师傅的指导下深入学习了NAND FLASH在各种不同的操作下电压控制功能的原理，结合文档，RTL和实际电路等理解了各个电压控制信号的原理和实现。根据自己的理解提取了验证点并根据验证点编写case，遍历各种参数组合情况。通过工具仿真检查波形和监控断言的触发情况，分析监控报错的原因，检查验证环境，RTL和电路的设计是否存在漏洞。工作中发现了网表端口连接，文档和监控中的小问题，针对端口连接的问题编写了利用训练集检查端口的python脚本。

**学校实验室项目：LTE-V ip设计工作（CORDIC，2048点FFT，IFFT IP设计实现）** 2022年08月 - 2022年12月

- 项目描述：由于后期有SOC流片计划，项目需要将原LTE-V基带工程中的Xilinx IP替换，本人负责设计了CORDIC、2048点FFT和IFFT这三个IP。
- 主要工作：本人参考xilinx官方手册及相关资料使用Verilog进行CORDIC，FFT，IFFT这三个IP的设计实现，CORDIC需要分别支持正余弦计算功能和相位旋转功能。FFT和IFFT参考Xilinx IP的pipeline结构实现了11级蝶形计算，同时支持配置循环前缀的功能。设计的三个IP的精度和Xilinx官方IP在同样量化位宽的配置下误差小于0.4%，计算延时能和原Xilinx IP保持一致，综合频率可达约400MHz，通过了长时间的上板测试。

**实验室接的外包项目：DDC设计项目** 2022年05月 - 2023年07月

- 项目描述：设计高速ADC芯片的数字下变频模块，实现500MHz的采样速率，要求支持8种不同的工作模式，包括不同的混频频率，不同的滤波模式等。
- 主要工作：负责所有RTL代码的编写，参考C++算法模型实现了混频和FIR抽取滤波的功能模块，完成了RTL级的设计和仿真，通过了大规模仿真测试，支持甲方要求的多种工作模式和自定义功能，验证工作交给外包完成，也通过了他们的验证，甲方最终反馈可以实现和TI公司同类芯片类似的功能。

**学校实验室项目：基于FPGA的LTE-V收端同步系统** 2020年09月 - 2020年12月

- 项目描述：基于LTE-V协议物理层收端同步算法的硬件实现，要求在收端对天线或直连接收到的信号进行同步，检测同步信号并标记数据帧头，同时对信号进行频偏估计和频偏补偿，便于后续的解码等操作。
- 主要工作：负责收端LTE-V 收端同步的模块的所有RTL代码编写，对原有收端同步算法进行优化并硬件实现，检测同步信号位置并标记无线帧帧头，同时进行频偏估计和频偏补偿。完成了多组测试向量的仿真，在Xilinx FPGA开发板上进行了长期测试，目前在室内和室外测试均可以完成 LTE-V 收端的同步，可以稳定无线传输视频。

**学校期间科研成果及证书情况**

A Resource- and Power-Efficient Implementation of PSS Synchronization on FPGA in Vehicular Networks. (EAI IoTaaS 2022 Conferences)	2022年
基于FPGA 的LTE-V收端CCH信道解速率匹配的系统及方法 申请号：202210180518.2	2022年
基于FPGA的LTE-V收端同步的方法及系统 申请号：202111208064.7	2021年
上海大学研究生学业一等奖学金	2021和2022年
全国大学生电子竞赛（TI杯）上海市二等奖(负责等精度频率计和uart通信的FPGA实现)	2019年
全国大学生电子竞赛（TI杯）上海市二等奖（负责硬件电路的焊接与联调）	2018年

**自我评价**

有毅力 | 责任心强 | 乐观幽默 | 喜欢团队合作 | 擅长沟通交流

**其他**

兴趣爱好丰富，参加过学院的社团联合部，体育部和篮球队。