

# Laboratório de Sistemas Digitais

Ano Letivo 2020/21

## Proposta de Projeto Final

### Projeto nº 8 – Calendário Digital

#### 1. Introdução

O objetivo deste trabalho é modelar em VHDL e testar na FPGA um Calendário Digital. Assume-se que o calendário exibe informação de dia (2 dígitos), mês (2 dígitos) e ano (4 dígitos). Para a interação com o utilizador e para o acerto da data devem ser consideradas as seguintes entradas e saídas:

**Entradas:** Seleção de modo (**SWs**), acertar a data (**KEYs**).

**Saídas:** Displays de 7 segmentos como mostrador de data. LEDs vermelhos como indicador do modo de funcionamento.

#### 2. Descrição do funcionamento e requisitos

As principais especificações do calendário digital são as seguintes:

- Ligando o calendário o mostrador de data deve exibir a informação **00:00:0000** (mapeados nos displays **HEX0** a **HEX7**). A indicação do modo “**1010**” nos LEDs **LEDR(0)** a **LEDR(3)**. O calendário funciona em regime normal contando a passagem do tempo a uma taxa de 1 dia por segundo.
- Atuando em **KEY(0)** deve dar entrada o modo de acerto de data. A indicação de modo deve exibir “**1011**” nos LEDs **LEDR(0)** a **LEDR(3)**.
- No modo de acerto, as **KEY(1)** e **KEY(2)** permitem a incrementação e decrementação do dígito selecionado, respetivamente.
- **KEY(0)** permite, no modo de acerto, seleccionar o dígito a acertar, sempre na direcção dos dias para o ano.
- O dígito selecionado para acerto deve piscar a uma frequência de **2Hz**.
- O modo de acerto termina com o acerto do dígito das unidades do ano e pressão em **KEY(0)**, retomando para o modo normal de funcionamento.
- O refrescamento do display é feito um dígito de cada vez com uma frequência de **1 kHz**.
- O controlo do refrescamento do display é feito pela máquina de estados **DispCntrl**.
- Uma entrada de reset geral ativada com **SW(0)**.

Na execução do projeto, deve contemplar os seguintes requisitos de simulação e depuração do projeto:

- Simulação funcional com testbenches e Modelsim de todos os componentes do projeto.

- Depuração do funcionamento do calendário com signal-tap-logic-analyzer da condição **28:02:2021** - > **01:03:2021** em anos normais ou bissextos.

### 3. Implementação

A implementação deste trabalho deve ser baseada em máquinas de estado comunicantes. Sugere-se uma estratégia faseada, de acordo com a descrição que se segue:

**Fase 1 (14 valores):** Implementação do calendário sem modo de acerto e sem indicação do modo. Tendo por base uma só máquina de estados capaz de gerir o display (**DispCntrl**). Nesta fase não devem contemplar a distinção de anos bissextos.

**Fase 2 (3 valores):** Implementação do modo de acerto, tendo por base uma máquina de estados dedicada ao acerto (**ProgCntrl**) e uma máquina de estados geral (**MainCntrl**) capaz de alternar entre os dois modos de funcionamento de calendário. Nesta fase não devem contemplar a distinção de anos bissextos.

### 4. Requisitos para obtenção de classificações superiores a 17 valores

- No modo de acerto reduzir o número de botões de pressão para o processo para dois, um para seleccionar o dígito – **KEY(0)** - e outro para acertar **KEY(1)**. Se **KEY(1)** é pressionado de forma continuada a dígito é decrementado. Se **KEY(1)** é pressionado de forma fixa o dígito é incrementado à frequência de **2Hz**.
- Alterar o projeto de forma contemplar a ocorrência de anos bissextos, não implementada nas fases anteriores.

**Nota:** O Top-level do Relógio Digital deverá ser implementado com recurso a representação estrutural em VHDL.

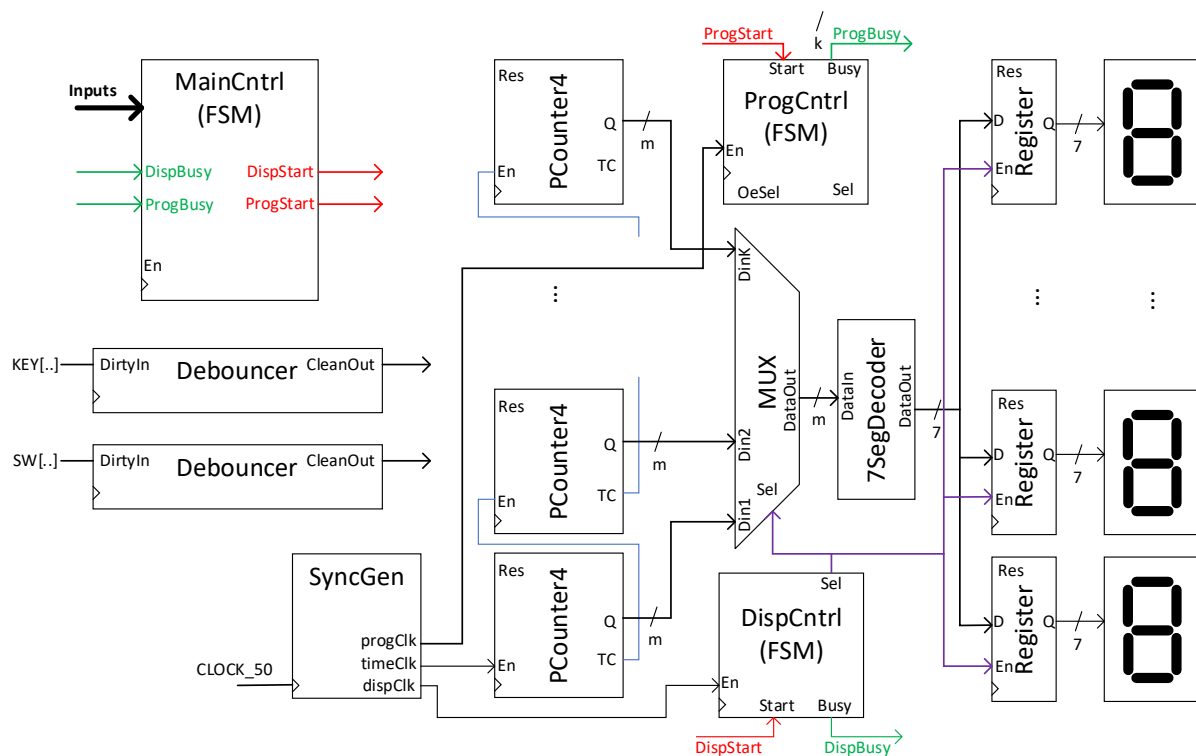


Fig. 1: Arquitetura do calendário a implementar.

### Notas sobre a arquitetura:

- A arquitetura não se encontra totalmente especificada. Em particular os sinais indicados a cores.
- O sinal de **clk** nos blocos sequenciais é obrigatoriamente o relógio de 50 MHz, **CLOCK\_50**.
- O sinal **Res** nos blocos sequenciais corresponde à implementação do reset e deve ser de diferentes formas consoante as fases de desenvolvimento:
  - Sinal reset geral com **SW(0)** na fase 1 e no evento de alguma contagem de interesse.
  - Máquina de estados **MainCntrl**, na fase 2 e posterior.
- Os contadores a utilizar devem ter fim de contagem programável, bem como uma saída de final de contagem, ativa por um pulso de relógio.