

Projeto nº 8 – Calendário Digital

Universidade de Aveiro

Júlia Abrantes, Inês Silva



DETI - Universidade de Aveiro

Projeto nº 8 – Calendário Digital

DETI - Universidade de Aveiro

Júlia Abrantes, Inês Silva
(104170) julia.abrantes@ua.pt, (104322) inesasilva@ua.pt

14 de Junho de 2021

Conteúdo

1	Introdução	1
2	Arquitetura	2
3	Implementação	4
4	Validação	5
5	“Manual do utilizador”	6
6	Conclusão	7

Capítulo 1

Introdução

O objetivo deste projeto seria modelar em VHDL e testar na FPGA um Calendário Digital. A exibição da informação dada é mostrada por 8 displays hexadecimais, que devem mostrar os dígitos dos dias (2 dígitos), meses (2 dígitos) e anos (4 dígitos).

Capítulo 2

Arquitetura

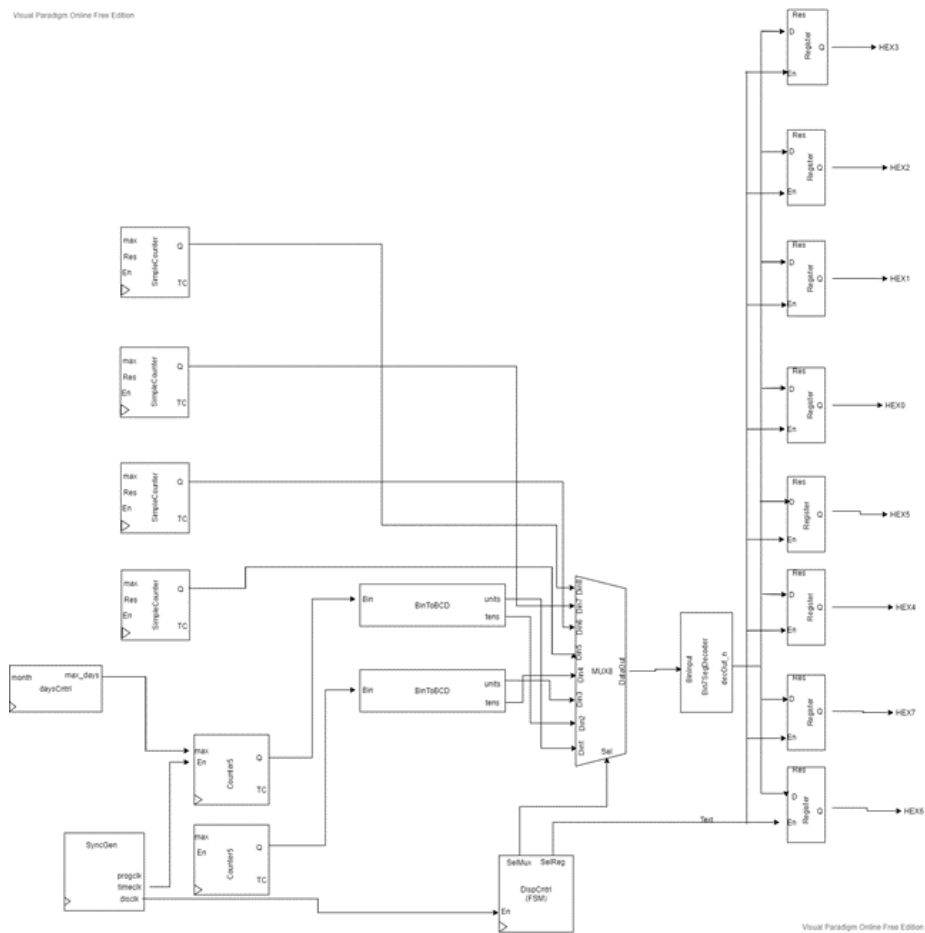


Figura 2.1: Arquitetura do calendário

Em seguida iremos explicar a função de cada entidade descrita neste diagrama, da esquerda para a direita.

O sistema tem como entradas , um interruptor (reset) e um relógio (clock). A entidade SyncGen está a ser ligada a um contador, através do timeclk e à máquina de estados (DisCntrl), que por sua vez se liga ao Multiplexer através de um seletor e a todos os Register. A entidade daysCntrl está ligada à entidade counter5 pela saída max days. A entidade SimpleCounter está ligada através das suas saídas ao multiplexer. A saída de cada contador (counter5) está ligada a um conversor de binário para código BCD (BinToBCD). As saídas vindas do conversor são ligadas ao Multiplexer, por sua vez a saída do Multiplexer está ligada à entidade Bin7SegDecoder, que possibilita a exibição do código em Display's de 7 segmentos. Finalmente, a saída da entidade Bin7SegDecoder está ligada à porta D da entidade Register, que indica o valor a ser registado.

Capítulo 3

Implementação

Nesta capítulo, iremos explicar o que faz cada entidade e como, entidade a entidade.

A entidade DispCntrl é uma máquina de estados com 8 estados.s (ver "Anexo 1 - DispCntrl (Máquina de Estados)") Existem dois processos, o processo sequencial que serve para atualizar o próximo estado, no sentido em que independentemente do estado em que esteja se o reset está ativo voltamos para o estado inicial que é WAITING. Assim, permanecemos no WAITING até que o valor enable seja 1, nesse caso o próximo estado vai ser o estado atual. Sendo o próximo estado definido, no outro processo. O próximo estado de WAITING é S1, este fica à espera que o display comece, estando o display start sempre ativo. Sendo o display start controlado pela mainctrl. Como referido anteriormente, estando o display start sempre com valor 1, consequentemente o próximo estado será o S1. Nesta primeira fase, não é registrado nenhum valor, ou seja ele começa por mostrar '000'. O próximo estado, será S2, o seletor que vai de 0 a 7 vai escolher a entrada e assim sucessivamente. Ao longo de todo o processo o selMux e o selReg vão mudando de valor juntos. Finalmente quando chega ao milhar volta para S1.

A entidade SyncGen funciona como gerador de pulsos de 1 ciclo por ms, onde através de um seletor é selecionada a entrada do multiplexer e selecionado o registo.

Capítulo 4

Validação

Ao longo do projeto, realizámos Testbenches às entidades que consideramos válidas testar, devido à sua complexidade ou a possíveis erros de interligação com outras entidades.

Começamos pela Testbench aplicada à máquina de estados DispCntrl para simular o seu comportamento quando os seus sinais de entrada variavam. Depois aplicamos outra Testbench à entidade Counter5, SimpleCounter para garantirmos a sua sanidade e a validade da contagem. Fizemos ainda outra Testbench à entidade SyncGen. Por algum motivo, não conseguimos fazer os testes em Testbench e por isso todos os nossos testes foram feitos na placa.

Capítulo 5

“Manual do utilizador”

Na fase 1, o utilizador deverá interagir com a FPGA através de um interruptor (SW0) que deverá reiniciar o sistema. Os oito displays hexadecimais deverão mostrar, da esquerda para a direita (de HEX7 a HEX0), os dias (HEX7 para as dezenas e HEX6 para as unidades), os meses (HEX5 para as dezenas e HEX4 para as unidades) e o ano (HEX3 para as unidades de milhar, HEX2 para as centenas, HEX1 para as dezenas do ano e HEX0 para as unidades).

Na fase 2, para além do que já foi descrito na fase 1 o utilizador deverá interagir com a FPGA através dos três botões (KEY0 para seleccionar o dígito a acertar, sempre na direção dos dias para o ano ,KEY1 para incrementar o dígito, KEY2 para decrementar).

Capítulo 6

Conclusão

O projeto realizado cumpriu o definido anteriormente. Sendo que sentimos que foi um projeto que nos fez aprofundar o nosso conhecimento sobre sistemas digitais e programação para FPGA's. Escolhemos este projeto porque queríamos contruir algo que tivesse uma funcionalidade interessante. A maior dificuldade sentida talvez tenha sido na construção da máquina de estados DispCntrl. Acabámos por não conseguir ter tempo para finalizar a fase 2 do projeto, o que faz com que não tenhamos cumprido todos os nossos objetivos.