

Unidad Aritmético-lógica

ALU

Julian Avila *, Laura Herrera *, Bryan Martínez *, and Juan Acuña *

*Proyecto Curricular de Física, Universidad Distrital Francisco José de Caldas

I. OBJETIVOS

- Desarrollar una unidad aritmético-lógica para dos números de 4-bits mediante lógica combinacional.
- Visualizar usando LEDs el resultado de la correspondiente operación de la ALU.

II. DISEÑO Y SOLUCIÓN DEL PROBLEMA

Se plantea realizar una unidad aritmético-lógica (ALU) para números de 4 bits. Para la parte lógica, el circuito realizará las siguientes operaciones:

$$A + B \quad (1)$$

$$A - B \quad (2)$$

$$\bar{A} \quad (3)$$

$$A \oplus B \quad (4)$$

(5)

En la parte aritmética se realizan las siguientes operaciones:

$$A + B \quad (6)$$

$$A - B \quad (7)$$

$$A + 1 \quad (8)$$

$$A - 1 \quad (9)$$

(10)

Para poder generar las diferentes opciones que tiene la ALU se hizo uso de MUXs, de esta forma el usuario puede escoger qué operación desea realizar entre los dos números ingresados.[1]

Para la parte aritmética, se utilizan tres MUX, dos de los cuales tienen la función de escoger si A se va a operar con B o con 1. El tercer MUX tiene la función de escoger si se realizará suma o resta aritmética de los números escogidos.

Para la parte lógica se utilizan también tres MUX, de los cuales dos se encargan de filtrar si se desea hacer las operaciones de suma o resta y \bar{A} o $A \oplus B$, para el tercer MUX, se escoge si se desea ver la parte de la suma y la resta (según se haya escogido) o la parte de \bar{A} y $A \oplus B$. En el caso de las operaciones lógicas, se realizan mediante la comparación de cada bit.

Finalmente, para el resultado que se mostrará en los LEDs, se utiliza un MUX final el cual dará la opción de si se desea obtener la operación aritmética escogida o la lógica.

Julian Avila: 20212107030
Laura Herrera: 20212107011
Bryan Martínez: 20212107008
Juan Acuña: 20212107034

III. DIAGRAMA DE COMPUERTAS LÓGICAS Y CIRCUITO

III-A. Sub-unidad Aritmética

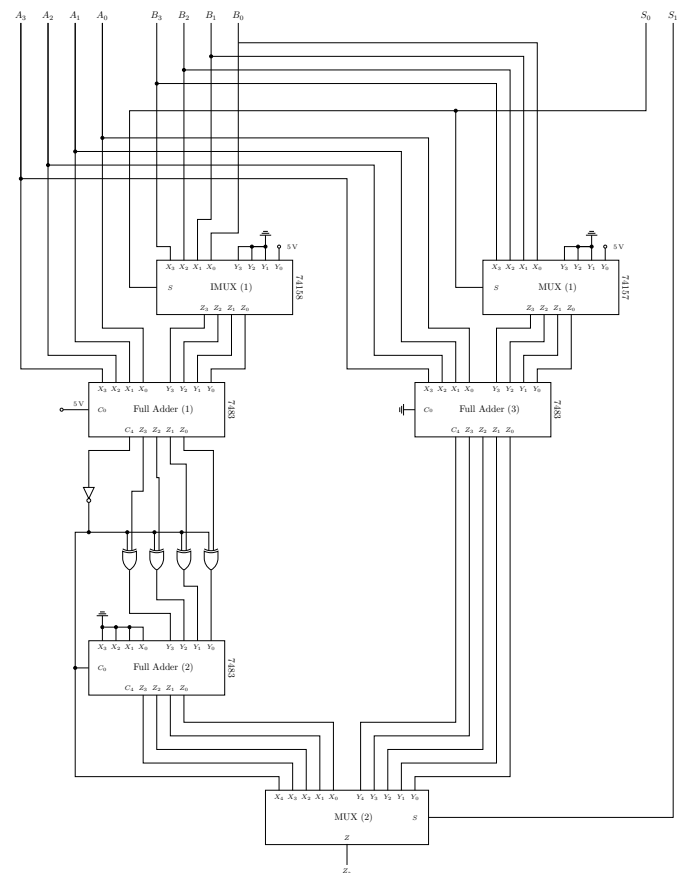


Figura 1. Diagrama de la parte aritmética.

Como primer sub-unidad se tiene la parte aritmética donde se realizan las operaciones entre dos números de 4 bits que ingresan como señales al sistema. La resta entre A y B o el decrementar A se realiza con la suma del complemento a 2 del valor a restar, por ello se utilizan 2 Full Adder para esta parte y el numero resultado tiene un total de 5-bits donde el de mayor significancia indica el signo del resultado. Para la suma, dependiendo si se desea sumar A con B o solo incrementar A , se utiliza un Full Adder, el resultado es un numero de 5-bits mayor a 0, por ello el bit de mayor significancia representa 2^4 .

Ambos resultados son filtrados por un multiplexor que deja el paso de el valor la suma o el valor de la resta.

