

Flip-flops

Julian Avila *, Laura Herrera *, Bryan Martínez *, and Juan Acuña *

* *Proyecto Curricular de Física , Universidad Distrital Francisco José de Caldas*

I. LATCH BÁSICO

II. LATCH BÁSICO

II-A. Montaje y tabla de verdad

Se utilizaron dos compuertas NOR donde la salida de cada una conecta con una de las entradas de la otra, mientras que las otras entradas se dejaron libres para dos señales de entrada que se denominaron I y B. Esto se puede ver en la ?? donde se presenta el diagrama lógico del circuito y en la Figura 1 se presenta el montaje del mismo.

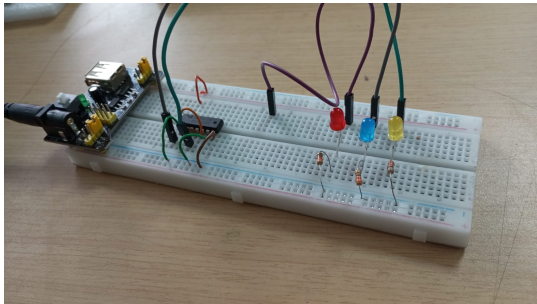


Figura 1. Montaje de un latch básico.

En el Cuadro I se presentan los resultados obtenidos con el montaje descrito.

B	I	Q	\bar{Q}
0	0	Q_0	\bar{Q}_0
0	1	0	1
1	0	1	0
1	1	0	0

Cuadro I

TABLA DE RESULTADOS DEL LATCH CONSTRUIDO.

II-B. Análisis de resultados

La tabla de resultados es idéntica a los resultados esperados de un flip-flop SR donde las señales I y B funcionan como R y como S respectivamente.

II-C. Conclusiones

Se evidencia que es posible construir un flip-flop SR utilizando únicamente dos compuertas NOR.

Julian Avila: 20212107030
 Laura Herrera: 20212107011
 Bryan Martínez: 20212107008
 Juan Acuña: 20212107034

III. FLIP-FLOPS RS, JK Y D

IV. FLIP-FLOPS D Y T

V. CONSTRUCCIÓN DE FLIP-FLOP DE FORMA DISCRETA

V-A. Montaje y tabla de verdad

Se construyó un flip-flop JK apartir del uso de compuertas NAND y OR con entradas negadas. La Figura 2 muestra el diagrama del circuito lógico como también el detector de flanco derecho para la señal de reloj. El detector permite que el flip-flop cambie de estado solo cuando la señal de reloj presente un aumento, esto se puede evidenciar con la Figura 3.

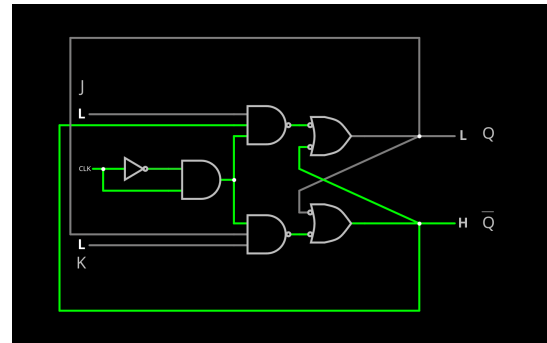


Figura 2. Diagrama del flip-flop jk construido de forma discreta.

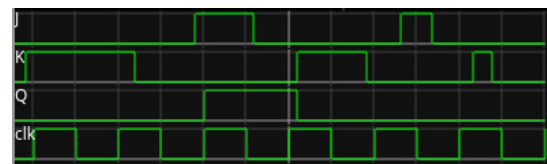


Figura 3. Señal tomada del osciloscopio.

A partir del montaje se obtuvieron los resultados que se presentan en el Cuadro II de forma simplificada.

CLK	J	K	Q	\bar{Q}
	0	0	Q_0	\bar{Q}_0
	0	1	0	1
	1	0	1	0
	1	1	\bar{Q}_0	Q_0

Cuadro II

TABLA DE RESULTADOS. (SIMPLIFICADA)

V-B. Análisis de resultados

Los datos obtenidos muestran el mismo comportamiento de un flip-flop JK, tal como se deseaba, sin embargo, este solo presenta cambios cuando la señal de reloj aumenta, por esto, el estado (H, H) es semi estable, donde las señales de salida oscilan hasta terminar en el valor opuesto que tenían en un principio.

Además, se observa que el comportamiento del flip-flop está influenciado significativamente por el retardo de la compuerta negadora en el detector de flanco derecho, así como por la frecuencia de la señal. Para hacer evidente este efecto, se utilizó una señal de 120 Hz y un retardo de la compuerta negadora de aproximadamente 400 Vs^{-1} .

V-C. Conclusiones

A partir de la combinación de compuertas simples fue posible construir un flip-flop JK que actualice su estado actual cuando la señal de reloj aumenta, esto haciendo uso de la no instantaneidad de las señales. El flip-flop construido se comporta idénticamente a un JK normal sin embargo presenta cambios muy rápidos en el estado (H, H).