

# Indrumar de Laborator

---

Bazele Tehnologice ale Microelectronicii

**Bucuresti 2017**

# 1. Procesul CMOS generic

Pentru exemplificarea tuturor etapelor de tehnologice folosite la fabricarea circuitelor integrate, se va descrie un proces tehnologic generic pentru definirea si realizarea unui tranzistor NMOS.

Ca baza a acestui process, se foloseste o placheta de siliciu de tip P. Cele mai folosite plachete de siliciu au dimensiunea de 12 inch / 30 de cm si grosimea in jurul a 600 um. Dispozitivele se realizeaza folosind tehnici de prelucrare a substratului crescut epitaxial cat si prin depunere, la suprafata, de straturi noi. Adincimea prelucrata ajunge la aproximativ 20 – 30 um.

## 1) Placheta de Si

Aceasta reprezinta placheta de siliciu neprelucrata. Dupa o serie de pasi prin care se indeparteaza oxidul si impuritatile de suprafata, aceasta este pregatita pentru prima etapa propriu-zisa: cresterea stratului epitaxial.

## 2) Cresterea stratului epitaxial:

Folosind procedeul de epitaxie (cresterea unui strat semiconductor pe un alt strat semiconductor, pastrandu-se orientarea cristalografica) se formeaza pe placheta de siliciu un strat epitaxial. Rolul acestuia este de a permite scaderea rezistentei din substrat.

Dispozitivele, circuitele si interconectarea se vor forma in stratul epitaxial.

## 3) Definirea zonelor ACTIVE si formarea oxidului de izolare (FOX):

Folosind un proces fotolitografic: se depune **fotoresist** pe toata placheta si expune folosind masca ACTIVE. In zonele in care nu este expus, fotorezistul se intareste. Dupa curatarea **resist-ului** are loc o oxidare termica.

Prin acest procedeu se un oxid gros de izolare acolo unde nu avem definita masca de ACTIVE. Acest oxid poarta numele de FOX – field oxide. De regula, se foloseste oxidare in atmosfera umeda deoarece timpul de crestere al oxidului este substantial redus.

La sfarsitul acestei etape se elimina cu anumiți solvenți **resist-ului** de pe placheta.

## 4) Cresterea oxidului de poarta (GOX)

Se va creste la suprafata un strat subtire de oxid de siliciu de foarte buna calitate, GOX, gate oxide. Acesta este oxidul MOS pentru tranzistorul ce va fi ulterior definit. Una dintre metodele de depunere este **CVD** – chemical vapor deposition. Grosimea acestui oxid de poarta este de ordinul nanometrilor. Proprietatea principala a acestui tip de oxid este o permitivitate relativa mare (high K dielectric).

## 5) Depunerea polisiliciului pentru definirea portii tranzistorului NMOS:

Se depune pe toata placheta, polisiliciu, un Si policristalin, cu o conductivitate ridicata. Principalul avantaj pentru folosirea acestui material la realizarea grilelor tranzistorului MOS il reprezinta *autoalinierarea*: in momentul implantului de tip N+ pentru sursa si drena, grila de polisiliciu are rol de mascare pentru atomii de impuritate si, in acest mod, se formeaza in mod simetric, pe o parte si alta a portii, zonele de difuzie.

## 6) Corodarea oxidului si polisiliciului si formarea portii:

Folosind masca de POLY, se va coroda oxidul si polisiliciul acolo unde nu vrem sa formam o poarta NMOS.

## 7) Implantarea de tip P+ (conexiune la substrat) si N+ (drena si sursa):

Se foloseste masca de Pimp si se va face implant cu atomi de B (bor) pentru conexiunea ohmica la substrat.

Se foloseste masca de Nimp si se va face implant cu atomi de P (fosfor) pentru formarea sursei si drenei. Dupa implantarea de tip Nimp are loc *autoalinierarea*.

Aceste implantari nu au loc simultan. Sunt necesare doua etape separate.

## 8) Cresterea oxidului de izolare:

Pe toata suprafata se depune un strat de oxid de siliciu cu rol de protectie si izolare.

## 9) Definirea zonelor de contactare, ferestre in oxid:

Urmeaza un proces fotolitografic si se va folosi masca de CON (contacte). Cu ajutorul acidului fluorhidric se vor descrie ferestre in oxid deasupra implanturilor de drena, sursa si substrat.

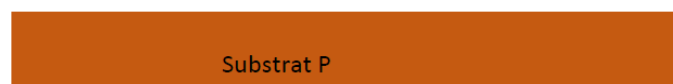
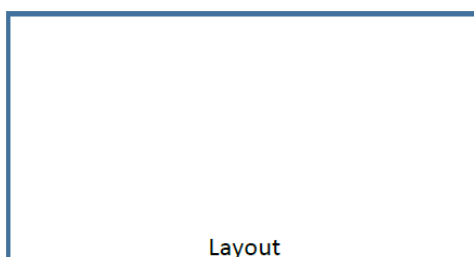
## 11) Depunerea si corodarea selectiva a metalului:

Se depune metal pe toata placheta. Datorita masei molare ridicate, metalul va umple zonele de contactare si va permite formarea terminalelor dispozitivului.

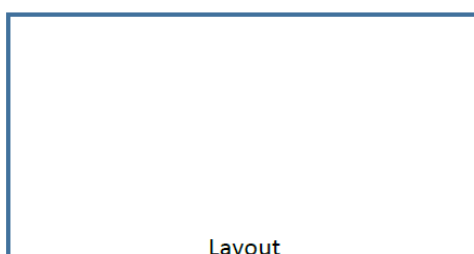
Tot printr-un proces fotolitografic(folosind masca de METAL1) se corodeaza selectiv stratul de metal. Se genereaza in acest mod traseele de metal folosite la interconectare.

In continuare, vor fi descrisi cei 10 pasi mentionati anterior.

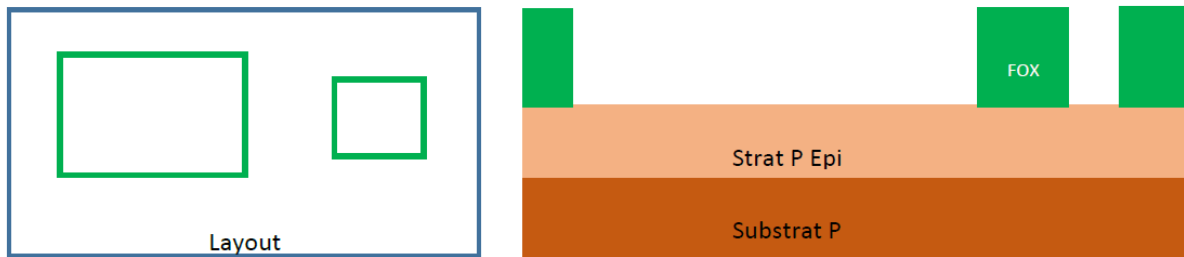
### 1. Placheta de siliciu



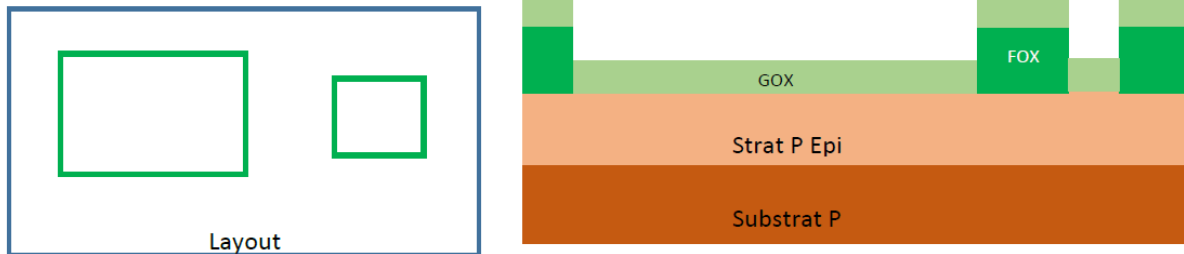
### 2. Cresterea stratului epitaxial



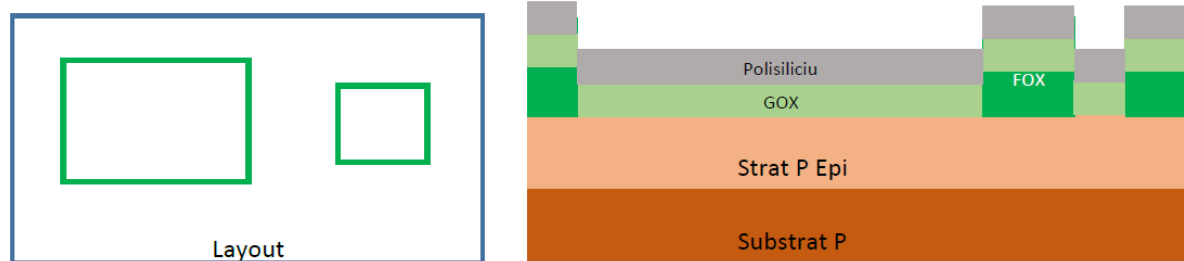
### 3. Definirea zonelor active; formarea oxidului de izolare (FOX)



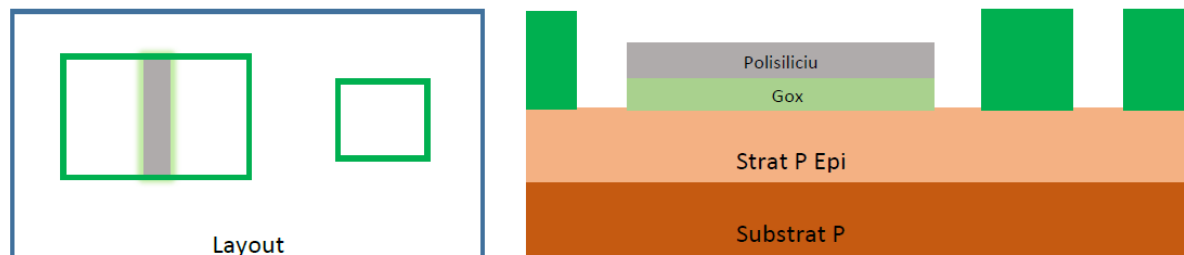
### 4. Cresterea oxidului de poarta (GOX)



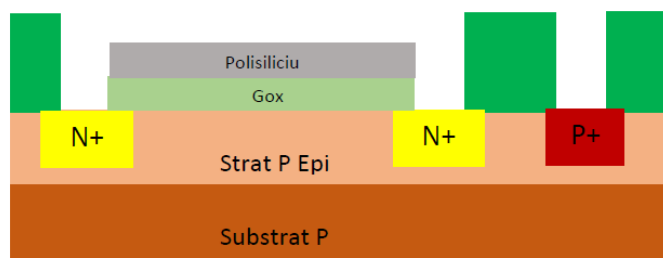
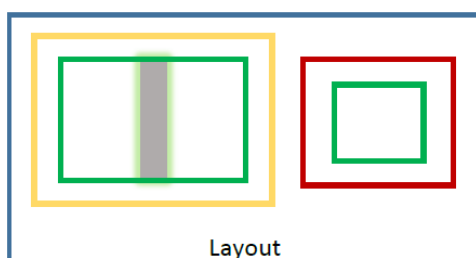
### 5. Depunerea polisiliciului de poarta



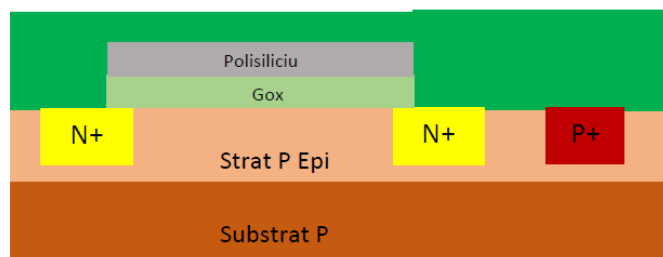
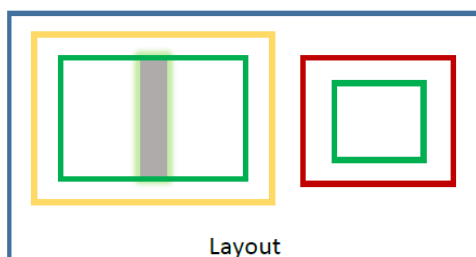
### 6. Formarea portii – Corodare GOX si polisiliciu



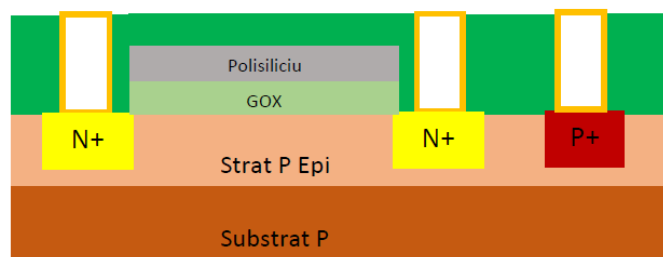
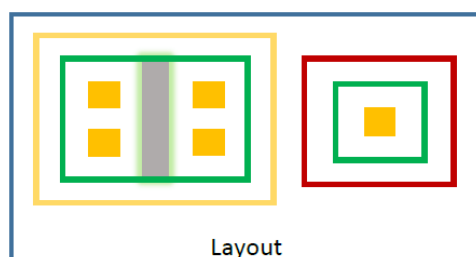
## 7. Formarea Implanturilor P+ si N+ (Pimp si Nimp)



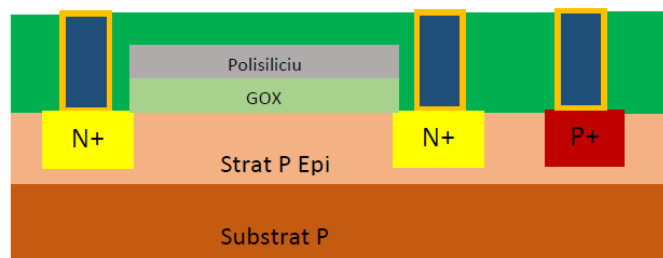
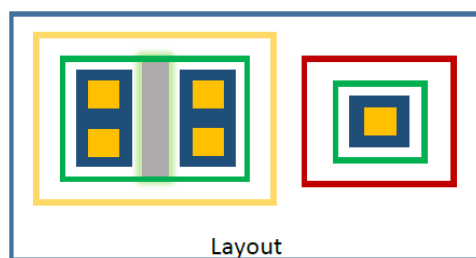
## 8. Cresterea oxidului de izolare ( $\text{SiO}_2$ )



## 9. Definirea contactelor (ferestre in oxid)



## 10. Depunerea si corodarea selectiva a metalului



## 2. Proiectarea inversorului CMOS

### 2.1 Proiectarea tranzistorului PMOS

#### 2.1.1 Definirea polisiliciului pentru poarta

Se selecteaza din partea stanga a ecranului layerul Poly.

Apasand tasta "R"(rectangle) se deseneaza un dreptunghi de polisiliciu. Selectand dreptunghiul anterior desenat, se apasa tasta "Q" pentru a edita proprietatile dreptunghiului. Campul "width" se completeaza cu L-ul tranzistorului (0.18um) iar campul "height" cu W-ul tranzistorului (2.5um).

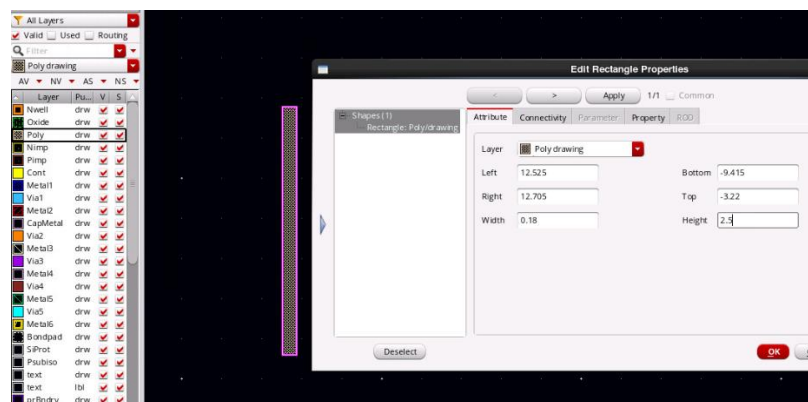


Figure 1 - Definirea polisiliciului pentru poarta

#### 2.1.2 Definirea oxidului pentru poarta

Se copiaza cu tasta "C" dreptunghiul de polisiliciu anterior desenat. Cu tasta "Q" se editeaza campul "Layer" din proprietatile noului dreptunghi, selectandu-se "Oxide".

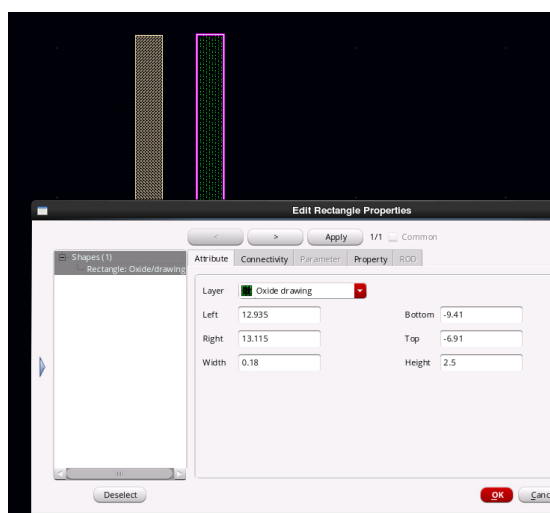


Figure 2 - Definirea oxidului de poarta

### 2.1.3 Definirea portii

Cele doua dreptunghiuri (polisiliciu si oxid) se suprapun. Pentru a muta orice forma desenata se foloseste comanda "M"(move). Pentru schimbarea directiei de "move" se apasa F3 si se selecteaza "snap mode". Tot F3 se foloseste pentru rotirea unei anumite structure.

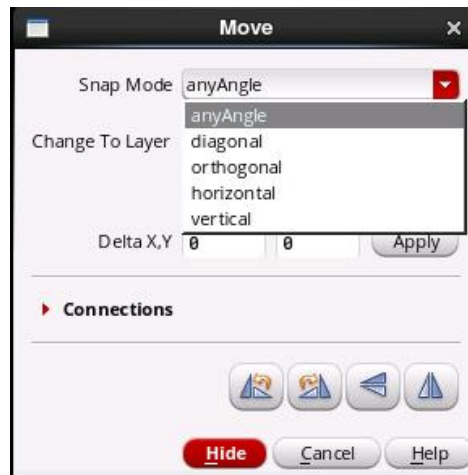


Figure 3 - Snap mode pentru comanda Move

### 2.1.4 Definirea contactelor de sursa si drena

Se copiaza unui dintre dreptunghiurile anterioare. Se redefinesc dimensiunile (width=0.4um height=2.5-2x0.1=2.3um) si se selecteaza layerul "Metal 1".

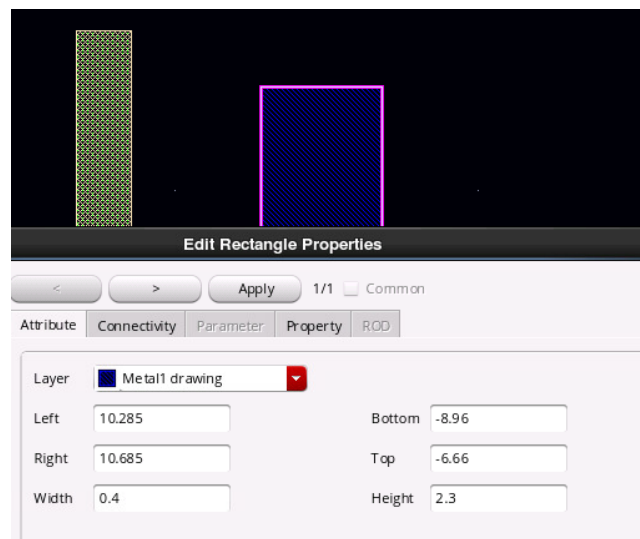


Figure 4 - Definire metal contactare sursa si drena

Se creeaza doua astfel de structuri si se pozitioneaza la  $0.1\mu\text{m}$  de poarta creata anterior pe axa  $ox$ , si la  $0.1\mu\text{m}$  pe axa  $oy$  fata de fiecare capat al portii, ca un figura 5. Pentru masurarea distantelor se foloseste "K"(ruller). Pentru stergerea tuturor masuratorilor din layout se foloseste comanda shift+K.

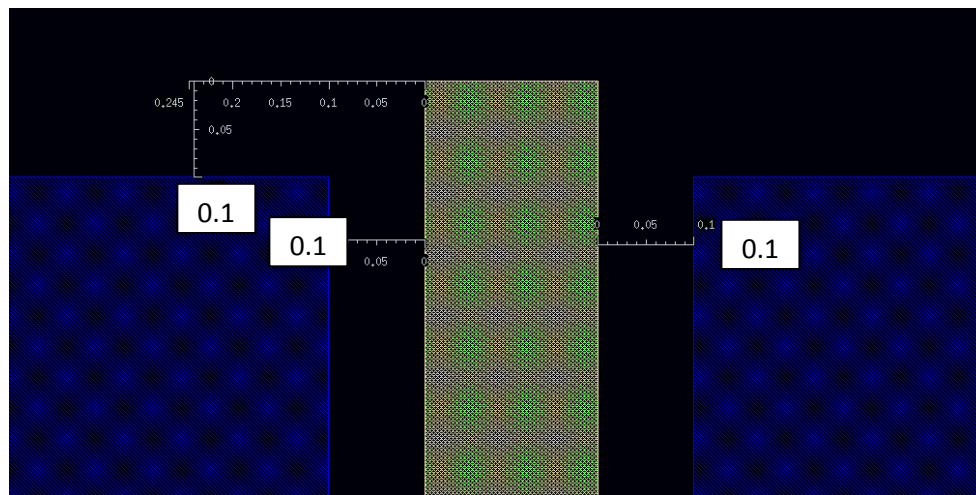


Figure 5 - Pozitionare metal sursa si drena

Se creeaza un contact prin selectarea layerului "Cont" si desenarea unui patrat cu  $\text{width}=\text{height}=0.2\mu\text{m}$  ("R").

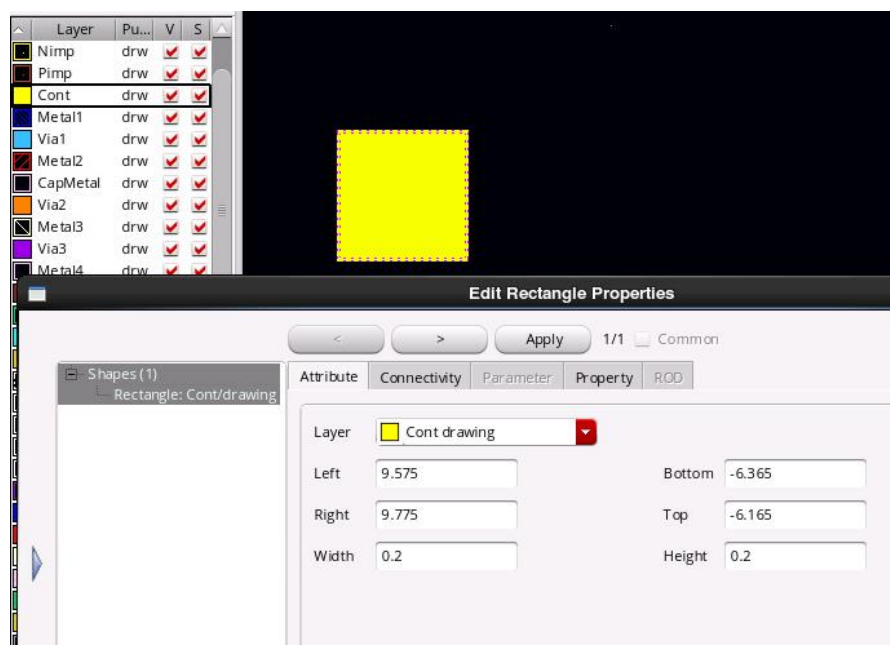


Figure 6 - Desenarea unui contact



Contactele se plaseaza pe zona de metal 1 desenata anterior. Distantele pe axa oy sunt 0.1 $\mu$ m fata de capetele metalului si 0.275 $\mu$ m intre contactele adiacente. Pe axa ox, contactul va fi plasat centrat pe dreptunghiul de metal 1, la 0.1 $\mu$ m fata de capete.

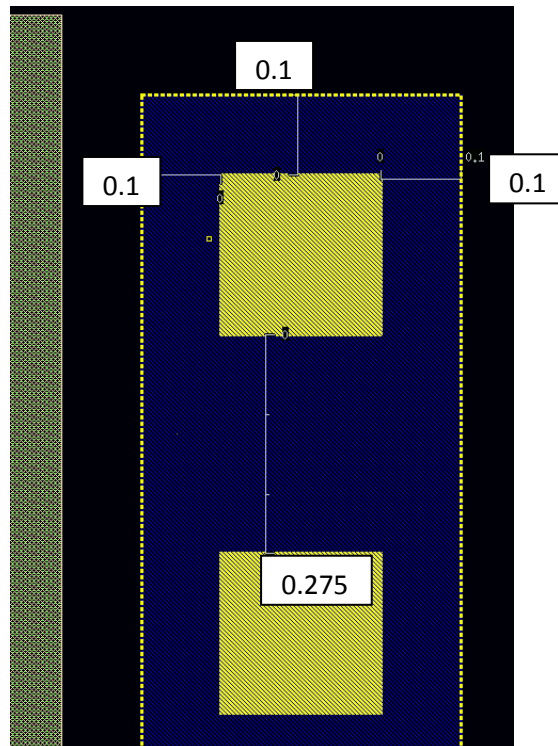


Figure 7 - Plasare contacte

Se continua realizarea tuturor contactelor pentru terminalul de sursa sau drena. Prin selectarea tuturor contactelor realizare anterior se tine apasata tasta "Shift". Apoi se executa tasta "C" si se pozitioneaza contactele pe al doilea terminal al tranzistorului.

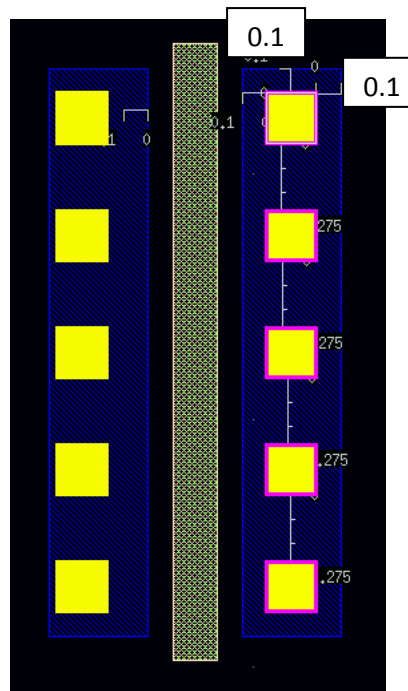


Figure 8 - Pozitionarea contactelor pentru al doilea terminal

### 2.1.5 Definirea zonei active

Zona active inglobeaza difuziile de drena/sursa si poarta tranzistorului. In tehnologia de fata, se foloseste layerul "oxide" pentru definirea zonei active. Tranzistorul se formeaza la intersectia dintre polisiliciu si masca de oxid.

Cu ajutorul comenzii "R" se creeaza un dreptunghi cu latimea de 1.38 $\mu$ m si inaltimea egala cu W-ul tranzistorului (2.5 $\mu$ m). Acesta se plaseaza peste structurile anterior create astfel incat distanta dintre metal si zona active sa fie 0.1 $\mu$ m.

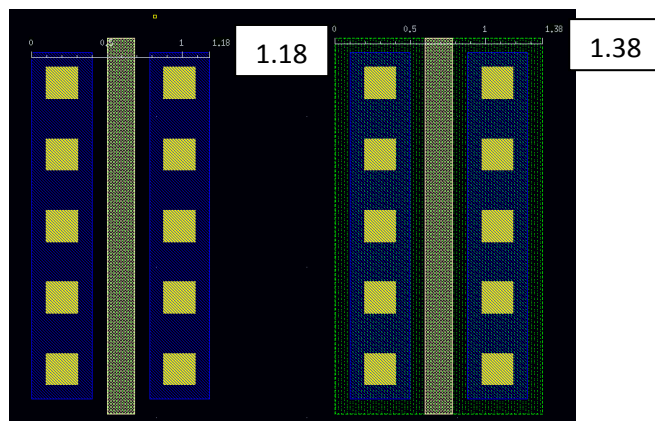


Figure 9 - Definirea zonei active

### 2.1.6 Definirea zonei de implantare pentru sursa si drena

Se selecteaza layerul "Pimp" pentru a define zonele de implantare P+ pentru drena si sursa. Zona de implantare de tip P trebuie sa fie la o distanta de 0.2 $\mu$ m de exteriorul zonei active. Dreptunghiul trebuie sa aiba width=1.38+2x0.2=1.78 $\mu$ m iar inaltimea cu 0.4 $\mu$ m mai mare ca W-ul tranzistorului (width=2.5+2x0.2=2.9).

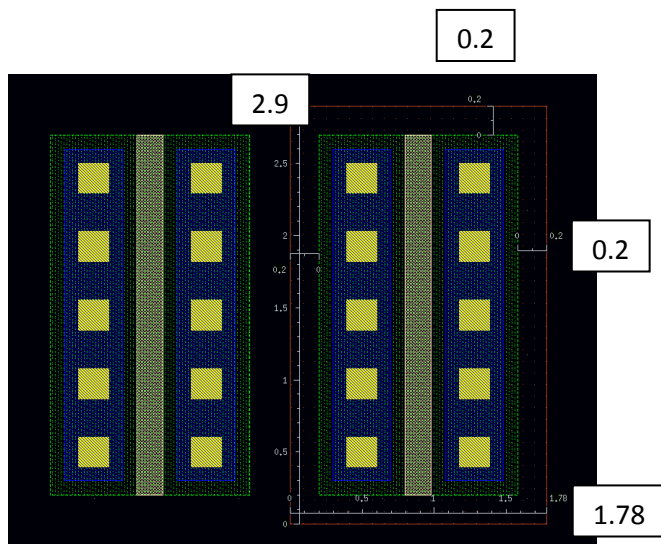


Figure 10 - Definirea zonei de implantare P+

### 2.1.7 Definirea Nwell-ului

Tranzistorul PMOS este situat într-un Nwell. Acesta asigură izolarea prin jonctiune de substrat și de tranzistoarele adiacente.

Pentru definirea Nwell-ului, se creează un dreptunghi, situat la o distanță de 0.3μm față de layerul Pimp. Acesta va avea width=2.38μm și height=3.5μm.

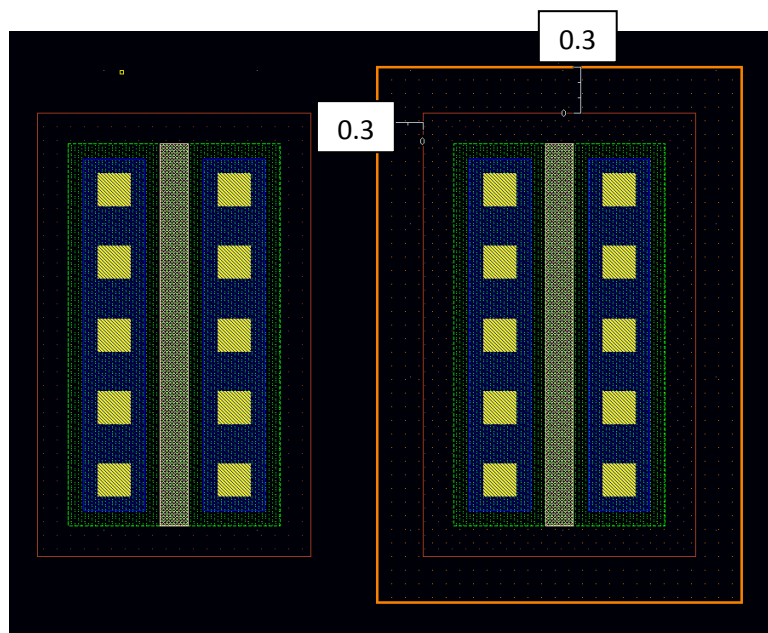


Figure 11 - Definirea Nwell-ului

### 2.1.8 Contactul de Nwell

Contactul de Nwell este necesar pentru a conecta bulk-ul tranzistorului la cel mai înalt potențial din circuit (de regulă VDD).

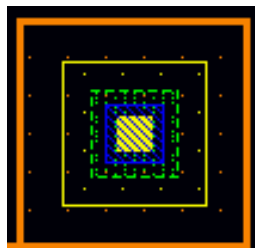


Figure 12 - Contactul de Nwell

Acesta are în componență o zonă activă (definită prin oxid), un contact (care reprezintă fereastra deschisă în această zonă activă) către un implant N+ care asigură o contactare de rezistivitate redusă la Nwell-ului. Distanțele minime tehnologice sunt prezentate în Anexa 1.

## 2.2 Proiectarea tranzistorului NMOS si a contactului de substrat

Diferit de tranzistorul PMOS, tranzistorul NMOS este realizat direct in stratul de tip P crescut epitaxial.

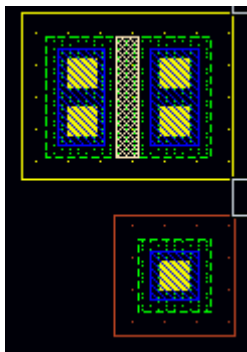


Figure 13 - Tranzistorul NMOS si contactul de substrat

Layerele component si distantele minime sunt prezentate in Anexa 1.

## 2.3 Proiectarea inversorului CMOS

### 2.3.1 Schema inversorului CMOS

Se va proiecta un inversor CMOS cu tranzistorul PMOS avand dimensiunile  $W/L=2.5\mu/0.18\mu$  si NMOS  $W/L=1\mu/0.18\mu$ . Schema acestuia este prezentat in figura 14:

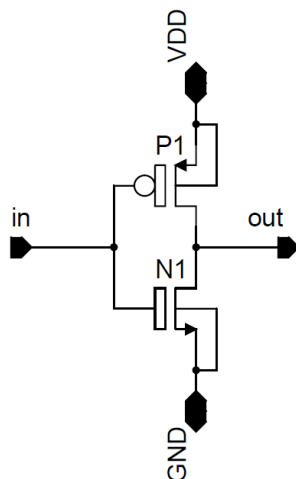


Figure 14 - Schema inversorului CMOS

Pinii "in" si "out" sunt de tipul "input" si, respectiv, output. Pinii de alimentare sunt de tip "inputoutput".

### 2.3.2 Proiectarea layout-ului inversorului CMOS

Layout-ul inversorului este prezentat in figura 14.

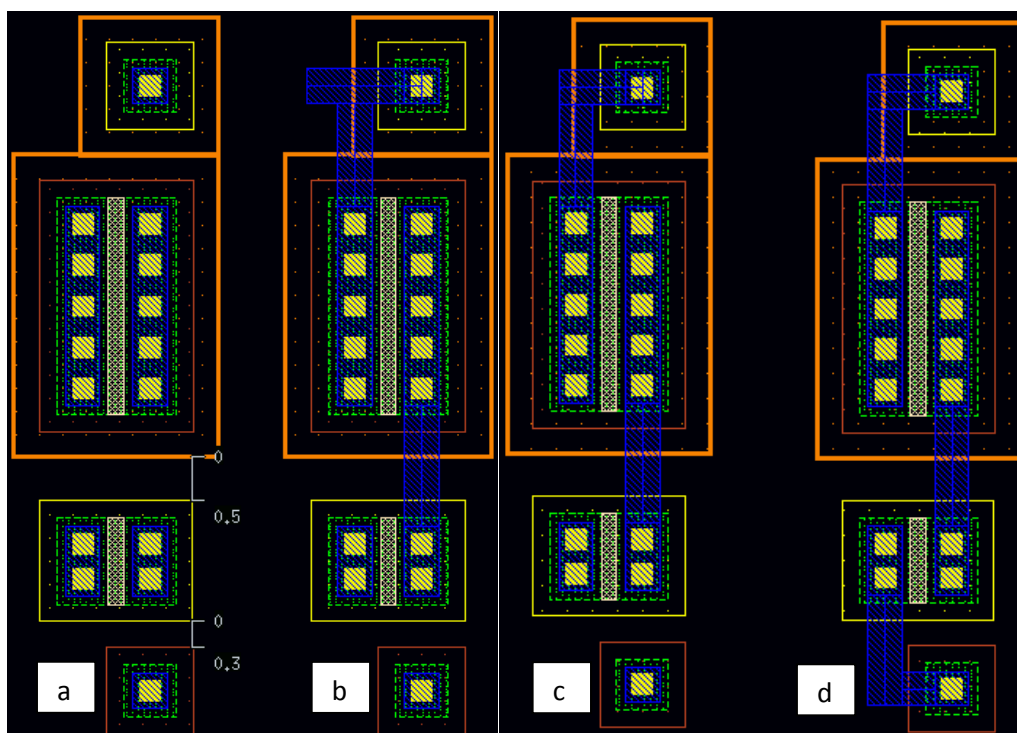


Figure 15 - Inversorul CMOS

Dupa proiectarea celor doua tranzistoare, se realizeaza plasarea acestora. Distanța aleasa între implantul de tip N și Nwell se alege 0.5 $\mu$ m (între cele doua implanturi 0.8 $\mu$ m). Contactul pentru bulk-ul tranzistorului PMOS se plaseaza astfel incat cele doua Nwell-uri se intrepatrund ca in figura 15.a. Contactul de substrat se plaseaza la o distanta de 0.3 $\mu$ m fata de implantul N.

Pentru a usura conectarea structurilor, se aliniaza pe vertical contactele de sursa și drena ale tranzistoarelor cu cele de bulk. Distanțele mentionate anterior nu sunt cele minime, ele având doar caracter didactic.

Pasul ulterior plasării este reprezentat de realizarea interconectarilor. Se selecteaza layerul "Metal1". Apasand tasta "P"(path) se genereaza trasee de metal 1. Apasand tasta F3 se dimensioneaza latimea traseului de interconectare pentru width=0.4 $\mu$ m(aceeasi dimensiune ca cea a metalului folosit la contactele de sursa și drena)(figura 15.b).

Urmeaza conectarea drenelor celor doua tranzistoare (iesirea circuitului)(figura 15.c), conectarea bulk-ului tranzistorului PMOS cu sursa acestuia și a contactului de substrat cu sursa tranzistorului NMOS(figura 15.d).

Portile celor doua tranzistoare se vor conecta prin polisiliciu. Contactul de poarta are in component 3 layere: Cont(contact) 0.2x0.2um, metal1 (overlap peste cont de 0.1um) si polisiliciu (overlap peste metal1 de 0.1um).

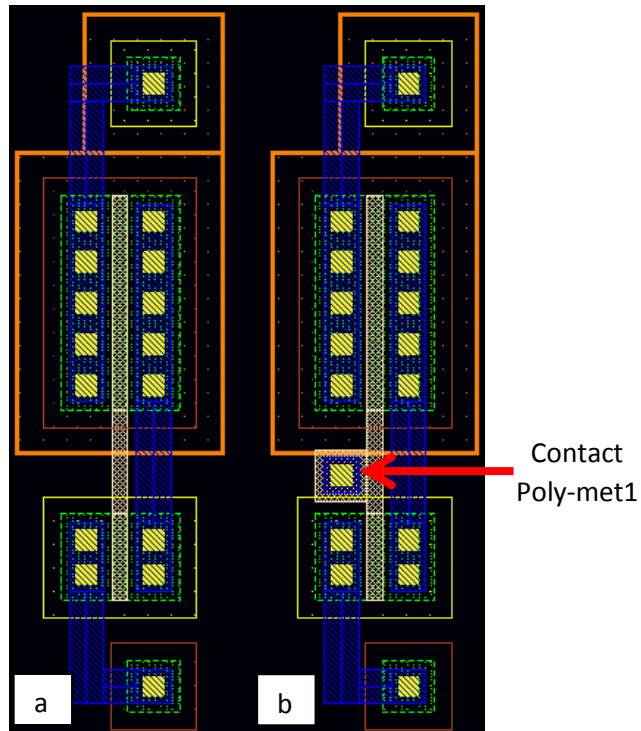


Figure 16 - Conectarea portilor(a); contactul de poarta(b)

Ultimul pas este adaugarea pinilor. Fiecare pin are atasata o eticheta (label) cu scopul de a denumi un traseu (net) de conectivitate, fie el metal sau polisiliciu.

Din bara de instrumente, se selecteaza meniul "Create" si apoi, din lista, "Pin". Se defineste numele pinului si proprietatile etichetei. Pinul trebuie sa fie pe layerul "Metal1 pin" iar eticheta pe "Metal1 drw". Dimensiunea pinului (0.2x0.2um), directia acestuia cat si alte proprietati, pot fi modificate prin selectarea acestuia si apasarea tastei "Q" (properties).

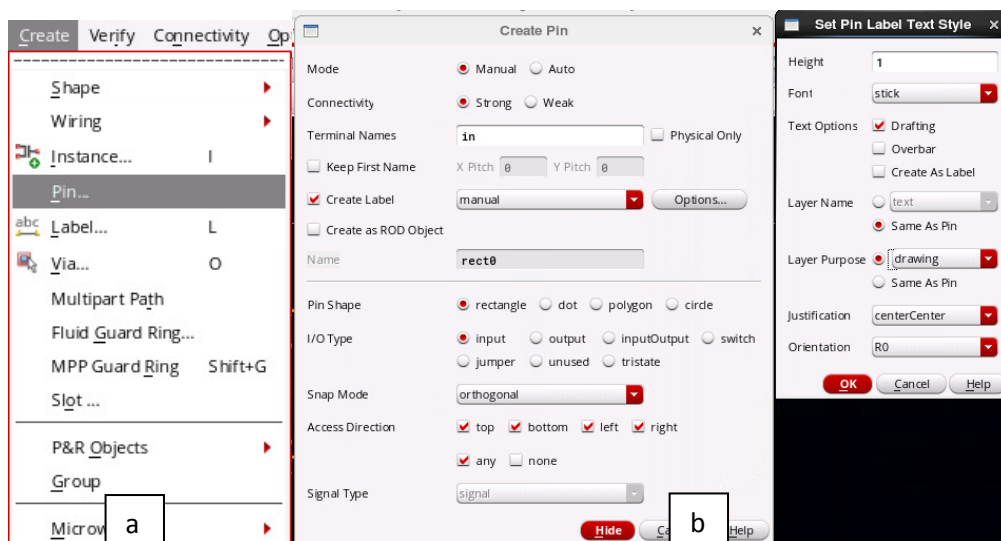


Figure 17 - Crearea unui Pin(a); proprietatile pinului si a etichetei (label) atasate (b)

In schema inversorului sunt 3 categorii de pini: “in” de tip “input”(intrare), “out” de tip “output”(iesire), vdd si gnd, de tip “inputoutput”(bidirectional). Pinul creat se copiaza, urmand ca, dupa modificarea proprietatilor, sa avem toti cei 4 pini necesari in schema.

Se selecteaza pinul “in” si se apasa tasta “Q”. In fereastra “Attribute” se dimensioneaza pinul Width=0.2 si Height=0.2; de asemenea, ne asiguram ca numele pinului “Terminal name” este cel corect(figura 18.a). In fereastra “Connectivity” se selecteaza directia semnalului atribuit acestui pin in campul “I/O Type” (figura 18.b).

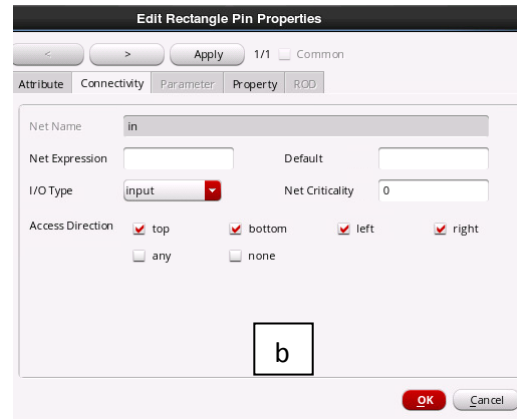
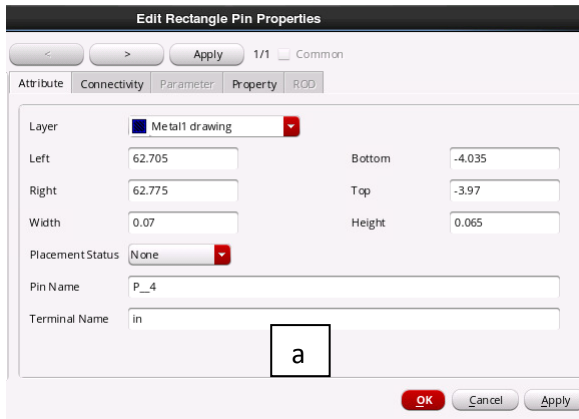


Figure 18 - Parametrii pinului de intrare "in"

In mod similar, se modifica proprietatile pentru pinii “vdd” (figura 19 a si b), “out” si “gnd”.

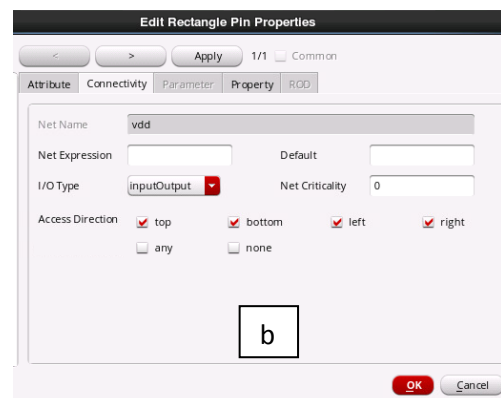
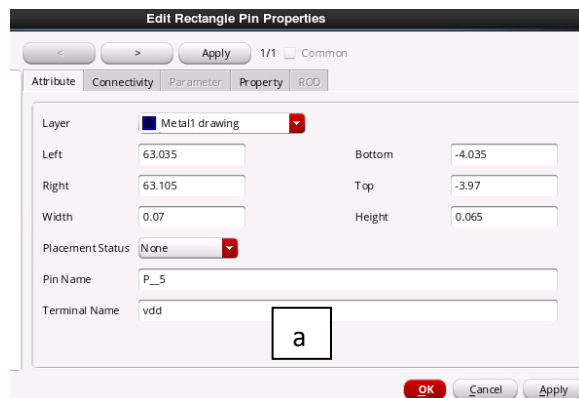


Figure 19 - Parametrii pinului de alimentare "vdd"

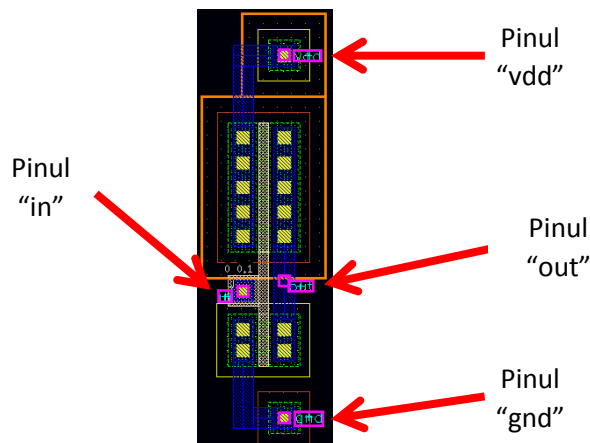


Figure 20 - Plasarea pinilor inversorului

### 3. Proiectarea portii NAND cu doua intrari



Al doilea circuit, pe care il vom proiecta, este poarta NAND cu doua intrari(figura 21).

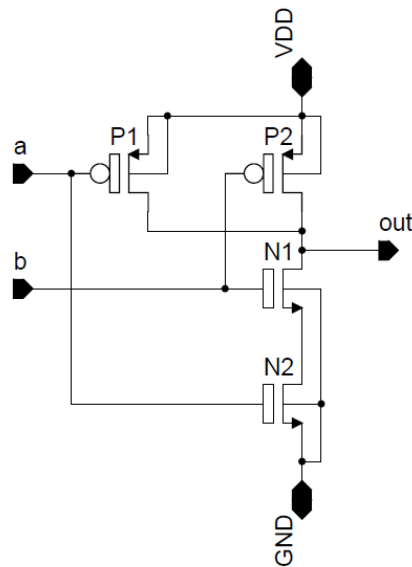


Figure 21 - Poarta NAND cu doua intrari

Geometria tranzistoarelor PMOS se alege  $W/L_p=2u/0.18u$  iar cea a tranzistoarelor NMOS  $W/L_n=1u/1u$ .

Tranzistorul PMOS generat la laboratorul 2 (figura 22a), se va edita pentru a obtine noua geometrie astfel: se masoara W-ul ce trebuie realizat (lungimea polisiliciului) cu rigla (tasta k) astfel incat sa se obina 2u, apoi se realizeaza "stretch" (tasta s) la layerele de poarta si zona active (figura 22b). Se sterg contactele de care by mai este nevoie si se realizeaza "stretch" asupra metalelor de sursa si drena astfel incat acestea sa respecte o distanta de 0.1u de zona activa (figura 22c).

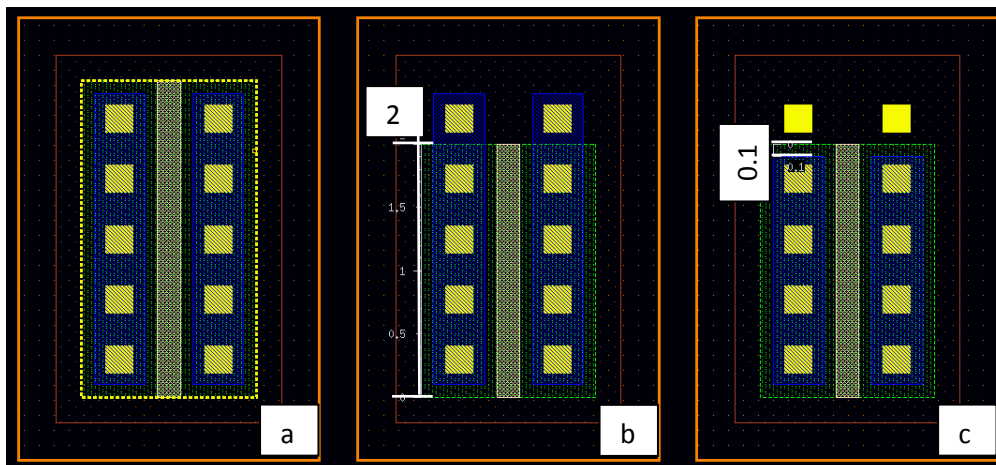


Figure 22 - Redimensionarea tranzistorului PMOS de la  $W=2.5u$  la  $W=2u$

Se sterg contactele ce prisoiesc (figura 23a), se realizeaza "stretch" asupra layerului "Pimp" si a Nwell-ului in asa fel incat acestea respecta distantele din figura 23b, se redistribuie contactele pentru a avea o distanta de 0.1u de la marginea zonei active si 0.25u intre contactele superioare, respectiv cele inferioare (figura 23c).



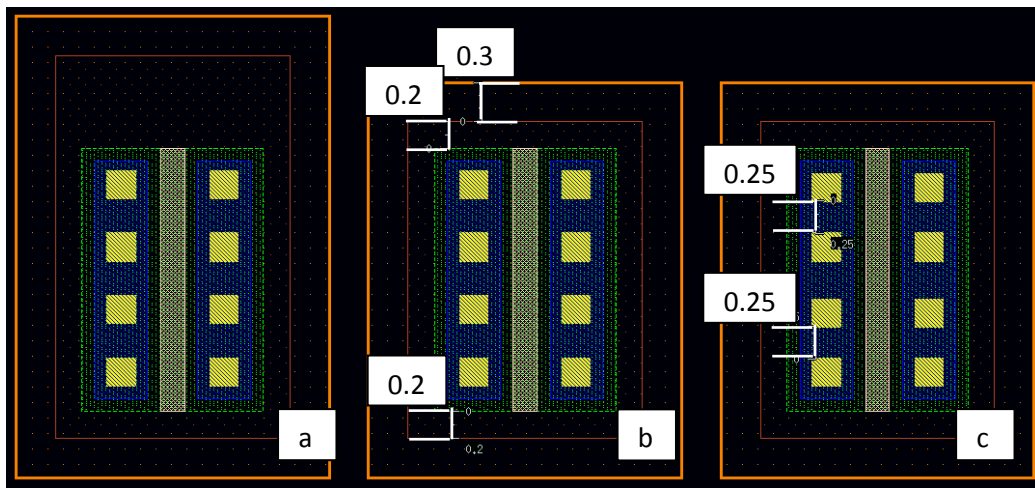


Figure 23- Redimensionarea tranzistorului PMOS de la  $W=2.5u$  la  $W=2u$

În cazul tranzistorului PMOS, se va face drain sharing și se va păstra contactul de drenă, acesta reprezentând ieșirea porții logice. Plecând de la tranzistorul PMOS din figura 23c, se plasează o poartă de polisiliciu la  $0.1u$  distanță de contactul de drenă (figura 24a). Se copiază un rând de contacte cu tot cu stratul de metal 1 și se plasează la distanță de  $0.1u$  față de poartă nou creată (figura 24b). Se realizează “stretch” la zona activă, implantul de tip P și NWELL astfel încât să fie respectate distanțele din figura 24c.

Tranzistorul NMOS N1 va face sharing de sursă cu drenă tranzistorului N2. Deoarece nu este necesară conectivitate externă la acest nod, conexiunea se va realiza prin difuzie. Se copiază polisiliciul de poartă și se plasează la distanță de  $0.3u$  față de poartă inițială a tranzistorului (figura 24d). Se copiază un rând de contacte cu tot cu metal și se plasează la  $0.1u$  distanță față de poartă nou creată (figura 24e). Se realizează “stretch” la zona activă și implantul de tip N pentru a respecta distanțele din figura 24f.

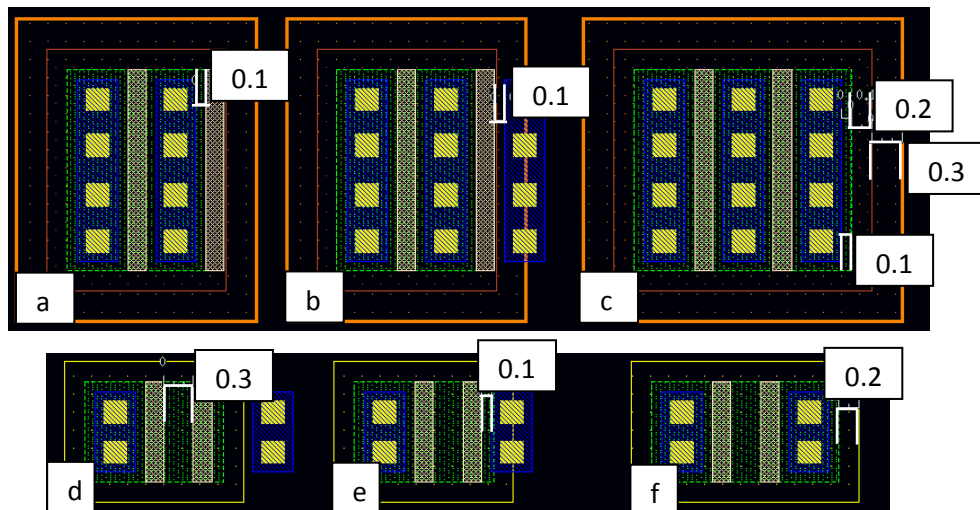


Figure 24 - Realizarea tranzistoarelor PMOS și NMOS cu drain-source sharing

Se plaseaza cele patru tranzistoare anterior proiectate centrat, la distantele din figura 25a. Se plaseaza contactul de NWELL, pentru tranzistorul PMOS, si cel de substrat. Portile se conecteaza prin polisiliciu (figura 25b), nodul de iesire si alimentariile prin trasee de metal 1 (figura 25c).

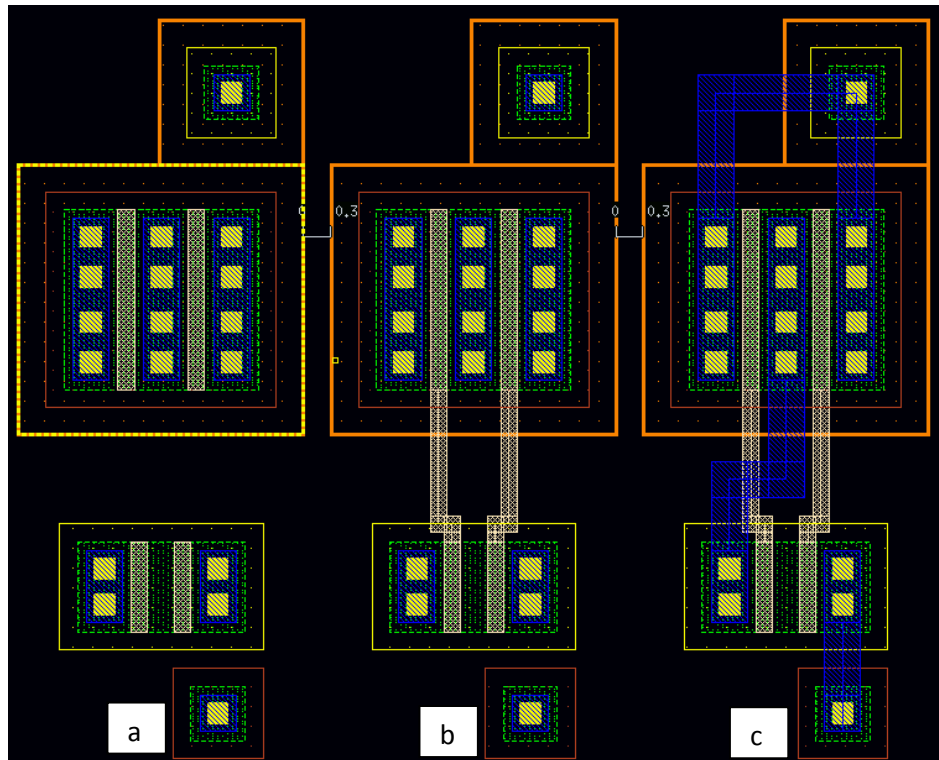


Figure 25 - Plasarea si interconectarea portii NAND

Se realizeaza contactele de polisiliciu pentru intrari (figura 26a), se genereaza si conecteaza pinii si label-urile pentru intrare, iesire si alimentare (figura 26b).

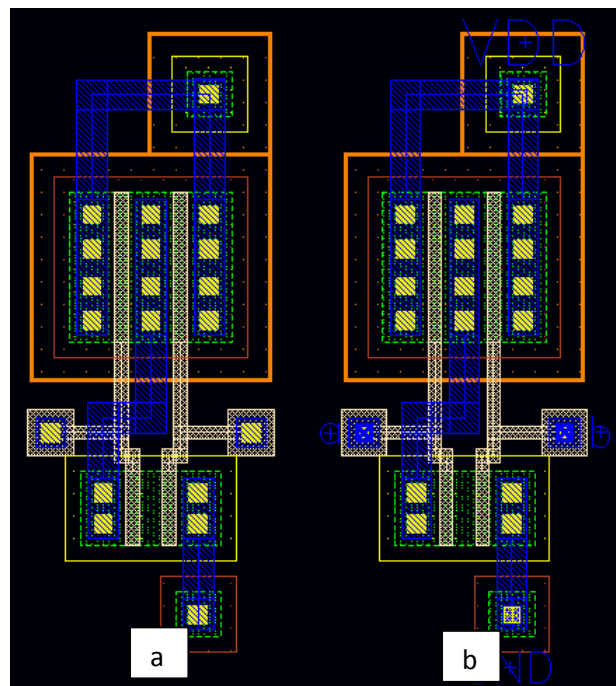


Figure 26 - Realizarea contactelor de polisiliciu si a pinilor

## 4. Elemente pasive

### 4.1. Rezistoare

Rezistoarele sunt compuse dintr-un strat rezistiv, izolat de structurile alaturate, si doua contacte ce reprezinta terminalele. In figura 26, este reprezentat un rezistor de polisiliciu. Acesta este caracterizat de latime (width), lungime (length), rezistenta terminalelor ( $R_{cont}$ ) si rezistenta sa caracteristica, denumita "rezistenta pe patrat (sheet/square resistance)". Formula de calcul folosita pentru determinarea rezistentei structurii anterior mentionate, este:

$$R = 2 \cdot R_{cont} + R_{\square} \cdot \frac{L}{W}$$

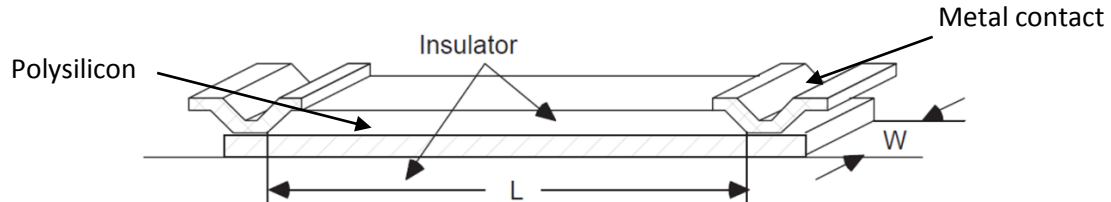
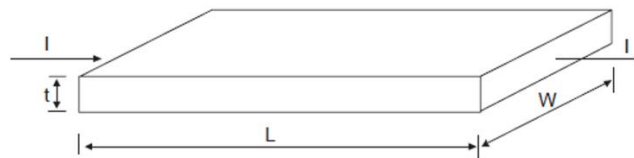


Figure 27 - Structura unui rezistor de polisiliciu

Pentru un strat rezistiv oarecare, rezistenta pe patrat este o functie de rezistivitatea materialului si grosimea acestuia.

$R_{\square}$  is the *sheet resistance* measured in **ohm per square** ( $\Omega/\square$ )



$$R = \frac{\rho L}{Wt} = R_{\square} \cdot \frac{L}{W} \quad R_{\square} = \frac{\rho}{t}$$

$\rho$  = resistivity;  $t$  = thickness of the material (fixed by technology)

$W$  = width;  $L$  = length of the resistor (chosen by the designer)

Figure 28 - Calculul rezistentei pe patrat

#### 4.1.1. Clasificarea rezistoarelor

Pentru realizarea rezistoarelor integrate, se pot folosi o serie de layere ce prezinta rezistivitate: difuziile N<sup>+</sup> sau P<sup>+</sup> (figura 29), Well-uri (figura 30), polisiliciu (de rezistivitate mare, denumit si “Highres poly”), trasee de metal.

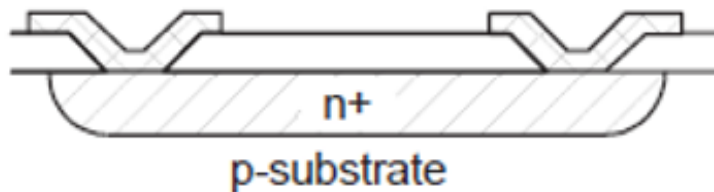


Figure 29 - Rezistorul de difuzie

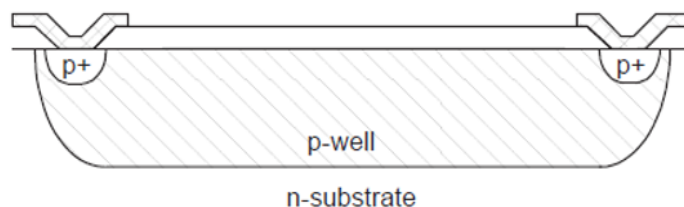


Figure 30 - Rezistorul de Well

Principalele caracteristici ale diferitelor tipuri de rezistoare sunt enumerate in tabelul 1. “Voltage coefficient” se refera la capacitatea fiecărei structuri de a genera tensiune electrica prin efect thermoelectric (Seebeck).

Table 1 - Clasificarea rezistoarelor

Type of layer	Sheet resistance	Accuracy	Temperature coefficient	Voltage coefficient
	$\Omega/\square$	%	ppm/°C	ppm/V
n <sup>+</sup> diff	30-50	20-40	200-1K	50-300
p <sup>+</sup> diff	50-150	20-40	200-1K	50-300
n-well	2K-4K	15-30	5K	10K
p-well	3K-6K	15-30	5K	10K
pinched n-well	6K-10K	25-40	10K	20K
pinched p-well	9K-13K	25-40	10K	20K
poly 1	20-40	25-40	500-1500	20-200
poly 2	15-40	25-40	500-1500	20-200

#### 4.1.2. Divizorul rezistiv

Schema figura 31 se realizeaza in editorul "Schematic XL".

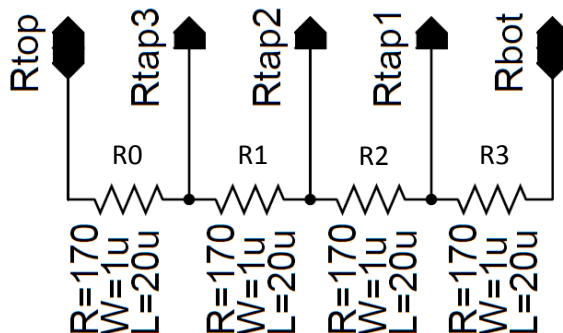


Figure 31 - Divizorul rezistiv

Rezistorul de polisiliciu din biblioteca "gpd180" are denumirea "polyres". Dupa instantiere, se va modifica geometria astfel incat sa se genereze un patrat de 1u/1u. Se observa ca rezistorul are "sheet resistance=7.5 ohms" si "contact resistance=5 ohms". "Contact resistance" reprezinta rezistenta totala a celor doua contacte iar "body resistance" rezistenta polisiliciului. "Total resistance" este valoarea rezistorului si se determina insumand cele doua campuri anterior mentionate (figura 32a).

Se modifica rezistorul pentru a genera 4 segmente (number of segments) de lungime 5um (segment length). Acestea vor fi inserate in layout(figura 32b). Cu patru astfel de rezistoare se va proiecta divizorul rezistiv din figura 31.

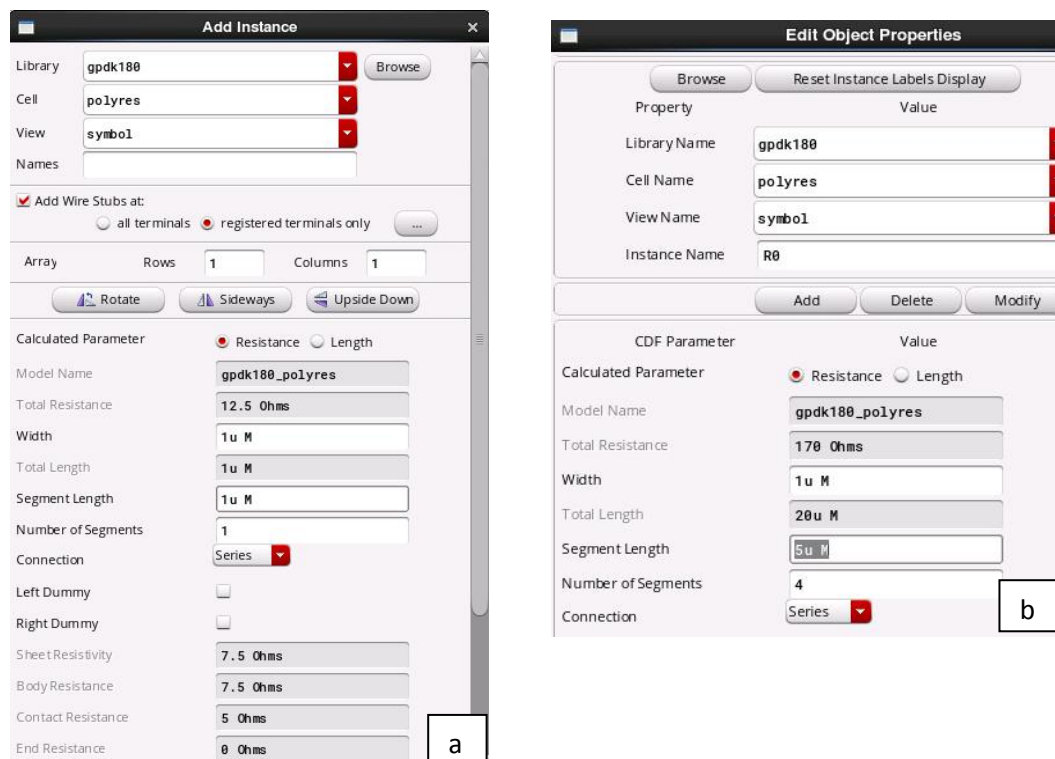


Figure 32 - a. Rezistenta pe patrat si cea a contactelor; b. Rezistorul component al divizorului rezistiv



Din bara de instrumente se selecteaza Launch->Layout XL, iar meniul “Start-up option” se selecteaza “create new” (figura 33).

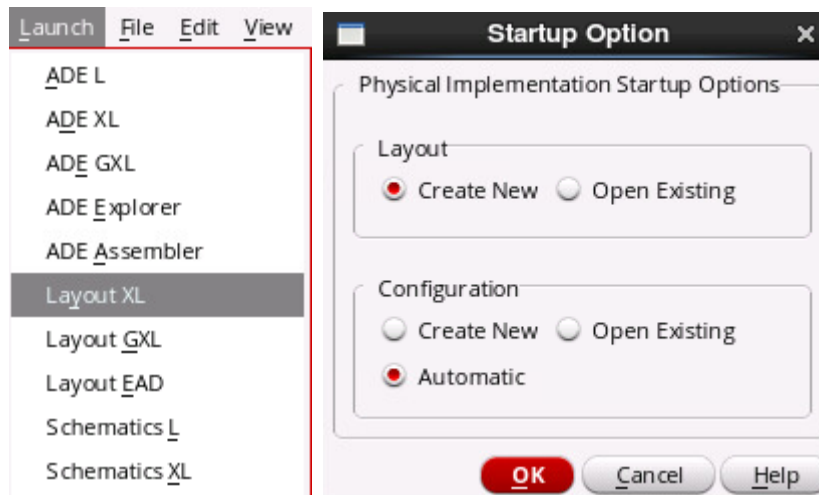


Figure 33 - Accesarea editorului Layout XL

In fereastra de layout, se apeleaza din bara de instrumente meniul Connectivity->Generate->All from source. In fereastra “Generate layout” se selecteaza “Instances” si “I/O pins”, optiunea “PR boundary” ramanand neselectata (figura 34).

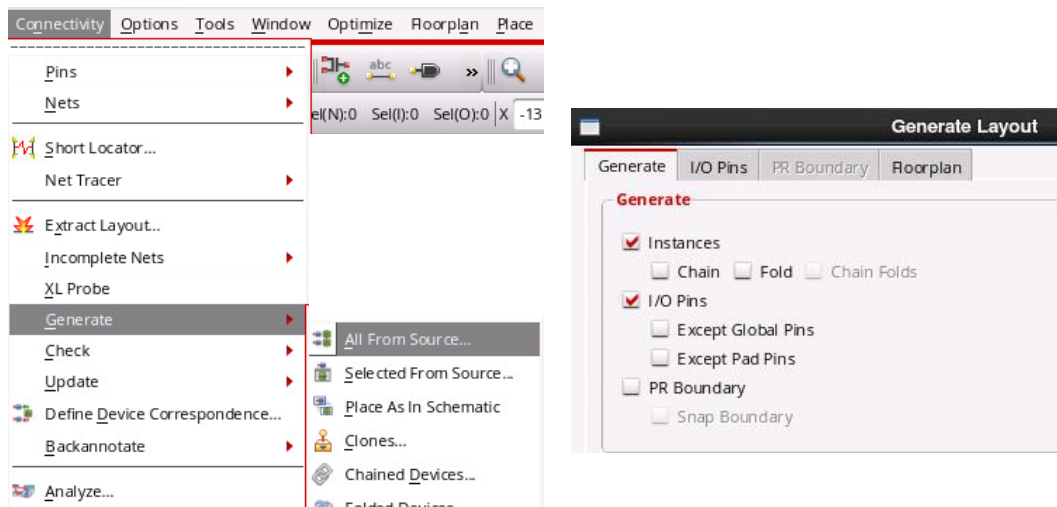


Figure 34 - Generarea instantelor din schema in layout

In fereastra de layout vor fi generate patru grupuri a cate 4 rezistoare inseriate, alaturi de pinii de interconectare (figura 35).

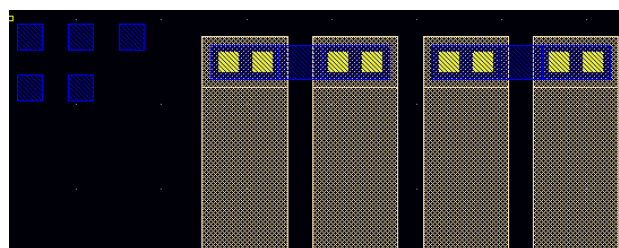


Figure 35 - Structuri generate in layout

Se copiaza una dintre structurile generate si se modifica la proprietati (tasta Q) numarul de segmente de la 4 la 1. Se realizeaza, prin copiere, 4 astfel de "fingere" pentru fiecare rezistor din schema (figura 36).

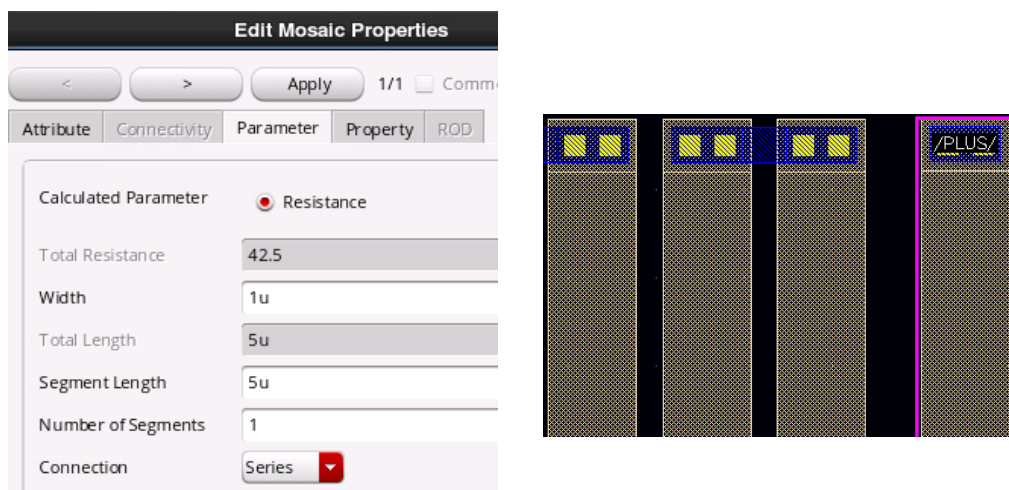


Figure 36 - Editare proprietati rezistenta, creare "finger"

Optional, se pot redenumi fingerulele nou create (R01-R04, R11-R14, etc). Pentru a realiza conexiunea dintre instantele din schema si cele din layout, se selecteaza instanta, se apasa butonul 3 al mouse-ului si se apeleaza meniul "Update->Define device correspondence". Se reface corespondenta schema-layout, inclusiv pentru pini, prin selectia instantei din schema si a celor din layout si apasarea tastei "Bind"(figura 37).

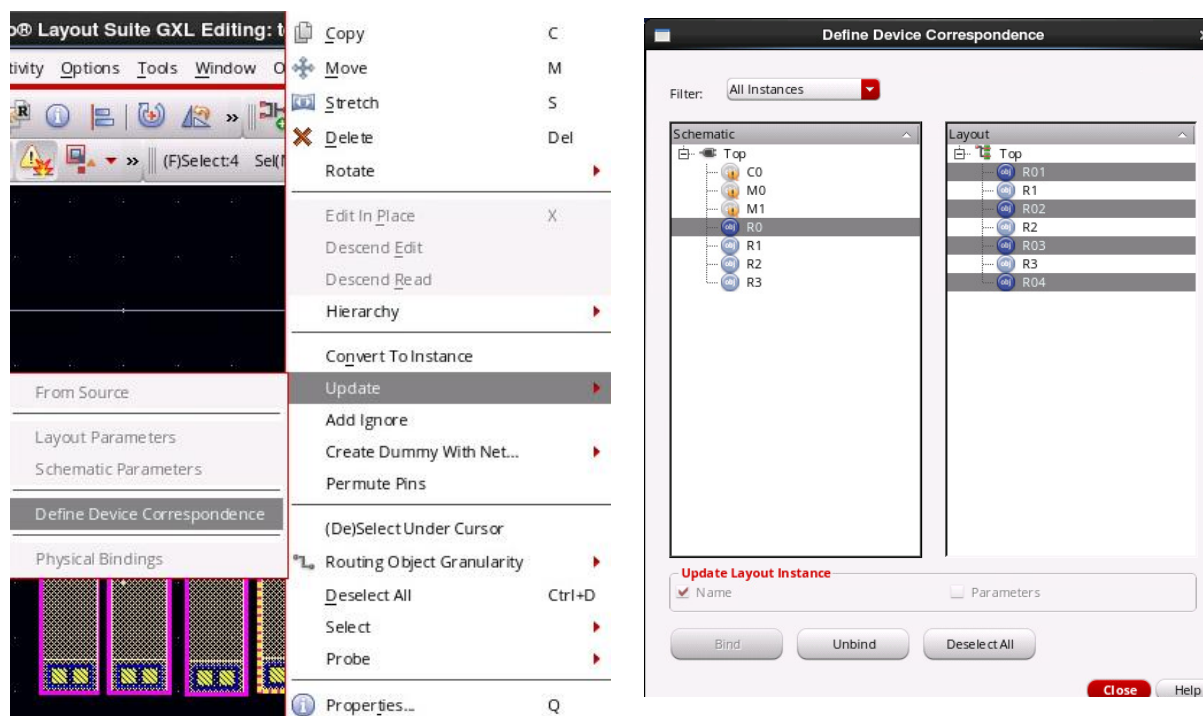
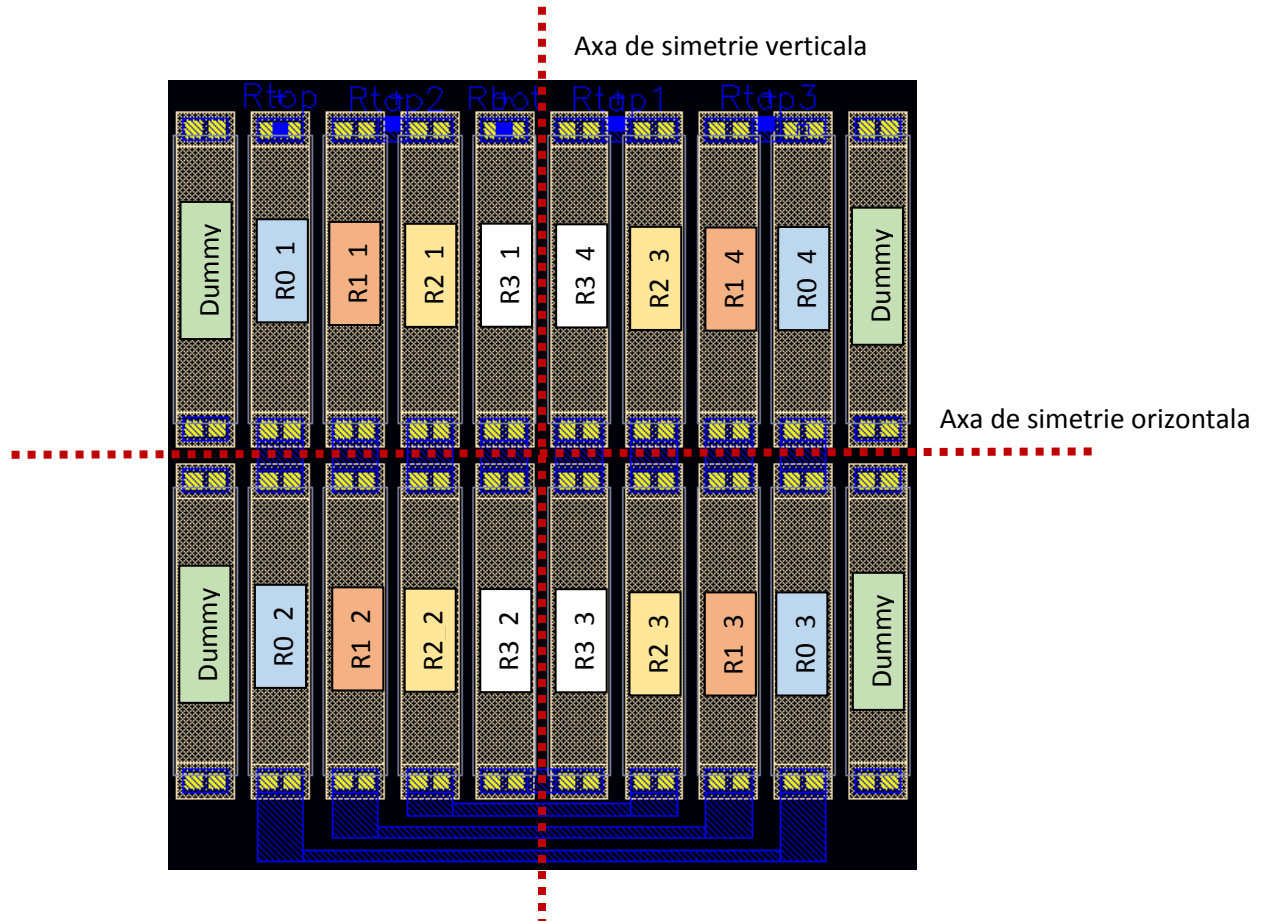


Figure 37 - Definirea corespondentei schema-layout

Deși rezistențele de polisiliciu au variație mare, divizorul rezistiv, bazându-se pe raport de rezistențe, poate să aibă precizie sub 2%. Rețeaua rezistivă se “match-ueste” pentru ca elementele sale să fie afectate cât mai uniform de procese tehnologice, stres mecanic sau variații termice.





## 4.2. Condensatoare

Dintre cele mai utilizate condensatoare, reamintim: condensatorul MOS (sursa, drena si bulk-ul constituie un terminal iar poarta cel de-al doilea), condensatoare poly1-poly2 si condensatoare inter-metal (doua metale suprapuse sunt separate de un strat de oxid cu rol de izolator). Condensatorul MOS este reprezentat in figura 39a, iar variatia acestuia in figura 39b.

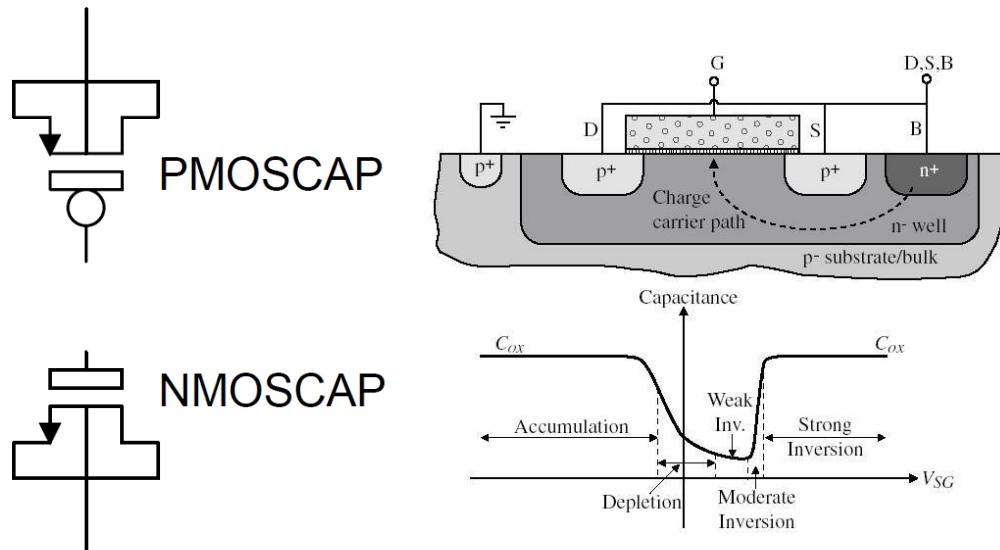


Figure 39 - Condensatorul MOS

In cazul condensatoarelor MOS, capacitatea este direct proportionala cu aria portii ( $W \times L$ ). De aceea, indiferent de forma constructiva aleasa, valoarea capacitata va fi aceeaasi cu conditia ca produsul  $W \times L$  sa fie egal cu cel din schema electrica. Csp reprezinta capacitatea "unit cap", de regula a unui patrat de  $1\mu m/1\mu m$ .

$$C = W \times L \times C_{sp}$$

Se instantiaza in schema din biblioteca "gpd180" un condensator "pmoscap" si unul "nmoscap" cu proprietatile din figura 40:

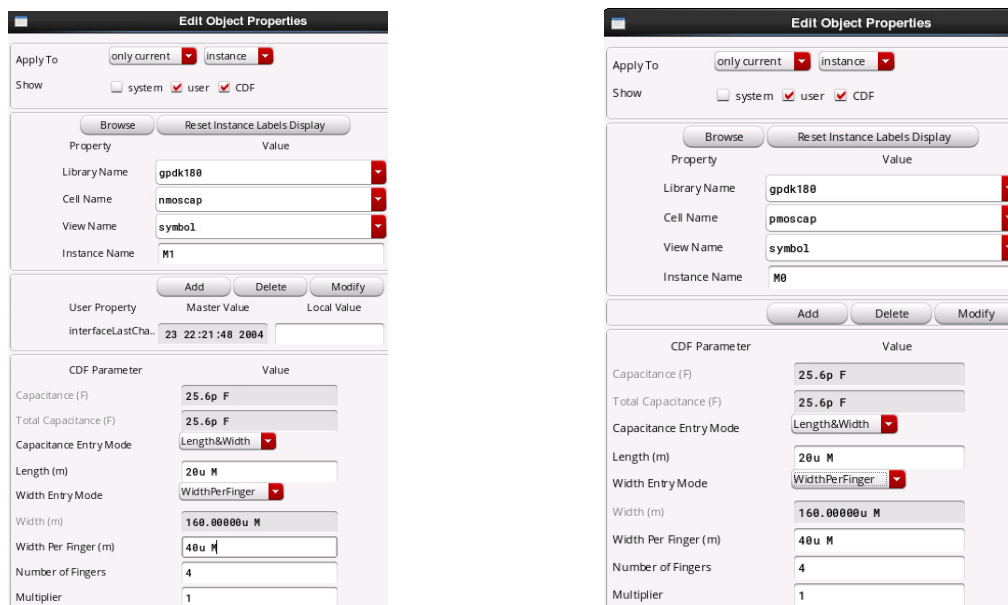


Figure 40 - Proprietati condensatoare

Se selecteaza in schema cele doua condensatoare iar din fereastra de layout se apeleaza meniul Connectivity->Generate->Selected from source.

Condensatoarele pot fi generate folosind o serie de modalitati: Capacitance (editorul va incerca sa genereze o structura cat mai patrata), Cap&length (se va mentine lungimea impusa si se va adapta latimea pentru a obtine valoarea capacitatii), Cap&width (se va mentine latimea impusa si se va adapta lungimea pentru a obtine valoarea capacitatii) si length&width (se impune geometria condensatorului pe ambele axe).

De asemenea prin selectarea "width per finger" si fortarea unui numar de fingere, vor fi generate mai multe condensatoare independente care vor fi interconectate. Acelasi lucru se obtine si atunci cand in loc de "number of fingers" se impune "multiplier" (in acest caz fingerele condensatoarelor nu mai vor fi interconectate).

## 5. Tranzistorul Multifinger. Oglinzi de current

### 5.1. Tranzistorul multifinger. Source-drain sharing

In figura 41 sunt reprezentate trei tranzistoare echivalente. N0 este are  $w=16\mu$ , N1 este un transistor cu  $w=1\mu$  si multiplicitate 16, iar N2 este definit ca un vector de 16 elemente identice cu  $w=1$ .

Atat in cazul tranzistorului N1 cat si al tranzistorului N2 se "imparte"  $w$ -ul tranzistorului intr-o serie de tranzistoare avand aceleasi dimensiuni, acestea purtand denumirea de "fingere".

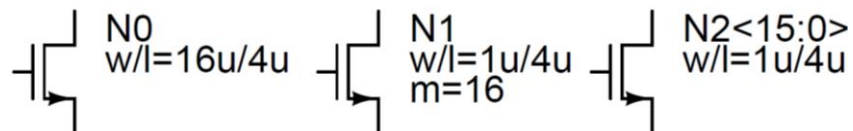


Figure 41 – Definirea tranzistorul multifinger

Un prim avantaj al folosirii tranzistorului multifinger este de a diminua rezistenta parazita generata de poarta de polisiliu. Figura 42 reprezinta circuitul echivalent pentru poarta unui transistor NMOS.

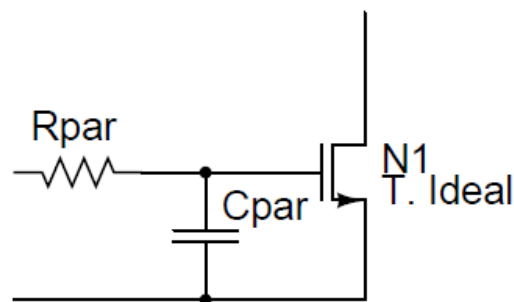


Figure 42 - Rezistenta si capacitatea portii unui tranzistor NMOS

In figura 43 este reprezentat un transistor cu  $W_{ef}$  impartit intr-un numar de  $n$  fingere. Acestea sunt conectate folosind tehnica "source-drain sharing".

$$W_{ef} = n \times W_{finger}$$

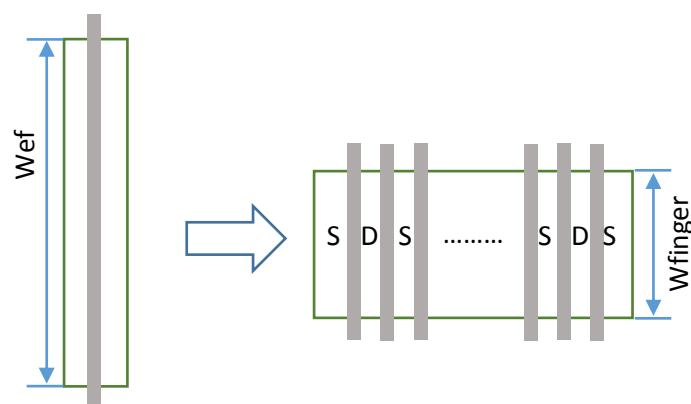


Figure 43 – Layout-ul tranzistorul multifinger

În cazul tranzistoarelor cu **W** mare apare o capacitate parazită (datorată de aria de poartă mare), cât și o rezistență parazită, datorată lungimii mari de polisiliciu de poartă. Soluția este să folosim ceea ce poartă numele de „drain sharing”. Tehnica constă în a „sparge” tranzistorul în elemente cu **W** mai mic care apoi vor fi conectate împreună. În acest mod putem să minimizăm unul dintre cele 2 componente parazite, și anume rezistența.

În cazul oglinzii de curent se utilizează „drain sharing” deoarece acesta asigură și minimizarea capacității parazite din drenă.

## 5.2. Noțiuni de matching

Dispozitivele proiectate pe siliciu sunt afectate de o serie de factori: de natură tehnologică (aceștia sunt în strâns legați de procedeele și toleranțele procesului de fabricare), termică (efectul Seebeck: rezistoarele produc o tensiune la borne ca urmare a încălzirii plăchetei), mecanică (de exemplu, pierzorezistivitatea sub acțiunea stresului mecanic).

Pentru a încerca contracararea acestor efecte, se folosește „proiectarea bazată de raport”.

În acest mod, scopul matching-ului este acela de a asigura o **variație similară** a elementelor constitutive ale unui raport (raport de curenți la oglinzi, divizor rezistiv, capacitiv, etc).

Se pot menționa, ca principale reguli de matching, în ordinea importanței, următoarele:

- Folosirea de „fingere” din același material și cu aceleași dimensiuni
- Evitarea dimensiunilor tehnologice minime
- Structuri compacte
- Elemente cu aceeași orientare
- Structuri interdigitate
- Folosirea elementelor de capăt (dummy) pentru a asigura aceeași vecinătate
- Folosirea axelor de simetrie
- Rutare simetrică
- Evitarea rutării peste dispozitivele „match-uite”
- Folosirea structurilor de tip „cross-coupled”, a zonelor cu coeficient termic și mecanic redus sau cu același coeficient termic și mecanic (izobare, izoterme)
- Plasarea structurilor în funcție de axe de simetrie, la distanță față de dispozitivele de putere, păduri de conectivitate (procedeele de bonding implică stres mecanic)

În figura 44 este prezentată schema unei surse de curent cu tranzistoare NMOS; acestea au multiplicitate 4:

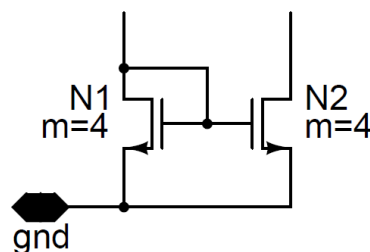


Figure 44 - Oglinzina de curent cu tranzistoare NMOS

Figura 45 reprezinta matching-ul de tip “interdigitat” pentru schema din figura 44:

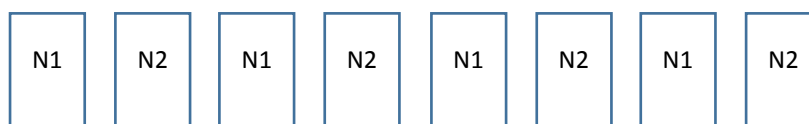


Figure 45 – Matching interdigitat

Figura 46 reprezinta matching-ul de tip “centroida comuna” (common centroide) cu o singura axa de simetrie (verticala):

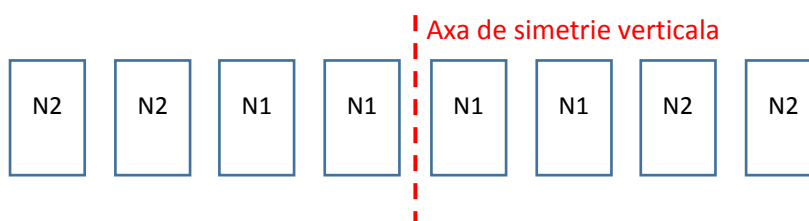


Figure 46 – Matching “centroida comuna” cu axa de simetrie verticala

Figura 47 reprezinta matching-ul de tip “centroida comuna” (common centroide) cu doua axe de simetrie:

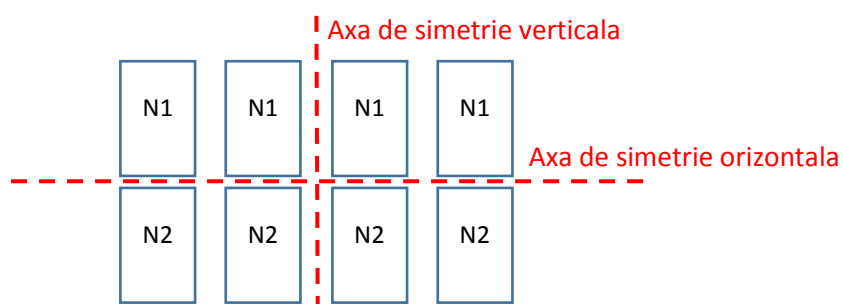


Figure 47 – Matching “centroida comuna” cu doua axe de simetrie

Figura 48 reprezinta matching-ul de tip “in cruce” (cross-coupled):

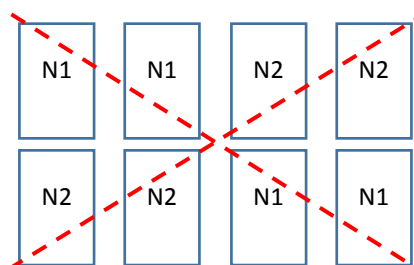


Figure 48 – Matching “cross-coupled”

### 5.3. Layout-ul oglinzilor de curent. Centroida cu o axa de simetrie

În figura 49 este prezentată schema a două oglinzi de curent; acestei scheme îi vom proiecta layout-ul.  $I_{ref}$  reprezintă intrarea oglinzii cu tranzistoare NMOS. Din aceasta, un client cu valoarea  $2I_{ref}$  va ajunge în tranzistorul dioda al oglinzii cu tranzistoare PMOS. Clientii celor două oglinzi vor avea valoarea  $2I_{ref}$  pentru oglinda cu tranzistoare NMOS și, respectiv,  $3I_{ref}$  pentru cea cu tranzistoare PMOS.

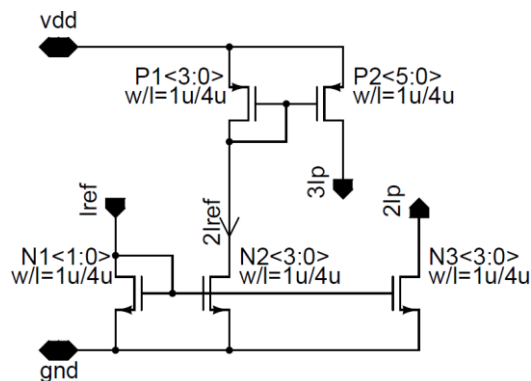


Figure 49 - Schema oglinzilor de curent

După realizarea schemei în editorul "Schematic L", se apelează meniul *Launch->Layout GXL*. În fereastra de layout se apelează meniul *Connectivity->Generate all from source*

Se selectează tranzistoarele de același tip, și se apasă tasta "Q", properties (figura 50). În meniul "Parameter" se selectează "Gate connection" -> Top (pentru tranzistoarele NMOS) și Bottom (pentru PMOS). În acest fel, am generat automat contactele de poartă.

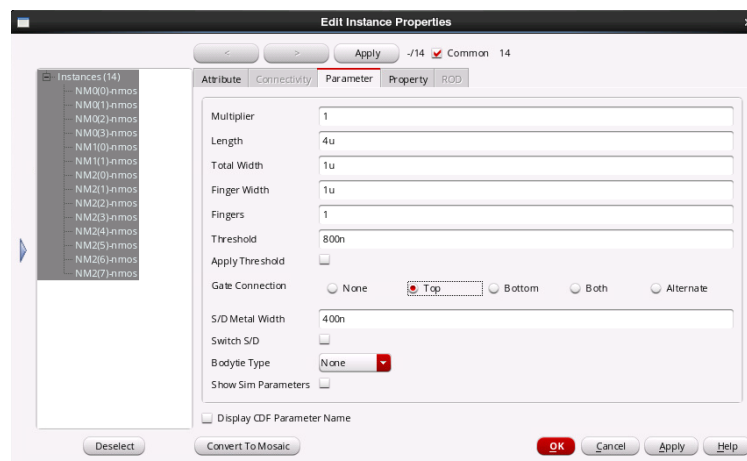


Figure 50 - Generarea contactelor de poartă

Plasarea tranzistoarelor se realizează ca în figura 51, folosindu-se "drain-source sharing". Această operațiune necesită suprapunerea contactelor de drenă și sursă alăturate (detaliu în figura 52).

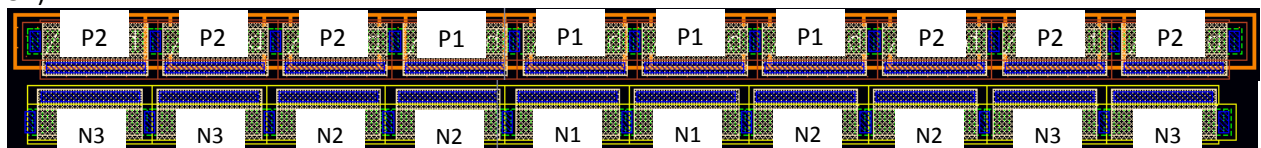


Figure 51 – Plasarea tranzistoarelor

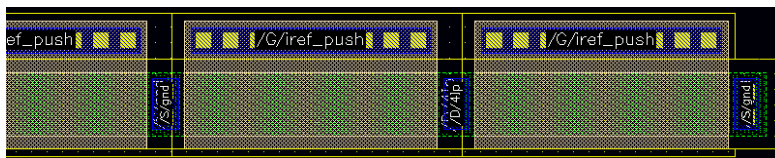


Figure 52 - Detaliu source-drain sharing

Pentru generarea contactelor de substrat (NMOS) si NWELL (PMOS), se va folosi “guard ring”. Se selecteaza toate dispozitivele de acelasi fel, si se apasa Shift+G. Se selecteaza “Guard Ring template”: Nguardring pentru PMOS (figura 53a) si Pguardring pentru NMOS (figura 53b). Dupa aceasta operatiune, se apara tasta “enter”.

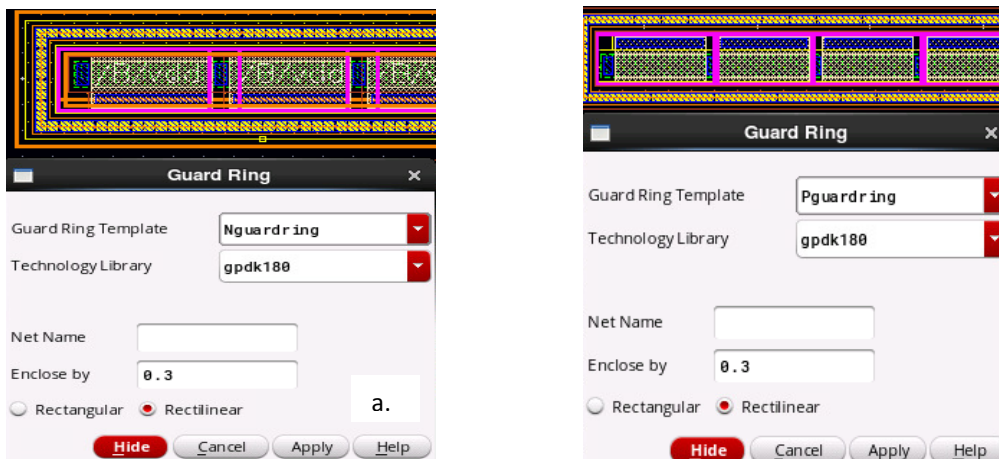


Figure 53 - Contactele de substrat si NWELL de tip "guard ring"

Dupa generarea celor doua “Guard ring-uri”, structura va arata ca in figura 54:

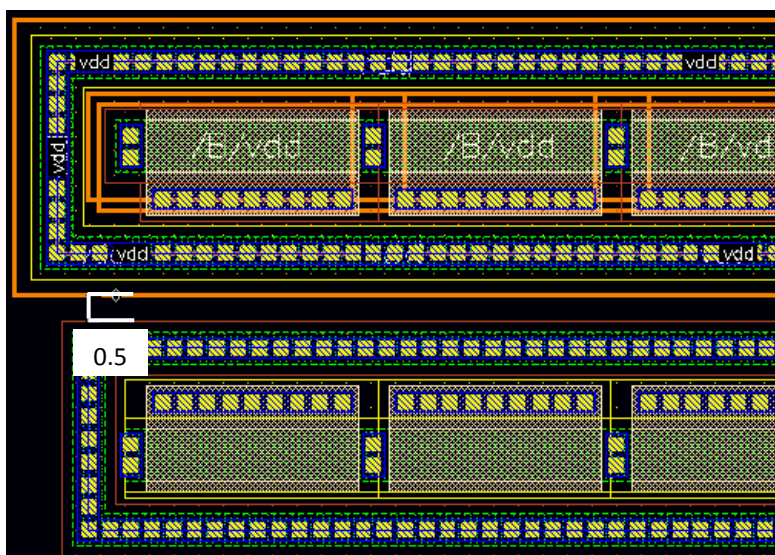


Figure 54 - Cele doua oglinzi cu contactele de tip "guard ring" generate

Conectivitatea se va realiza folosind metale (m1-m4) si via-urile corespunzatoare (figura 55), ca in figura 56.

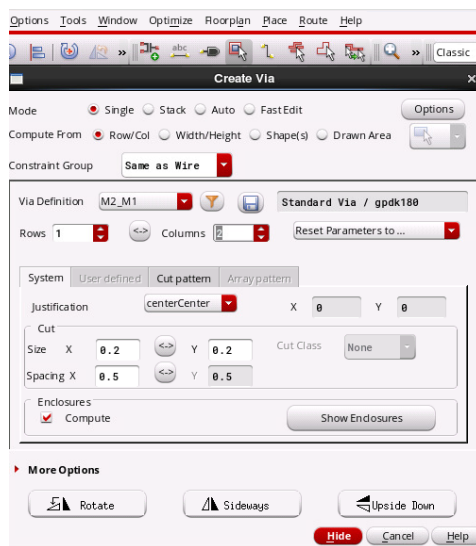


Figure 55 - Via intre metale

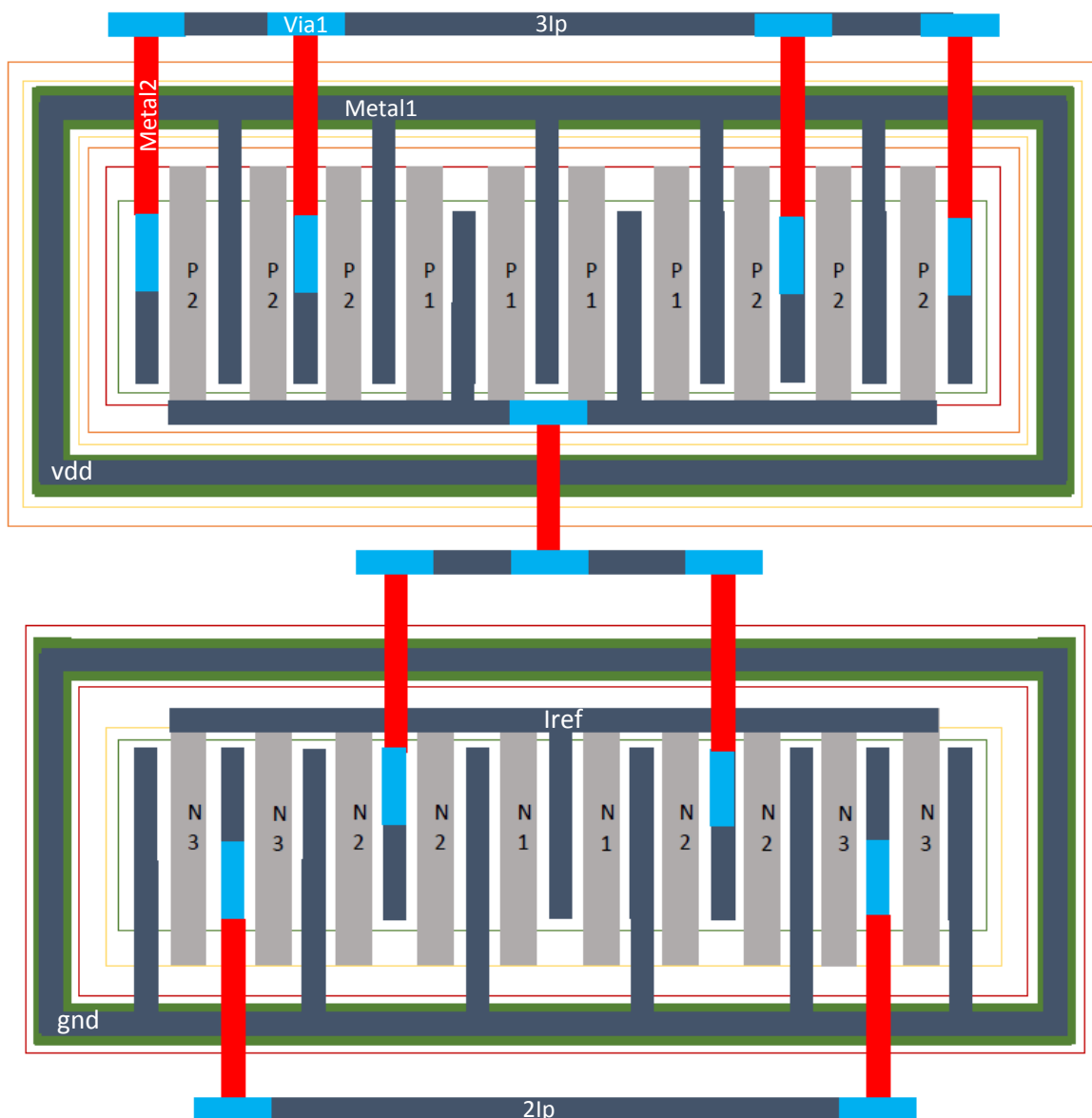


Figure 56 - Conectarea oglinzilor



#### 5.4. Layout-ul oglinzilor de curent. Centroida cu doua axe de simetrie

Se copiaza schema de la figura 49 cu alt nume, se sterge layout-ul si se regenereaza toate instantele. Pentru a obtine o centroida cu doua axe de simetrie este necesar ca layout-ul fiecărei oglinzi sa se realizeze pe doua randuri. Aceeasi schema este reprezentata in figura 57.

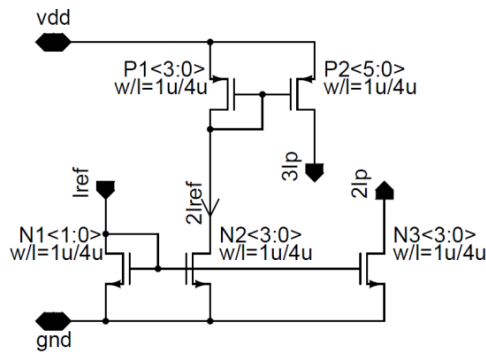


Figure 57 - Schema oglinzilor: centroida cu doua axe

Dupa generarea tranzistoarelor, acestea se vor plasa tranzistoarele fara a face “source-drain sharing”. Plasarea tranzistoarelor pentru matching se va realiza pe doua randuri. Distanțele minime dintre implanturi (Nimp si Pimp) sunt 0.6 (figura 58). In cazul Oglinzii cu PMOS toate tranzistoarele vor imparti acelasi NWELL (se va completa layerul NWELL astfel incat acesta sa fie continuu).

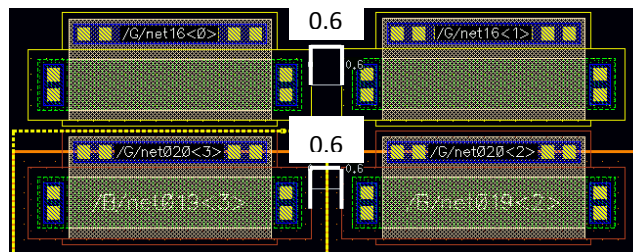


Figure 588 - Distanțe minime între implanturi

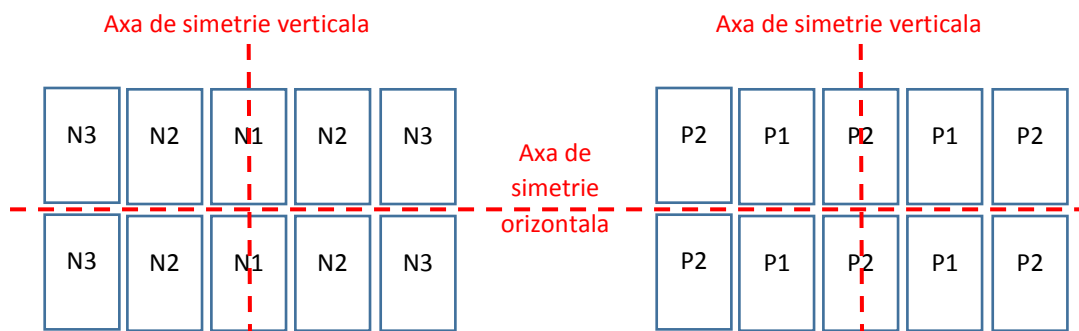


Figure 59 - Plasarea tranzistoarelor: centroida cu doua axe de simetrie



## 6. Etajul diferential

În figura 60 este prezentat un amplificator trans-admitanta (OTA). Acesta este compus din o serie de blocuri functionale:

- **Etajul diferential (tranzistoarele N1 si N2)**
- Sarcina activa, realizata cu oglinzile de curent PMOS P1-P2 si P3-P4
- Oglinda de curent pentru polarizarea etajului de intrare (N3-N4)
- Oglinda de curent N5-N6 ce contribuie la precizia foarte buna a curentilor de polarizare, alaturi de cele doua sarcini active mentionate anterior

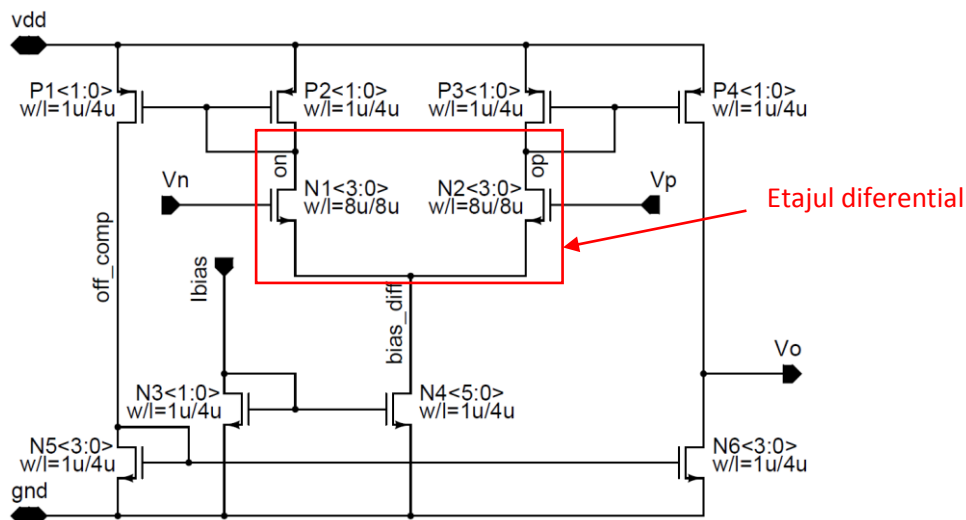


Figure 60 – Amplificatorul trans-admitanta

Ne propunem sa imperechem etajul de intrare folosind o structura de tip cross-coupled, cu canal pentru rutare intre cele doua randuri de tranzistoare.

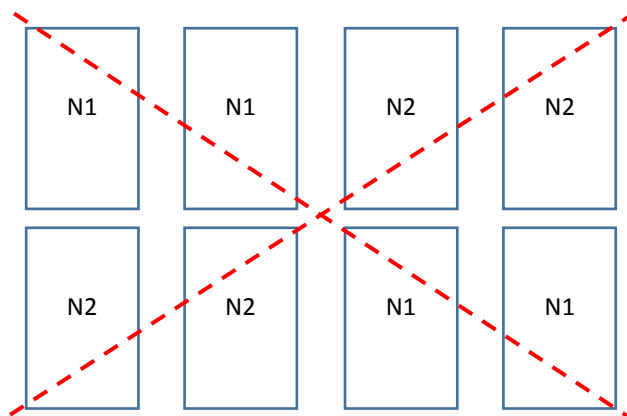


Figure 61 - Marching Cross-coupled

Vor fi necesare 5 trasee de interconectare:

1. Sursele tranzistoarelor (net-ul "bias")
2. Intrarea inversoare Vn
3. Intrarea neinversoare Vp
4. Drena tranzistorului N1, pentru a fi conectata la sarcina activa (net-ul "on")
5. Drena tranzistorului N2, pentru a fi conectata la sarcina activa (net-ul "op")

Layout-ul si interconectarea tranzistoarelor sunt prezentate in figura 62.

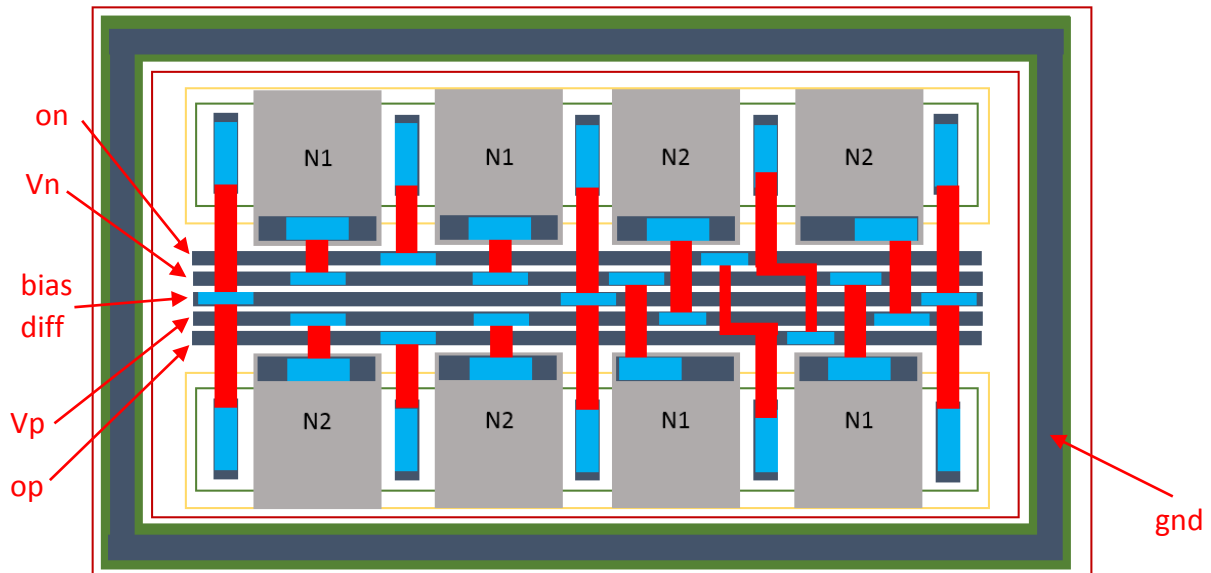


Figure 62 – Layout-ul etajului diferential

Pasii pentru realizarea layout-ului sunt urmasorii:

- Se realizeaza schema din figura 60 in editorul Schematic L; se vor folosi tranzistoare din biblioteca "gpd180" ("nmos" si "pmos")
- Se apeleaza meniul Launch->Layout GXL si se genereaza in mod automat un nou layout
- In fereastra editorului Layout GXL se apeleaza meniul Connectivity->Generate->All from source; in cazul in care se doreste generarea doar a anumitor instante, acestea se selecteaza in schema, ulterior apelandu-se Connectivity->Generate->Selected from source
- (optional) Daca schema se modifica dupa ce tranzistoarele au fost generate, se apeleaza meniul Connectivity->Update->Components and nets
- Se plaseaza tranzistoarele pentru a realiza "source-drain sharing"
- Se genereaza contactele de poarta prin editarea proprietatilor (tasta "Q") astfel incat primul rand de tranzistoare sa aiba contacte in partea de jos (bottom) si al doilea rand, in partea de sus (top).
- Se plaseaza cele 5 trasee de interconectare folosind layerul "Metal 1", in asa fel incat intre doua trasee adiacente sa se realizeze o distanta de 0.2um. Aceeasi distanta va fi necesara si intre metalul de la poarta tranzistorului
- Pentru interconectare se folosesc trasee de "Metal 1", "Metal 2" si "via 1"
- Via se realizeaza ca in figura 63, selectand "Via definition=M1\_M2" si un numar minim de 2 contacte
- Pentru traseele de metal (0.4um) se traseaza "Metal 1" orizontal si "Metal 2" vertical; exceptie de la aceasta regula fac situatiile in care se schimba directia metalului pe o lungime redusa.

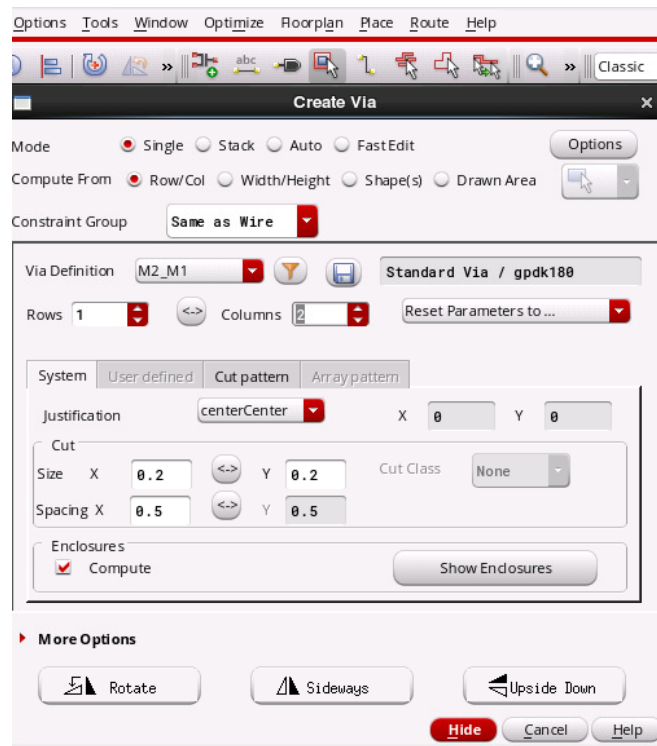


Figure 63 – Realizarea Via 1 (intre metal 1 si metal 2)



## 7. Proiectarea circuitelor pentru matching. OTA

Se continua realizarea blocurilor componente ale amplificatorului trans-admitanta.

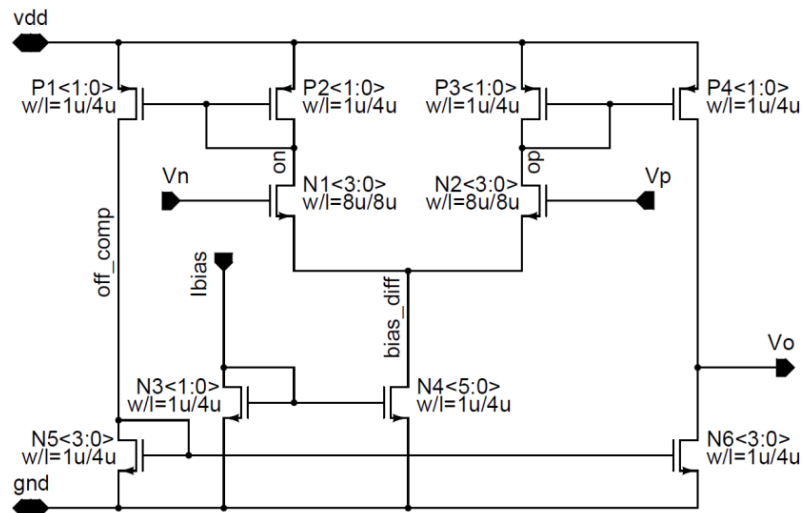


Figure 64 – Amplificator trans-admitanta

Pentru din sarcina activa, oglinda de curent pentru polarizarea etajului diferential si oglinda ce reduce offset-ul la intrare, se va alege un matching de tip centroida comuna, avand tranzistorul dioda plasat in centru.

Cele doua sarcini active cu tranzistoare PMOS se plaseaza si conecteaza ca in figura 65, prin suprapunerea “ring-urilor” de contacte de NWELL; sursele tranzistoarelor se conecteaza la bulk (ring-ul de contacte de NWELL).

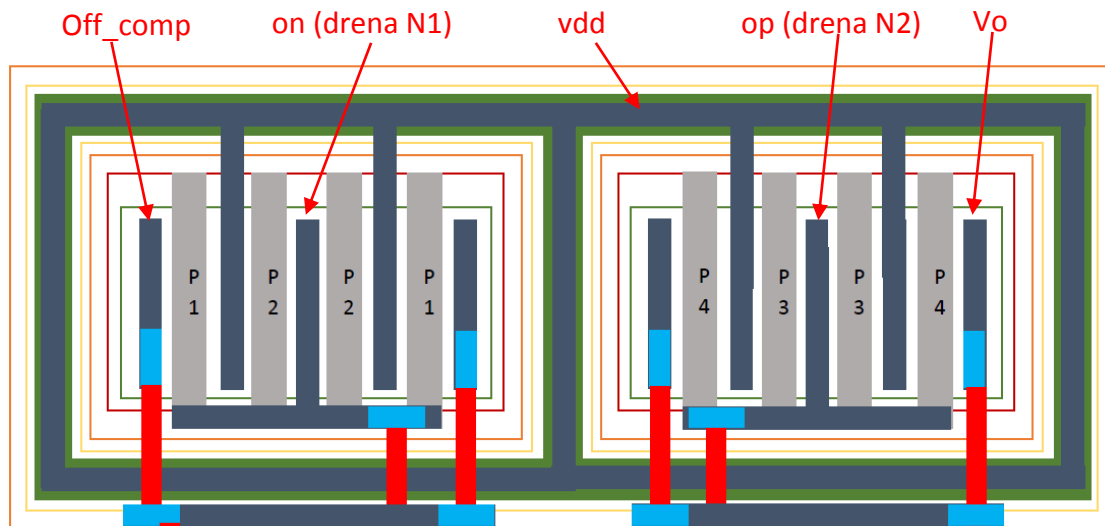


Figure 65 – Sarcinile active pentru etajul diferential

Oglinda pentru polarizarea etajului diferential si cea pentru compensarea de offset vor fi plasate una sub cealalta (se suprapun si in acest caz ring-urile de contacte la substrat). Plasarea tranzistoarelor si conectarea acestora este detaliata in figura 66:

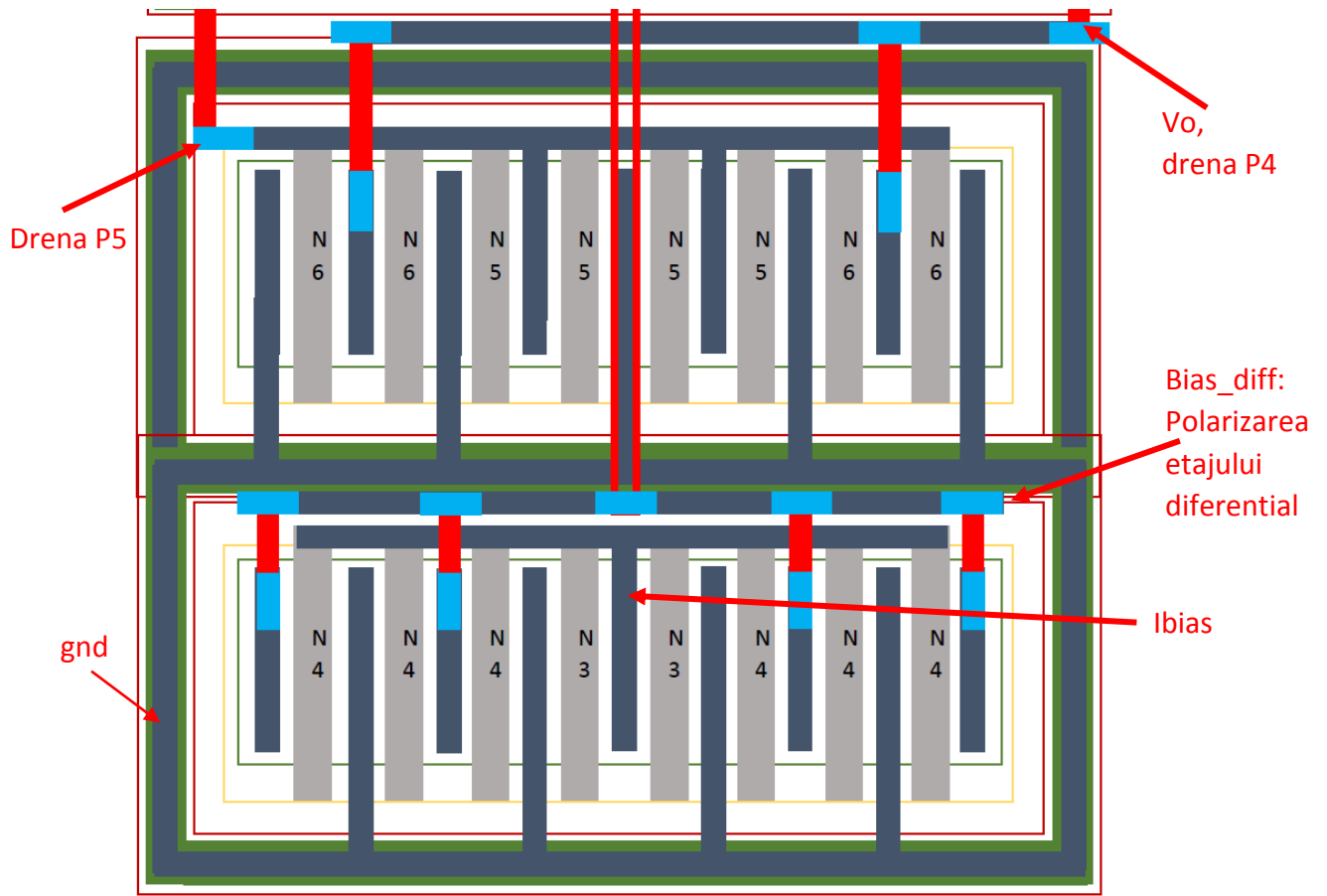


Figure 66 – Oglinda de current pentru compensarea offset-ului si oglinda de polarizare a etajului diferential

Layout-ul complet al amplificatorului trans-admitanta, obtinut prin interconectarea blocurilor de mai sus, poate fi vizualizat in figura 67.



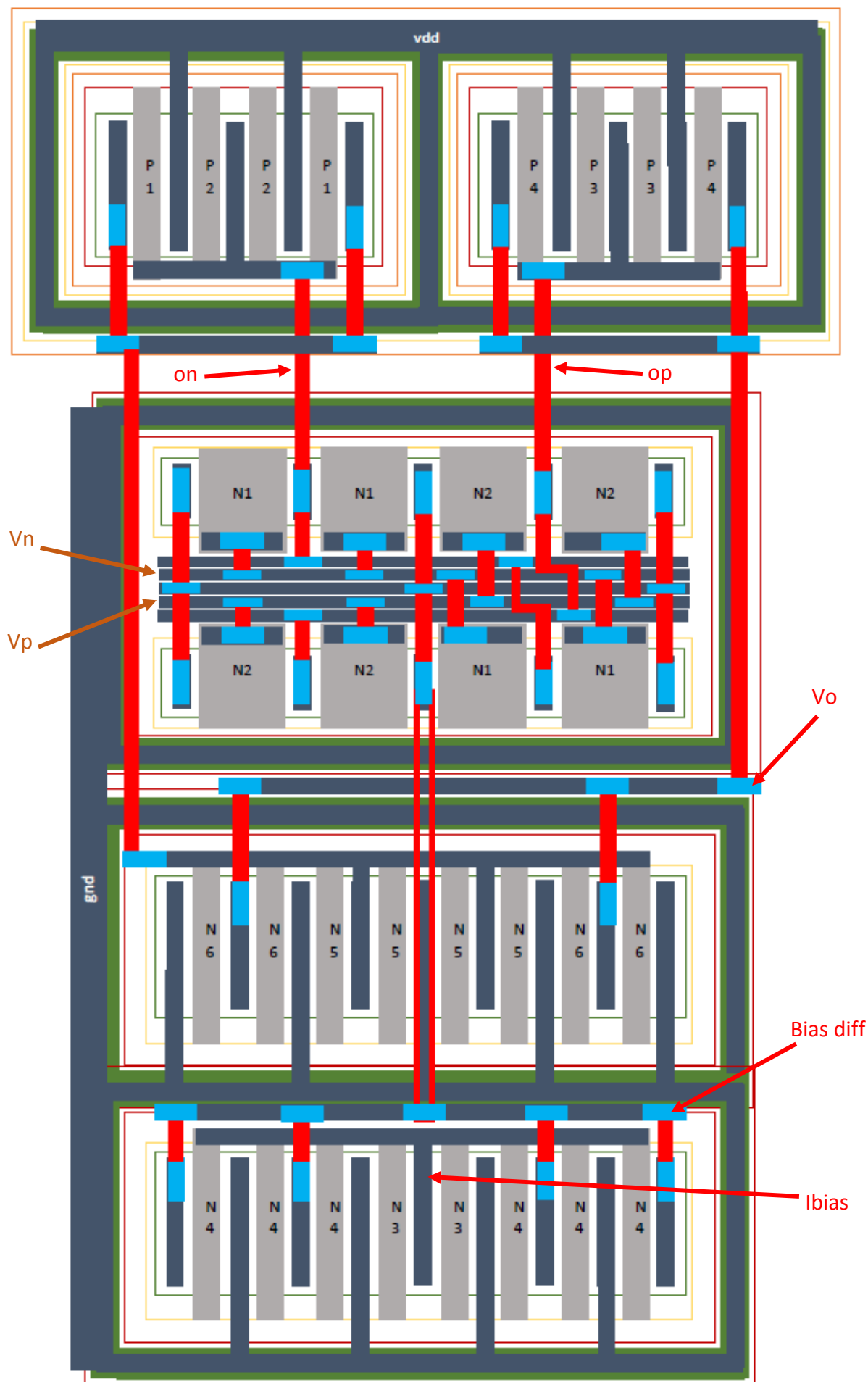
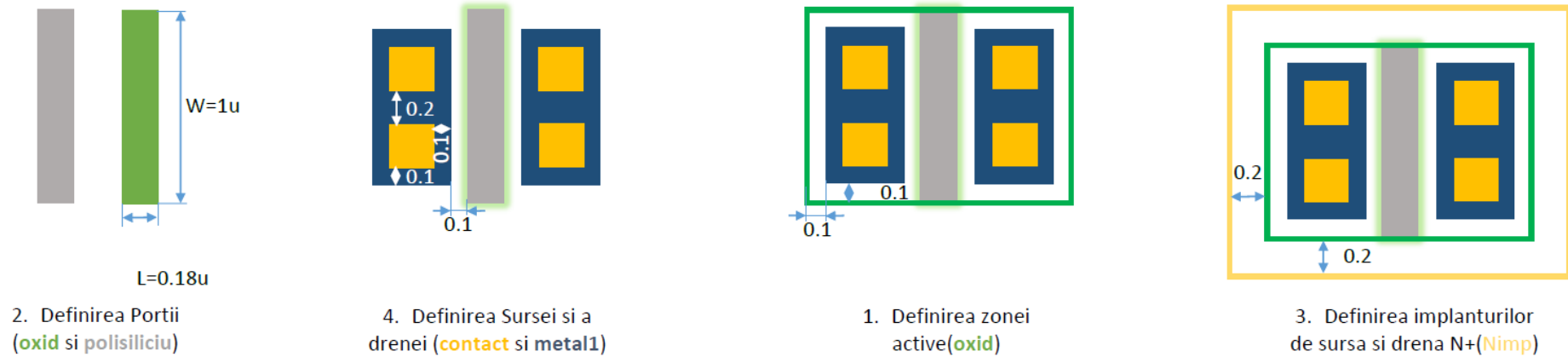


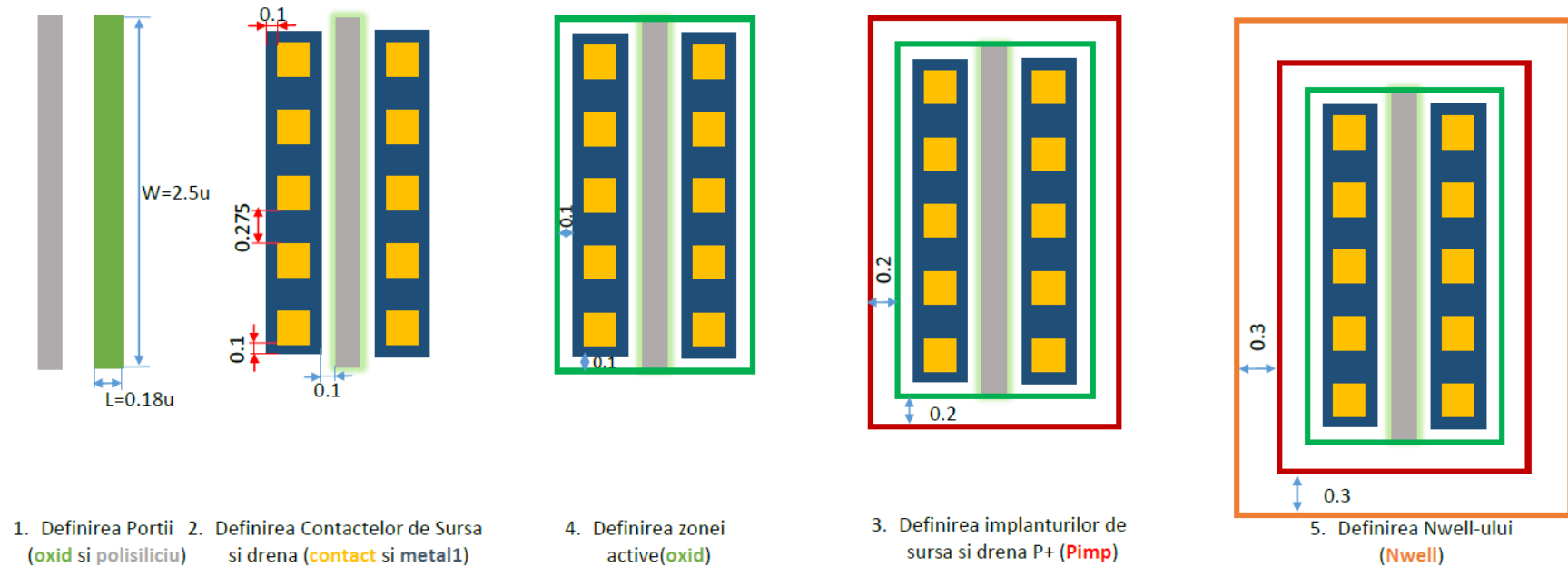
Figure 67 – Layout-ul amplificatorului trans-admitanta

## Anexa 1 – Layerele componente pentru: tranzistoarele NMOS si PMOS

### A. Tranzistorul NMOS

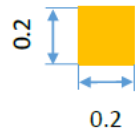


### B. Tranzistorul PMOS



## Anexa 1 – Layerele componente pentru: tranzistoarele NMOS si PMOS

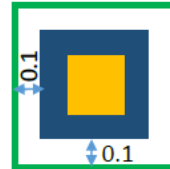
### C. Contactul de Bulk(Nwell) al tranzistorului PMOS



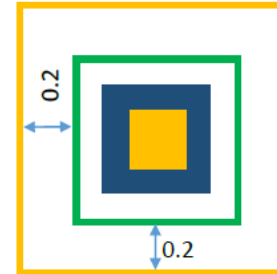
1. Definirea contactului(cont)



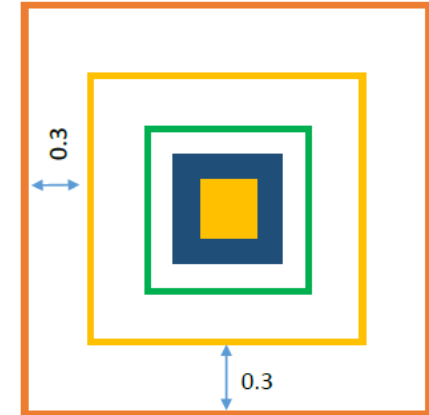
2. Definirea metalului(metal1)



3. Definirea zonei active(oxid)

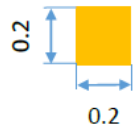


4. Definirea implantului de tip N+ (Nimp)



5. Definirea Nwell-ului (Nwell)

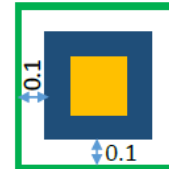
### D. Contactul de Bulk(Psubst) al tranzistorului NMOS



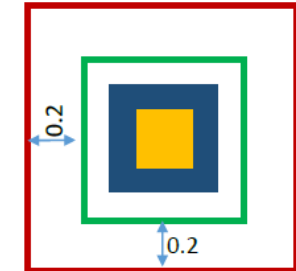
1. Definirea contactului(cont)



2. Definirea metalului(metal1)



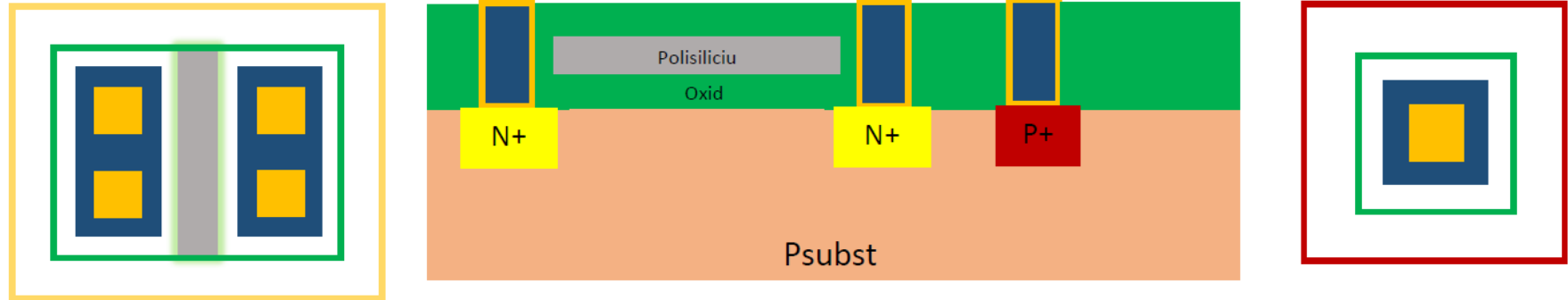
3. Definirea zonei active(oxid)



4. Definirea implantului de tip P+ (Pimp)

Anexa 1 – Layerele componente pentru: tranzistoarele NMOS si PMOS

E. Tranzistorul NMOS – Sectiune transversala



F. Tranzistorul PMOS – Sectiune transversala

