

Universidad del Valle de Guatemala

Electrónica Digital 1, Sec 21

Julio Andrés Avila, Carné 19285

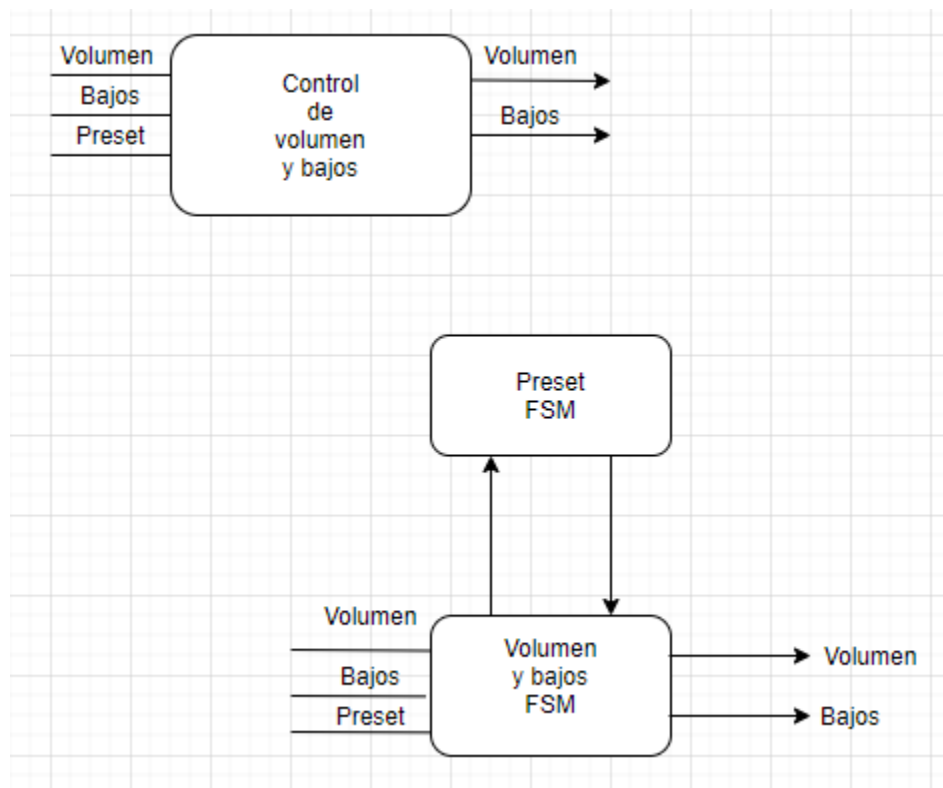
Proyecto 1

Máquina de Estados Finitos

Regulador de Volumen y Bajo

Resumen: la función de la máquina diseñada consiste en controlar el volumen y bajo de una bocina sin permitir que estos estén al máximo simultáneamente para evitar que se dañe la bocina. Adicionalmente, cuenta con una máquina que se encarga de controlar el volumen y bajo cuando se selecciona un pre-set, regulándolos según lo establecido y sin permitir que estos se cambien mientras esté activado algún pre-set.

Diseño y diagramas:



Caja negra general del proyecto junto con la factorización de ambas máquinas.

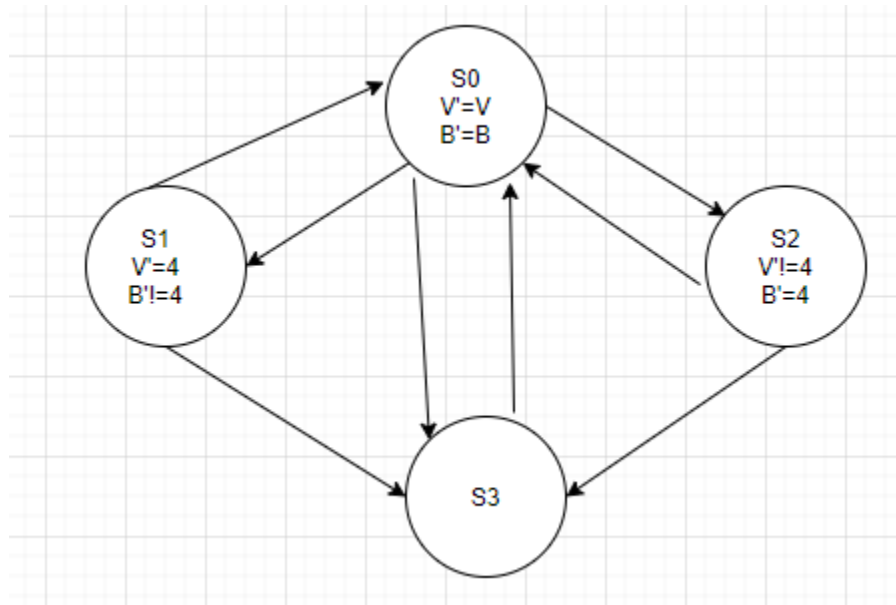


Diagrama de transiciones de la primera máquina (cuando se ha activado ningún pre-set) entrando al primer estado cando ni el bajo ni el volumen están al máximo, al segundo cuando el volumen está al máximo y no permite que el bajo también lo haga, al tercero cuando sucede lo mismo con el bajo y al cuarto cuando se activa un pre-set. Estando en cualquier preset se puede volver al estado inicial.

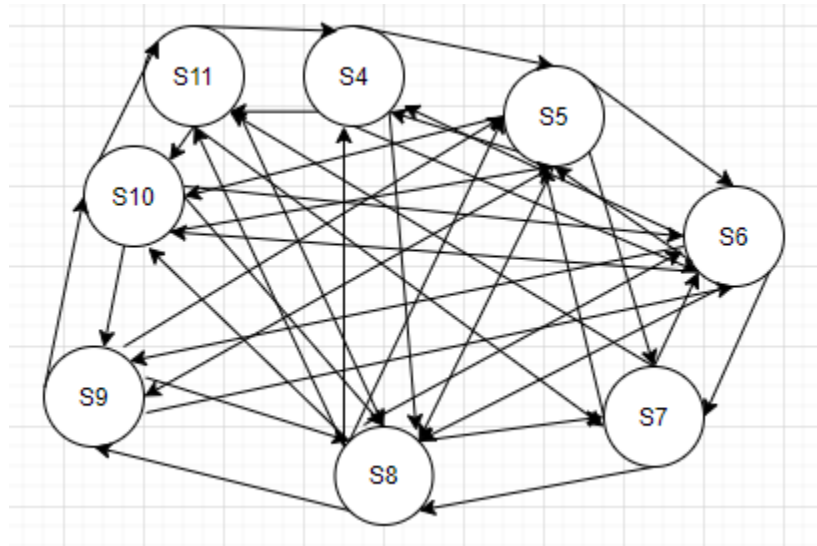


Diagrama de transiciones de la segunda máquina, en la cual se puede movilizar entre estados y estos controlan volumen y bajo.

(Las tablas sin y con codificación se pueden encontrar en el repositorio:
<https://github.com/JulioAv/Proyecto-FSM>)

Implementación en Logic Friday y ecuaciones:

Minimized:

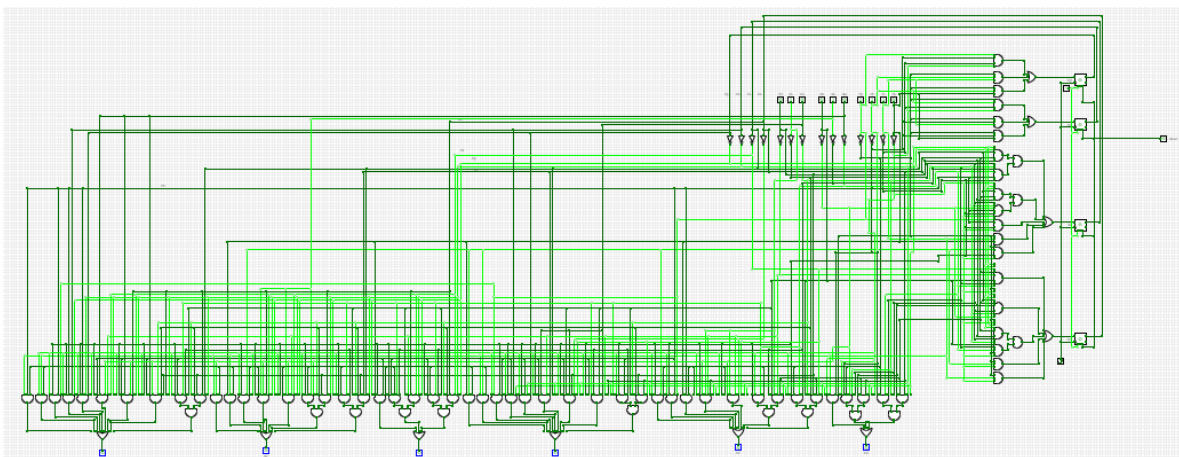
```

S3' = P3 P2' P1' P0' + P3' P2 P1 + P3' P2 P0;
S2' = P3' P2 P1' P0' + P3' P2' P1 + P3' P2' P0;
S1' = S3' S2' S1 S0 V2 V1' V0' B1' B0' P2' P1' P0' + S3' S2' S1 S0 V2
V1' V0' B2' P2' P1' P0' + P3 P2' P1' P0' + P3' P1 P0 + P3' P2 P1' P0';
S0' = S3' S2' S1' S0 V2' B2 B1' B0' P3' P0' + S3' S2' S1 S0 V2 V1' V0'
B2' P3' P0' + S3' S2' S0 V2 V1' V0' B2 B1' B0' P3' P0' + P3 P2' P1'
P0' + P3' P2 P0' + P3' P1 P0';
V0' = S3' S2' S1 S0 V2 V1' V0' B1' B0' P3' P2' P0' + S3' S2' S1 S0 V2
V1' V0' B2' P3' P2' P0' + P3' P2' P1 P0';
V1' = S3' S2' S1' S0 V2 V1' V0' B2 B1' B0' P3' P1' P0' + S3' S2' S0
V2' V1 B2 B1' B0' P3' P1' P0' + S3' S2' S1' S0' V2' V1 B2' P3' P1' P0'
+ S3' S2' S1 S0 V2' V1 P3' P1' P0' + P3' P2' P0 + P3 P2' P1' P0' + P3'
P2 P1' P0';
V2' = S2' S1' S0 V2 V1' V0' B2 B1' B0' P2' P1' P0' + S2' S0 V2' V0 B2
B1' B0' P2' P1' P0' + S2' S1' S0' V2' V0 B2' P2' P1' P0' + S2' S1 S0
V2' V0 P2' P1' P0' + S3 S2' P2' P1' P0' + S3' S2 P2' P1' P0' + P3 P2'
P1' P0' + P3' P2 P1 + P3' P2' P0;
B0' = S3' S2' S1' S0 V1' V0' B2 B1' B0' P3' P2' P1' + S3' S2' S1' S0
V2' B2 B1' B0' P3' P2' P1' + P3' P2' P1' P0';
B1' = S3' S2' S1 S0 V2 V1' V0' B2 B1' B0' P3' P1' P0' + S3' S2' S0 V2
V1' V0' B2' B1 P3' P1' P0' + S3' S2' S1' V2' B2' B1 P3' P1' P0' + S3'
S2' S1' S0 B2' B1 P3' P1' P0' + P3' P2 P1' P0' + P3' P1 P0 + P3' P2' P1
;
B2' = S2' S1 S0 V2 V1' V0' B2 B1' B0' P2' P1' P0' + S2' S0 V2 V1' V0'
B2' B0 P2' P1' P0' + S2' S1' S0 B2' B0 P2' P1' P0' + S2' S1' V2' B2' B0
P2' P1' P0' + S3 S2' P2' P1' P0' + S3' S2 P2' P1' P0' + P3 P2' P1' P0'
+ P3' P1 P0' + P3' P2' P1 ;

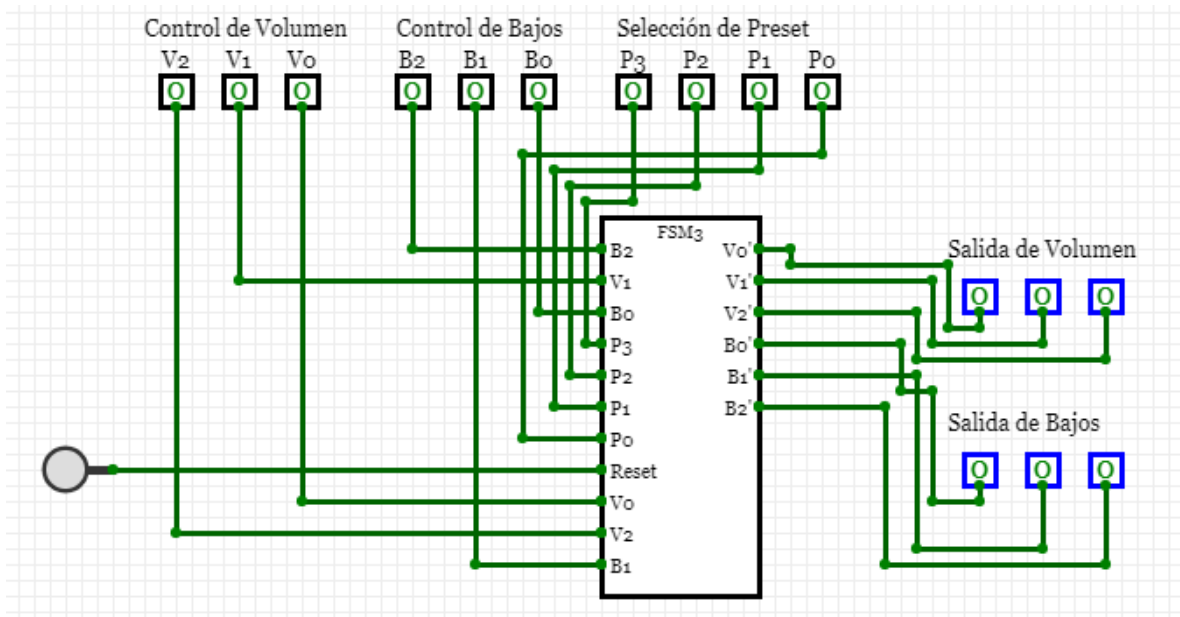
```

En el lado izquierdo de cada ecuación, el apóstrofe ' representa "salida", no una negación.

Implementación en Circuit Verse:



En el circuito están implementadas ambas máquinas y todos los procesos.



Circuito para fácil acceso a la máquina.

Link para acceder al circuito: <https://circuitverse.org/simulator/edit/julio-avila-proyecto-01-maquinas-de-estados-finitos#>

Implementación en Verilog:

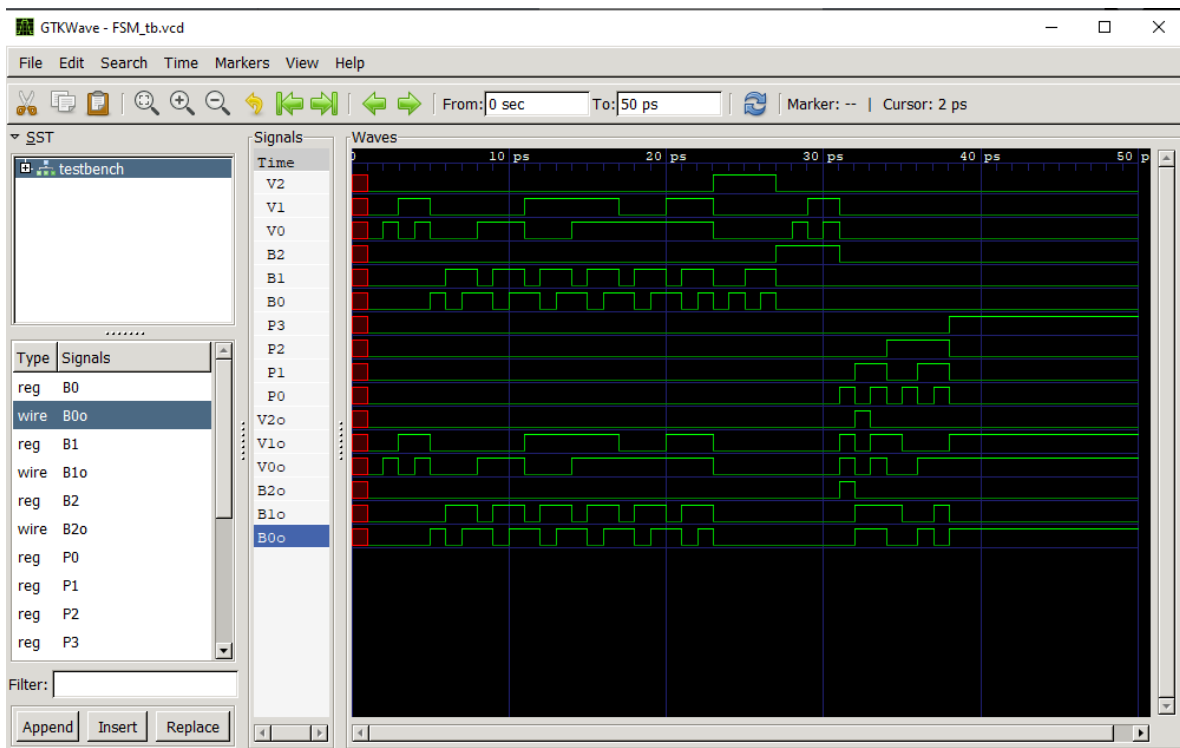


Diagrama de Timing, en el que el bajo y el volumen no están al máximo simultáneamente y donde se puede apreciar que mientras los pre-sets estén activos, el volumen y el bajo solo se ven afectados por el pre-set actual y no por las entradas.

(El código y el testbench se puede encontrar en el repositorio <https://github.com/JulioAv/Proyecto-FSM>)

Enlace al vídeo de presentación: https://youtu.be/b_wxAbb-fG8