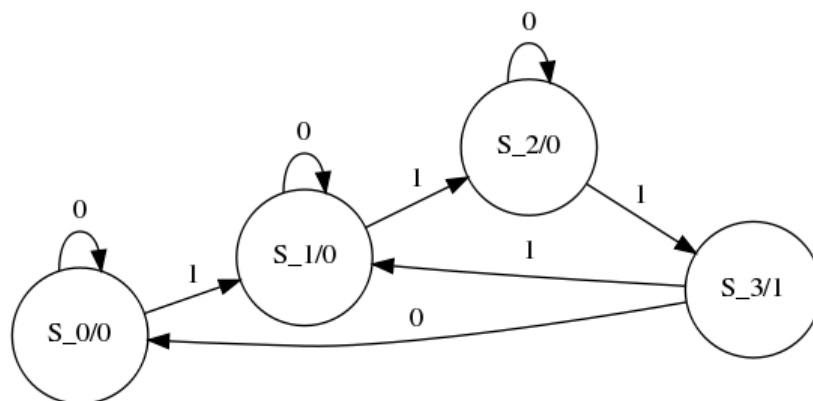


1. Fes una descripció sintetitzable en VHDL i la simulació d'una màquina d'estats que tingui el comportament que mostra el graf següent:



2. Fes una descripció sintetitzable en VHDL i la simulació d'una màquina d'estats que tingui el comportament que mostra el graf següent:

