

## 第3章

# 系统总线及其 I/O 接口

总线作为物理个体之间信息传输的公共通路,实质是一束标准的传输线。对于微小型计算机,功能部件之间通常采用系统总线来互连,以实现相互间的信息交换,而功能部件一般需要通过特定功能的接口电路才能连接到系统总线上。本章介绍总线及其分类、特性、事务等基本概念,阐明系统总线的数据交换过程、通信定时方式、分配仲裁及其方法、单处理机的总线结构,讨论 I/O 接口及其分类、功能、结构组成,概括常用系统总线与 I/O 接口标准的性能特点。

## 3.1 总线的基本概念

由第 1 章可知,对于传输性能要求不高的微小型计算机,功能部件之间可以采用总线互连形式来组成实现;另外,由后续讲述功能部件组织设计的章节还可知,器件(或部件)之间通常也采用总线互连形式来组成实现功能部件。那么,总线如何定义,物理个体如何连接于总线上,总线有哪些类型、特性及性能指标,总线事务及其类型有哪些,总线传送数据方式有哪些等等,则是本节需要讨论的问题。

### 3.1.1 总线及其电路

#### 1. 总线及其互连特点

功能部件的器件(或部件)之间、计算机的功能部件之间乃至计算机之间均需要进行信息交换,即从计算机组成实现层次来看,某相对独立的整体,其所包含的个体之间需要利用传输线连接在一起。而个体之间的互连形式有两种类型:一是全互连型,又称专用传输线型,即任意两个个体之间均配置一束专用独立传输线来实现;二是总线型,即多个个体之间利用一束规范共享传输线来实现。因此,所谓总线是指计算机及其内部多个(两个以上或全部)物理个体之间进行信息交换的公共传输线束或通路。显然,总线互连与全互连相比,具有传输线少、集成容易、互连方便、结构简单、扩展性好、代价低、兼容性强(不同厂家生产的物理个体互连实现整体或整体的一部分)等优点,但信息传输率小、带宽低。

显然,分时与共享是总线传输信息的控制技术,同时也决定总线传输信息的客观特性,即容许一对一或一对多的互连通信,但不允许多对一的互连通信。分时是指同一时刻只能传送一个物理个体发出的信息,共享是各物理个体之间均利用同一传输线束来进行信息交换。不同厂家根据同一总线传输特性生产的个体,通过该总线互连实现整体或整体的一部分。

## 2. 总线电路

总线电路一般由三态门组成,用于将器件(或部件)、功能部件或计算机连接到总线上。三态门的输出存在高电平、低电平和高阻等三种状态。当三态门的输出处于高电平或低电平状态时,表明其输入输出导通;当三态门的输出处于高阻状态时,表明其输入输出断开。三态门输入输出的导通与断开,由其使能端控制,且通常是低电平实现导通、高电平实现断开。

三态门构成总线电路的一般逻辑如图3-1所示,其中 $D_1 \sim D_N$ 为器件或部件或计算机。当 $D_i$ 发送控制端为低电平时,则 $D_i$ 向总线发送信息;当 $D_i$ 接收控制端为低电平时,则 $D_i$ 接收总线信息。由总线传输信息的客观特性表明,连接于总线上的N个物理个体,其发送控制端不能同时为低电平,以避免多对一的互连通信;但接收控制端可以同时为低电平,以实现一对多的互连通信。

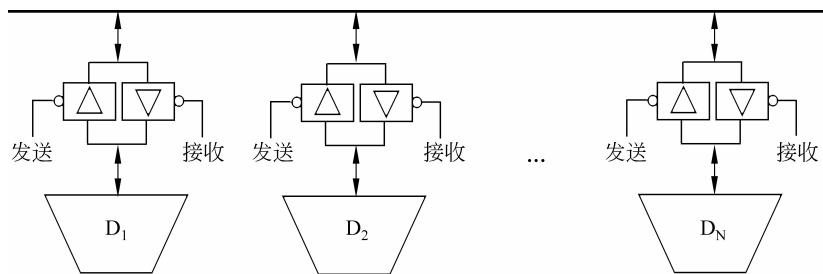


图3-1 三态门构成总线电路的一般逻辑

### 3.1.2 总线的分类

在现代计算机中,总线应用极其广泛,且形式多样、种类繁多。从不同角度来看,总线存在不同的分类。

#### 1. 从互连成整体层次来看

由物理个体通过总线互连成一个整体的功能层次来看,总线可分为内部总线、系统总线和外部总线等三种类型。

##### (1) 内部总线。

内部总线又称片总线,用于将器件(或部件)互连成一个功能部件、实现“器件 $\rightarrow$ 部件”组成级的总线则属于内部总线,如运算器内部的总线属于内部总线,利用该总线把算术逻辑运算单元、通用寄存器等互连在一起。

##### (2) 系统总线。

用于将功能部件互连成一台完整计算机、实现“部件 $\rightarrow$ 系统”组成级的总线则属于系统总线。系统总线是计算机的重要组成部分,它将CPU、主存储器和I/O模块等互连在一起。

##### (3) 外部总线。

外部总线又称通信总线,用于计算机之间、计算机与其他设备之间的互连。目前,外部总线也属于计算机组成的一个部分。

特别地,本节后续内容主要针对系统总线开展讨论。

### 2. 从数据传送并行性来看

从同时传输数据的二进制位数是否仅一位来看,总线可分为串行总线和并行总线等两种类型。

#### (1) 串行总线。

在线束中,若仅含有一根双向或两根单向用于传送数据的数据线、同时只能传送一位数据的总线则属于串行总线。当传送的数据包含多位时,利用串行总线进行信息传输,数据位必须按规定的顺序和频率一位一位传送,传输率小、带宽低。由于串行传输对传输线特性的要求不高,且硬件成本较低,所以适用于远距离传输数据。外部总线一般采用串行总线。

#### (2) 并行总线。

在线束中,若含有一根以上双向或两根以上单向用于传送数据的数据线、同时可传送多位数据的总线则属于并行总线。由于传输线特性不可能完全一致,当远距离传输时,多位数据到达接收端的延迟时间存在差异,可能造成传输错误,且硬件成本较高,所以适用于近距离传输数据。内部总线和系统总线一般采用并行总线。

### 3. 从操作定时方式来看

从传输信息中不同信号的传送时序确定方法来看,总线可分为同步总线和异步总线等两种类型。

#### (1) 同步总线。

互连的物理个体采用统一时钟(同步时钟)来规定自身和与传输信息有关操作的(总线操作)时序,以完成相互间信息交换的总线则属于同步总线。由于同步总线的操作时序固定不变,从而容易控制、传输速度也较快。但所有物理个体必须按同一速度工作,使得工作速度快的物理个体的效率低;且当远距离传输时,同步时钟容易发生变形,可能造成传输错误,从而兼容性差。所以同步总线适用于近距离、工作速度相当的物理个体之间传输数据,内部总线和系统总线一般采用同步总线。

#### (2) 异步总线。

互连的物理个体采用握手性的应答信号来确定与传输信息有关的操作时序,以完成相互间信息交换的总线则属于异步总线。由于异步总线的操作时序不固定,从而控制较复杂、传输速度也较慢。但所有物理个体均按自身速度工作,使得各物理个体的工作效率高;且不存在同步时钟变形的问题,从而兼容性好。所以异步总线适用于远距离、工作速度差别大的物理个体之间的传输数据,外部总线一般采用异步总线。

### 4. 从互连个体数量来看

从互连物理个体数量是否为两个以上来看,总线可分为专用总线和公用总线等两种类型。

#### (1) 专用总线。

对于全互连中的专用传输线束,为实现物理个体兼容而加以规范标准化,仅能用于特定两个个体之间互连的总线则属于专用总线。若某整体包含  $N$  个物理个体,则需要  $N(N-1)/2$  束专用总线。最典型的专用总线是用于处理器与存储器互连的存储总线。

专用总线具有控制简单、带宽高、利用率低等特点，

(2) 公用总线。

一般意义的总线则属于公用总线。

### 3.1.3 总线的特性与性能指标

#### 1. 总线的特性

总线实质是在对多个物理个体传输特性进行综合规范的基础上,提出的一个信息传输标准。总线作为物理个体传输信息的标准,需要从物理连接、传输信号的逻辑与时序等方面进行规范,才能保证物理个体之间信息交换准确无误。总线需要规范的内容则构成总线的特性。

(1) 物理特性。

物理特性又称为机械特性,它是对物理个体之间进行物理连接的定义规范,主要包括线束的类型与数量及排列顺序、接插件的几何形状与尺寸等要素。

(2) 功能特性。

功能特性是对线束中每根线传输信号种类与编码位号的定义规范,如系统总线中某根线用于传输地址码中的哪一位等。

(3) 电气特性。

电气特性是对线束中每根线传输信号传送方向与有效电平范围的定义规范,如系统总线中任何一根地址线都是单向的,且由源节点到目的节点,高电位为12mV~18mV,表示“1”。

(4) 时间特性。

时间特性是对线束中每根线传输信号有效性时间的定义规范,即规定总线上各传输信号有效的时序关系。如CPU对主存储器读,则系统总线中地址信息在整个读周期应有效,在地址信息有效后经过读出时间,数据信息才稳定地输出。

#### 2. 总线的性能指标

度量总线性能的指标主要有以下四种。

(1) 总线宽度。

总线宽度是指总线线束的线数,它决定总线所占的物理空间和成本。对于系统总线,地址线宽度指明利用该总线能直接访问存储器的地址空间范围,数据线宽度则指明利用该总线访问存储器一次时所能交换的二进制位数。

(2) 总线周期。

总线周期又称为总线传输周期,它是指完成一次数据传输操作所需要的时间,单位一般为时钟周期(T)。

(3) 总线带宽。

总线带宽是指单位时间内通过总线传送数据的最大二进制位数(最大传输率),单位一般为每秒字节(B/S),计算式为:

$$B = W \times f/N$$

其中: B 为总线带宽, W 为总线数据宽度(B), f 为总线时钟频率, N 为总线周期。

(4) 总线负载。

总线负载是指在保证信息交换准确无误的前提下,可以连接于总线的最大物理个体数。大多数总线的负载能力是有限的。

**例 3.1** 设某 32 位总线的时钟频率为 100MHz, 数据宽度为一个字, 传输周期为 2 个时钟周期, 问:

(1) 该总线数据传输率为多少?

(2) 若仅将总线数据宽度增加到 64 位, 该总线数据传输率又为多少?

(3) 若仅将总线时钟频率增加到 200MHz, 该总线数据传输率又为多少?

**解:** (1) 由题可知:  $W = 32b = 4B$ ,  $f = 100MHz$ ,  $N = 2T$ , 根据总线数据传输率的计算式, 则有:  $B = 4B \times 100MHz / 2T = 200MB/S$ 。

(2) 由题可知:  $W = 64b = 8B$ , 其余不变, 同(1)有:  $B = 8B \times 100MHz / 2T = 400MB/S$ 。

(3) 由题可知:  $f = 200MHz$ , 其余不变, 同(1)有:  $B = 4B \times 200MHz / 2T = 400MB/S$ 。

### 3.1.4 总线事务与数据传送方式

#### 1. 总线事务及其类型

物理个体之间一次信息交换包含若干操作, 通常把物理个体之间一次信息交换中的所有操作总和称为总线事务。根据一次信息交换过程是否包含数据信号传送, 总线事务可分为非数据的和数据的等两种类型。非数据总线事务仅包含控制和地址信号传送, 如中断响应、DMA 响应、主存储器刷新和广集(多方信息在总线上进行 AND 或 OR 运算, 如多个中断源检测)等; 而数据总线事务还包含数据信号传送, 如主存储器读、I/O 设备写等。对于数据总线事务, 根据传送原子数据的数量又可分为简单读写、组合读写、块猝发和广播写等四种类型。

##### (1) 简单读写事务。

在一次信息交换过程中, 对给定的一个地址仅传送一个原子数据的数据总线事务称为简单读写事务, 其地址与数据时序如图 3-2 所示, 如 CPU 对主存储器和 I/O 设备的读或写。功能部件之间的数据传送有主从之分, 简单读是由从方到主方的数据传送, 简单写是由主方到从方的数据传送。



图 3-2 简单读写事务地址与数据时序

##### (2) 复合读写事务。

在一次信息交换过程中, 对给定的一个地址读后写或写后读地传送多个原子数据的数据总线事务称为复合读写事务, 其地址与数据时序如图 3-3 所示。读后写复合读写事务用于多道程序共享存储器的存储保护, 写后读复合读写事务用于数据校验。

##### (3) 块猝发事务。

在一次信息交换过程中, 以给定的一个地址为起始地址, 对连续存储单元中的数据块



图 3-3 复合读写事务地址与数据时序

一个接一个地读或写的数据总线事务称为块猝发事务,其地址与数据时序如图 3-4 所示,如并行存储器的读写、直接存储访问(DMA)等。数据块一般是数据线宽度的整数倍。



#### (4) 广播写事务。

数据传送通常是在一个主方和一个从方之间进行,但有时也允许一个主方对多个从方进行简单写事务,这种数据总线事务称为广播写事务。显然,广播写事务不需要给定地址。

### 2. 数据传送方式

当若干物理个体通过某一总线来连接成一相对独立整体时,总线的数据线宽度是不变的,但需要传送数据的字长是变化的。当采用总线来传送不同字长的数据时,有的数据的所有位可以同时传送,有的数据则需要分段或分位传送。因此,把数据位分段分时传送的策略称为数据传送方式。根据总线数据线宽度与数据字长的大小关系,数据传送方式分为串行传送、并行传送和串并传送等三种类型。

#### (1) 串行传送。

当数据线宽度为 1 时,数据字所包含的二进制数位必须按位序一位一位地分时传送,



图 3-5 串行传送结构

这种数据传送方式称为串行传送,如图 3-5 所示。串行传送采用脉冲表示二进制数,且需要约定传输一位二进制数的时间(即位时间),即通常在位时间间隔内有脉冲则为“1”,无脉冲则为“0”。如某数据字长为 8 位,接收部件在第一、第三个位时间接收到一个脉冲,其余 6 个位时间没有接收到脉冲,且低位在前、高位在后,那么接收到的二进制数是“00000101”。显然,无论被传送的数据字长为多少,串行传送的数据线均仅需一根传输线,成本较低,适用于远距离传输;但传输速度慢,如若被传送的数据字长为 N 位、位时间为 t,则传送的时间至少为 Nt。

在串行传送时,被传送数据在发送部件需要并-串转换,这称为拆卸,即发送部件应具备拆卸功能;而被传送数据在接收部件需要串-并转换,这称为装配,即接收部件应具备装配功能。

#### (2) 并行传送。

当数据线宽度与数据字长相等时,数据字所包含的二进制数位可以同时传送,这种数据传送方式称为并行传送,如图 3-6 所示。并行传送采用电位表示二进制数,且一般高电位为“1”,低电位则为“0”。如某数据字长为 8 位,接收部件接收到的第一、第三位是高电位,其余 6 位是低电位,那么接收到的二进制数是“00000101”。显然,当被传送的数据字长为 N

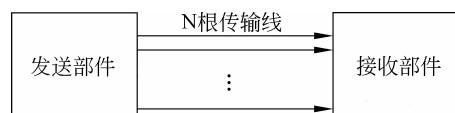


图 3-6 并行传送结构

位时,并行传送的数据线需要  $N$  根传输线,成本较高,适用于近距离传输;但传输速度快。

(3) 并串传送。

当数据线宽度小于数据字长时,数据字所包含的二进制数位需要分段分时传送,段内位同时并行传送、段间位分时串行传送,这种数据传送方式称为并串传送。并串传送仍采用电位表示二进制数,且一般高电位为“1”,低电位则为“0”。如某数据字长为 16 位,数据线宽度为 8 位,则需要把数据字分为 2 个字节,同一字节的位并行传送,字节间的位串行传送。

## 3.2 系统总线特性与连接结构

系统总线是计算机的骨架和数据交换的通路,用于连接计算机所包含的功能部件,它对计算机性能影响很大。那么,系统总线包含哪些传输线,功能部件之间利用系统总线进行数据交换的过程如何;不同类型信号之间的时序如何确定,串行传送时位信号如何识别;连接在系统总线上的功能部件同时需要使用总线进行数据交换,系统总线如何分配;单机系统中功能部件之间是否可以采用多束总线来连接,为什么要采用多束总线连接等等,则是本节需要讨论的问题。

### 3.2.1 数据交换过程与传输线分类

#### 1. 数据交换过程

系统总线由多个功能部件所共享,当功能部件之间进行数据交换时,必须有一个功能部件发出总线使用请求,以获得总线的控制权。通常,把发出总线使用请求并负责支配控制总线的功能部件则称为主部件,而把参与本次信息交换的其他功能部件(一对一时仅一个,一对多时有多个)称为从部件。功能部件之间进行数据交换时的这种主从关系不是固定不变的,但主存储器不会主动提出信息交换请求,即仅能是从部件,处理器与 I/O 设备则可能是主部件,也可能是从部件。当主部件获得总线控制权后,则通过地址来寻求从部件,建立数据传送通路,以实现数据交换。之后,主部件释放总线控制权,转入下一个总线周期。可见,一次数据交换过程可分为 4 个阶段,属于总线时间特性定义的范畴。

(1) 请求仲裁阶段。

连接在系统总线上的任一功能部件若需要进行信息交换,则向系统总线仲裁器发出请求信号(BR)。若当前系统总线空闲,总线仲裁器则根据功能部件使用总线的优先次序,向提出总线使用请求且优先权相对高的功能部件发出允许信号(BG),使主部件获得总线控制权。

(2) 通路寻址阶段。

获得总线控制权的主部件通过系统总线发出参与本次信息交换的从部件地址信号及相关命令信号,选择电路选中从部件来建立数据传送通路,命令信号启动从部件并发出应答信号。

(3) 数据传送阶段。

主部件与从部件之间进行数据传送。

#### (4) 释放结束阶段。

主部件与从部件撤销总线上的所有信息,主部件释放总线控制权。

特别地,总线周期包含通路寻址与数据传送两个阶段的时间。

### 2. 传输线分类

从信息交换过程可以看出,系统总线需要传输地址、数据和控制等三种类型的信号。因此,根据传输信号的类型,系统总线中的传输线可分为地址线、数据线和控制线,属于总线功能特性定义的范畴。

地址线用于传输主部件发出的地址信号,以实现从部件的选择。地址线通常是单向线,由主部件传送到从部件;高位选择部件,如主存储器、I/O设备;低位选择部件内的存储单元,如主存储器的存储单元、I/O设备的端口。

数据线用于传输主部件与从部件之间所需交换的数据信号。数据线通常是双向线,即数据可以由主部件发送到从部件,也可以由从部件发送到主部件。发送数据的部件称为源部件,接收数据的部件称为目的部件。当主部件为源部件时,称为输出,主部件在通路寻址阶段发出的命令为写;当主部件为目的部件时,称为输入,主部件在通路寻址阶段发出的命令为读。

控制线用于传输主部件与从部件之间的命令与状态信号,以实现相互间的控制与监视。控制线通常是单向线,可以由主部件传送到从部件,也可以由从部件传送到主部件。如CPU访问主存储器时,主部件CPU通过读/写控制线发送读或写命令到从部件主存储器,以使主存储器进行读或写操作;主存储器通过应答控制线发送应答信号到CPU,以使CPU监视主存储器的读或写操作是否完成。

特别地,有时同一传输线在总线周期内,可分时传送不同类型的信号。因此,根据同一传输线是否用于分时传送不同类型的信号,系统总线中的传输线可分为专用线和复用线。专用线仅用于传送一种类型信号,如地址线仅用于传送地址信号。复用线可分时地用于传送不同类型的信号,如常见的地址线与数据线复用,在通路寻址阶段用于传送地址信号,在数据传送阶段用于传送数据信号。

### 3.2.2 总线通信的定时方式

通信是总线事务中所有信号的传输过程。功能部件利用系统总线进行通信时,收发双方需要传输不同类型的信号,这些信号的有效性在时间上存在先后次序的关系。在总线通信时,不同类型信号之间时序的确定策略则是通信定时方式,其实质是一种定时协议与规则,属于总线时间特性定义的范畴。通常,总线通信的定时方式有同步、异步和半同步之分。

#### 1. 同步定时

功能部件利用系统总线进行信息传送时,当收发部件采用统一时钟来规定不同类型信号有效性出现的时刻则称为同步定时。如图3-7所示的读操作同步时序共包含四个时钟,其中第一个时钟读命令与地址有效,而数据在第三个时钟有效。统一时钟可由总线控制部件发送到每一个功能部件,也可以让每个功能部件有各自的时钟发生器,但它们必须由总线控制部件发出的时钟信号来同步。

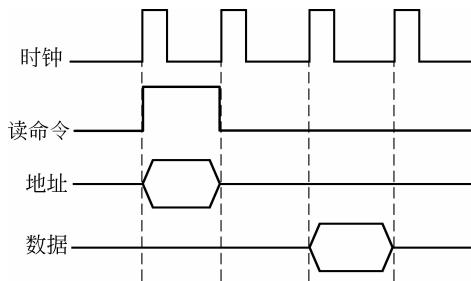


图 3-7 读操作同步时序

对于总线通信同步定时,不同信号之间的时间配合采用公用时钟,则具有较高的传输速率。但由于时钟线上的干扰信号会引起错误的同步,从而造成同步误差;且公用时钟取决于慢速部件,当功能部件之间速度差异大时,会导致总线效率低;另外,收发部件之间不知对方是否响应,可靠性较低。因此,同步定时方式适用于总线长度短、功能部件之间速度相近的系统。

## 2. 异步定时

功能部件利用系统总线进行信息传送时,收发部件通过请求应答式的时间标志信号来规定不同类型信号有效性出现的时刻则称为异步定时。即当一个功能部件发送出一种类型信号后,需等待接收一个确认信号来使发送的信号无效,转到下一种类型信号的发送。对于总线通信异步定时,不同信号之间的时间配合没有公用时钟和固定时间间隔,收发部件之间完全由总线操作实际时间决定的请求应答时间标志信号来控制,则具有很强的灵活性,总线效率高,可靠性也高;但由于需要传送请求应答信号,则控制较复杂,成本较高。因此,异步定时方式适用于总线长度长、功能部件之间速度差异大的系统。

系统总线中的请求与应答时间标志信号一般有就绪(RDY)、请求(REQ)和应答(ACK)等。根据请求与应答信号的建立与撤销是否相互依赖,异步定时可分为非互锁、半互锁和全互锁等三种类型。

### (1) 非互锁异步定时。

非互锁异步定时是指请求与应答信号的建立与撤销没有依赖关系,如图 3-8 所示。假设发送部件把数据(DATA)送到总线上,经过一定时间后又送就绪信号;接收部件收到就绪信号后,则接收数据,并发送应答信号;发送部件收到应答信号后,就撤销数据,转入下一个数据传送。显然,就绪信号的撤销与应答信号的建立无关,应答信号的撤销与就绪信号的建立无关,就绪信号与应答信号具有固定的时间宽度。非互锁异步定时实现简单,有利于提高传输速度;但无法发现错误,不能保证就绪信号与应答信号准确到达对方。如若请求与应答信号过短时,对于慢速部件容易错过;若请求与应答信号过长时,又可能影响下一次请求应答的正确性。

### (2) 半互锁异步定时。

半互锁异步定时是指请求与应答信号的建立与撤销存在一定的依赖关系,如图 3-9 所示。发送部件收到应答信号就撤销就绪信号,即就绪信号的撤销依赖于应答信号的建立,而接收部件应答信号的撤销与就绪信号的建立无关。半互锁异步定时解决了就绪信

号有效的时间宽度,但应答信号有效的时间宽度仍是固定的。

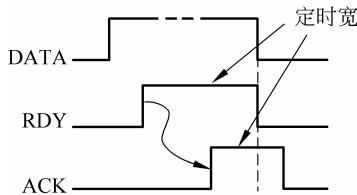


图 3-8 非互锁异步定时

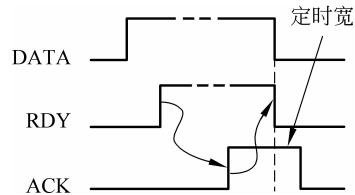
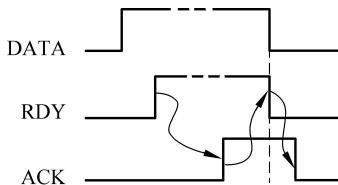


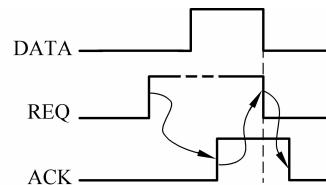
图 3-9 半互锁异步定时

### (3) 全互锁异步定时。

全互锁异步定时是指请求与应答信号的建立与撤销存在完全的依赖关系,如图3-10(a)和图3-10(b)所示。发送部件收到应答信号就撤销就绪信号;接收部件测试到就绪信号已撤销,则撤销应答信号;而发送部件测试到应答信号已撤销,则可以再发送就绪信号。全互锁异步定时的就绪信号与应答信号有效的时间宽度,完全由通信过程的具体情况决定的,传送距离不同,就绪与应答信号有效的时间宽度也不同。由于全互锁异步定时保证了一个数据就绪信号仅能在一个应答信号结束后发出,从而极大地提高了通信的可靠性;但每次传送数据需要传输4个请求应答信号,控制较复杂,不利于提高传输速度。全互锁异步定时特别适用于总线长度长、功能部件之间速度差异大、总线周期可变的系统。



(a) 发送部件发起全互锁异步定时



(b) 接收部件发起全互锁异步定时

图 3-10 全互锁异步定时

## 3. 半同步定时

半同步定时是将同步定时与异步定时结合在一起,既保留同步定时控制实现简单的特点,又保留异步定时对不同速度功能部件通信时总线效率与可靠性高的特点,通过设置“等待”应答信号来规定通信时序则称为半同步定时。如图3-11所示的读操作时序,其中引入一个等待信号(WAIT)来指示发送部件的数据是否准备就绪。当该信号无效时,则

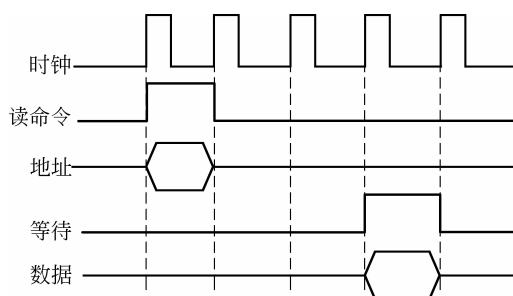


图 3-11 半同步读操作时序

插入等待周期  $T_w$  等待数据准备就绪, 直到等待信号有效(一般为高电平), 则接收部件读取总线上的数据。

**例 3.2** 假设某系统总线的时钟周期为 50ns, 数据宽度为 32 位, 每种信号传输需要一个时钟周期, 存储器存储周期为 300ns, 当采用同步定时方式时, 从该存储器读取一个存储字时的数据传输速率为多少?

解: 在同步定时方式时, 存储器简单读事务的步骤及其所需时间分别为:

地址和读命令: 一个时钟周期, 50ns;

存储器送数据到总线: 一个存储周期, 300ns;

读部件从总线读数据: 一个时钟周期, 50ns。

则本存储器读取一个存储字的总时间为  $T = 400\text{ns}$ , 数据传输速率为  $4\text{B}/400\text{ns} = 10\text{MB/s}$ 。

**例 3.3** 请画出全互锁异步定时方式下存储器的读操作时序图, 并标明互锁依赖关系, 其中存储器为该操作的从部件, 发出读操作命令的部件为主部件。

解: 在异步定时方式时, 存储器简单读事务的操作时序如图 3-12 所示, 具体步骤如下:

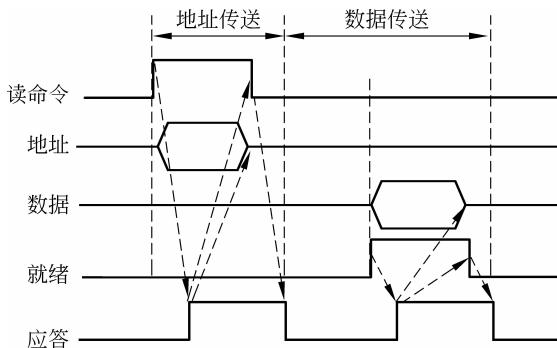


图 3-12 全互锁异步定时存储器读操作时序

- (1) 主部件发出读命令信号并同时把存储器单元地址信号放在系统总线的地址线上。
- (2) 存储器接收到读请求信号并读取地址线上的地址信息后, 则发送应答信号, 指明已接收到请求信号和地址信息。
- (3) 主部件接收到应答信号后, 则撤销读请求信号和地址信号。
- (4) 存储器测试到读请求信号与地址信号撤销后, 也撤销应答信号, 表明地址传送阶段结束。
- (5) 存储器准备好数据后, 则把数据信号放在系统总线的数据线上, 并发送就绪信号。
- (6) 主部件接收到就绪信号并读取数据线上的数据信息后, 则发送应答信号, 指明已接收到就绪信号和数据信息。
- (7) 存储器接收到应答信号后, 则撤销就绪信号和数据信号。



(8) 主部件测试到就绪信号与数据信号撤销后,也撤销应答信号,表明数据传送阶段结束。

### 3.2.3 串行传送的通信方式

对于串行传送,即是一位一位地传送二进制数的过程,被传送信息通常用 ASCII 码或 EBCDIC 码表示。当串行传送时,除需要通过规定位时间来识别位信号外,还需要通过规定的表示格式来识别字符。根据数据表示格式,串行传送可分为同步通信和异步通信等两种方式。

#### 1. 异步通信

异步通信以包含一个字符编码的帧为单位来保证发送与接收间的同步。一个帧的二进制数是由一位起始位(低电平有效)、5~8 位数据位(次序按由低到高排列)、一位检验位(奇或偶检验,可有可无)和 1~2 位停止位(高电平有效)等字段共 8~12 位组成。若字符编码采用 ASCII 码,则数据位为 7 位,停止位选用一位,加上一位校验位、一位起始位,则一个字符帧为 10 位二进制数,字符串及字符帧格式如图 3-13 所示。由此,可以一帧接一帧地串行传送字符串。

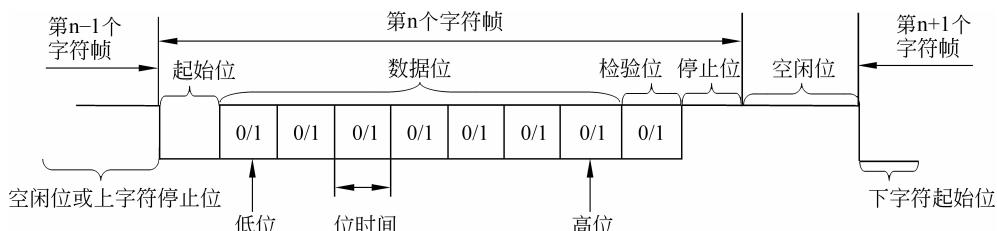


图 3-13 异步通信字符串及字符帧格式

波特率(Baud)是衡量异步通信传输速率的指标,它是指每秒传送二进制数的位数,与位时间是倒数的关系。若位时间为 15 个时钟周期,当发送与接收双方按规定的帧格式和波特率进行串行传送异步通信时,接收方一直监视数据线上的电位(一定是高电平);当发现数据线上电位变为低电平时,则隔 8 个时钟周期查看数据线上电位是否仍为低电平。若仍为低电平,则说明当前位为起始位,后续则隔 15 个时钟周期检测数据线上电位,高电平则对应位为“1”、低电平对应位为“0”,直至该帧所有位接收完毕,转入下一字符帧接收;若不为低电平,则认为是干扰信号,继续监视数据线上的电位(一定是高电平)。

#### 2. 同步通信

在异步通信中,每帧需要起始位和停止位来作为字符编码的开始与结束,占用了一定的时间,降低了传输效率。为去掉起始与停止标志位,则在字符串(即数据块)前加上 1~2 个规定的“同步字符”,采用同步通信方式进行串行传送,其字符串格式如图 3-14 所示。



图 3-14 同步通信字符串格式

当发送与接收双方按规定字符串格式和波特率进行串行传送同步通信时,发送方在发送字符串数据前,需要先发送同步字符;接收方在接收到同步字符后,就以与发送方相同的时钟来接收数据块,从而达到快速数据传送的目的。同步通信速度高于异步通信速度,但要求用时钟来实现发送方与接收方之间的同步,故硬件结构较为复杂。

**例 3.4** 假如串行传送异步通信的传输速率是 120 字符/秒,而每个字符帧为 10 位,那么数据传送的波特率和位时间各为多少?

解: 每秒传送二进制数即波特率为:  $10 \text{ 位} \times 120 \text{ 字符} = 1200 \text{ b/s} = 1200 \text{ Baud}$ 。

位时间与波特率互为倒数,则位时间为:  $1/1200 = 0.833\text{ms}$ 。

### 3.2.4 总线仲裁及其仲裁方法

#### 1. 总线仲裁及其方法

系统总线是由多个功能部件所共享,这样就可能出现多个主部件同时申请使用总线的情况;而多个功能部件所共享的系统总线,同一时刻仅允许一个主部件获取总线使用权来使用总线。因此,为了解决多个主部件同时竞争总线使用权,必须设置总线分配控制部件,以某种方法选择其中一个主部件来取得总线使用权。当出现多个主部件同时竞争使用总线时,将总线使用权分配于一个主部件的选择机制称为总线仲裁,而实现总线仲裁的逻辑电路则是总线控制器或总线仲裁器。

总线仲裁的基本任务是形成竞争总线使用权的多个主部件的优先次序,影响总线使用权优先次序的主要因素是公平性和紧迫性,也应考虑仲裁复杂性、总线利用率、仲裁时间等。根据总线仲裁器配置策略不同,总线仲裁可分为集中式仲裁和分布式仲裁。集中式仲裁是将总线控制逻辑和竞争总线使用权的多个主部件的请求信号集中在一起,通过一定算法形成总线使用权的优先次序;它具有仲裁时间短、总线利用率高、易于满足紧迫性等特点,适用于总线所连接功能部件的物理位置相距比较近的系统。分布式仲裁是将总线控制逻辑分散在总线所连接功能部件上,各功能部件通过一定算法来决定本身是否占用总线;它具有仲裁简单、易于满足公平性等特点,适用于总线所连接功能部件的物理位置相距比较远的系统。

#### 2. 集中式仲裁

集中式仲裁配有一个总线仲裁器,对于微小型计算机一般采用集中式仲裁,且总线仲裁器通常集成在处理器上。集中式仲裁主要有串行链接、计数查询和独立请求等三种方式。

##### (1) 串行链接。

在串行链接方式中,用于总线仲裁的控制线共有三根,一根总线请求信号线(BR,一般是高电平有效),用于把各功能部件的总线请求信号共用该线传送到总线仲裁器;一根总线允许信号线(BG,一般是高电平有效),用于把总线仲裁器的总线允许信号共用该线传送到各功能部件;一根总线忙信号线(BS,一般是高电平有效),用于指示当前总线已被占用,总线仲裁器与功能部件之间的连接如图 3-15 所示。总线仲裁过程为: ①当存在功能部件需要数据交换时,该功能部件则通过总线请求信号线向总线仲裁器发送请求信号,指示申请总线使用权; ②当总线仲裁器接收到总线请求信号,则测试总线忙信号线上的

信号以检查总线是否忙；③若总线不忙，总线仲裁器则通过总线允许信号线向功能部件发送允许信号，且串行地由一个功能部件传送到下一个功能部件，指示总线可以使用，若总线忙，总线仲裁器继续测试总线忙信号线上的信号，直到总线不忙为止；④由总线仲裁器发出的允许信号，若到达的功能部件有总线请求，则该部件获得总线使用权，允许信号不再沿总线允许信号线往下一功能部件传递，并清自身总线请求信号、置总线忙信号，进入总线周期；⑤总线周期结束时，则释放总线的功能部件清总线忙信号，总线仲裁器清总线允许信号，转入下一次总线仲裁。

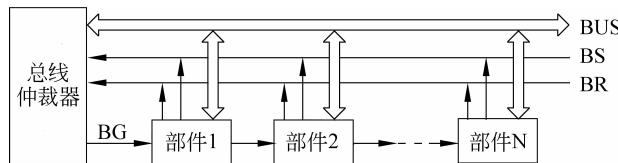


图 3-15 串行链接仲裁的连接结构

对于串行链接方式,其优点为:仲裁控制线少、结构简单、扩展容易。而缺点在于:  
①优先级固定且改变困难,优先级完全取决于询问链电路,越靠近总线仲裁器的功能部件优先级越高,使得远离总线仲裁器的功能部件可能长期得不到总线使用权;②询问链电路故障敏感,当某部件一旦出现故障,其后的所有部件不能进行工作;③仲裁速度较慢。因此,串行链接集中式仲裁方式适用于规模小的系统。

## （2）计数查询。

在计数查询方式中,用于总线仲裁的控制线共有( $\lceil \log N \rceil + 2$ )根,总线请求信号线和总线忙信号线各一根,传送的信号与串行链接方式相同;另外还需要 $\lceil \log N \rceil$ 根功能部件地址信号线,用于指示当前查询是否需要使用总线的功能部件的地址,总线仲裁器与功能部件之间的连接如图 3-16 所示。总线仲裁过程为:①当存在功能部件需要数据交换时,该功能部件则通过总线请求信号线向总线仲裁器发送请求信号,指示申请总线使用权;②当总线仲裁器接收到总线请求信号,则测试总线忙信号线上的信号以检查总线是否忙;③若总线不忙,总线仲裁器则通过功能部件地址信号线把计数器值(即是功能部件地址信号)发送到功能部件,指示总线可以使用,若总线忙,总线仲裁器继续测试总线忙信号线上的信号,直到总线不忙为止;④由总线仲裁器发出的计数器值,若功能部件有总线请求,则均接收计数器值并与自身地址比较;⑤若某功能部件比较是相等的(可能有多个功能部件进行了比较,但仅有一个功能部件比较是相等的),则清自身总线请求信号、置总线忙信号,进入总线周期,若没有功能部件比较是相等的,总线仲裁器中的计数器加 1,转回到④;⑥总线周期结束时,则释放总线的功能部件清总线忙信号,转入下一次总线仲裁。

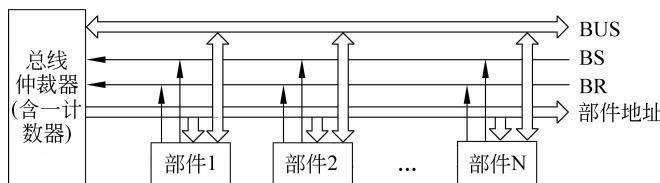


图 3-16 计数查询仲裁的连接结构

显然,计数查询方式中的部件地址信号线,代替了串行链接方式中的总线允许信号线。总线仲裁器中包含一个计数器,通过循环计数生成功能部件的地址,初始值由程序设置。每个功能部件均包含一个地址判别电路,用于判断部件地址线上的计数值是否与自身地址相一致。

对于计数查询方式,其优点为:①优先级循环改变,本次仲裁获得总线使用权的功能部件,在后续仲裁中优先级变为最低;②单点故障不敏感,当某部件出现故障时,并不会影响其他部件的正常工作。而缺点在于:①仲裁速度很慢,每次仲裁都需要通过发送一定次数的地址来询问;②扩展有限且难度较大,总线所能连接的部件数量,受到部件地址信号线线数限制,连接线也较多。因此,计数查询集中式仲裁方式适用于规模较稳定的系统。

### (3) 独立请求。

在独立请求方式中,用于总线仲裁的控制线共有  $2N$  根,其中总线请求信号线  $N$  根,一个功能部件一根,用于把各功能部件总线请求信号分线传送到总线仲裁器;总线允许信号线  $N$  根,一个功能部件一根,用于把总线仲裁器的总线允许信号分线传送到各功能部件,总线仲裁器与功能部件之间的连接如图 3-17 所示。总线仲裁过程为:①当存在功能部件需要数据交换时,该功能部件则通过自身的总线请求信号线向总线仲裁器发送请求信号,指示自身申请总线使用权;②当总线仲裁器接收到总线请求信号(可能一个也可能多个总线请求信号有效),则测试所有总线允许信号分线上的信号(可能一个也可能没有总线允许信号有效)以检查总线是否忙;③若总线不忙,总线仲裁器则对当前接收到的总线请求信号进行排队,形成总线使用权的优先次序,并通过总线允许信号线向优先级最高的功能部件发送允许信号,指示总线可以使用,若总线忙,总线仲裁器继续测试所有总线允许信号分线上的信号,直到总线不忙为止;④接收到总线允许信号的功能部件(一定存在总线请求)则清自身总线请求信号,进入总线周期;⑤总线周期结束时,总线仲裁器清有效的总线允许信号,转入下一次总线仲裁。

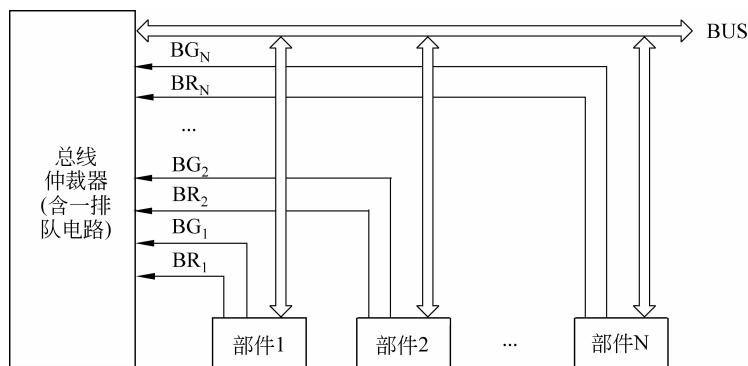


图 3-17 独立请求仲裁的连接结构

独立请求方式中各功能部件均有自身的总线请求信号线和总线允许信号线,总线仲裁器知道有哪些部件参与本次竞争总线使用权,也可以单独通知具有总线使用权的部件去占用总线。总线仲裁器中包含一个排队电路,来判别本次仲裁由哪一个部件获得总线

使用权。

对于独立请求方式,其优点为:①优先级改变灵活,既可以预先固定,也可以综合各种影响总线使用权优先次序的因素通过程序来改变,还可以屏蔽某功能部件的请求而禁止其使用总线;②单点故障不敏感,当某部件出现故障时,并不会影响其他部件的正常工作;③仲裁速度快,不需要逐个部件地询问。而缺点在于:①扩展有限且难度较大,总线所能连接的部件数量,受到仲裁控制线线数限制,连接线也较多;②总线仲裁器结构较复杂、仲裁控制线多。因此,独立请求集中式仲裁方式应用广泛。

### 3. 分布式仲裁

分布式仲裁不需要配置总线仲裁器,各功能部件自行决定在竞争总线使用权的功能部件中是否具有最高优先级,它主要有自举分散、冲突检测和并行竞争等三种方式。

#### (1) 自举分散。

在自举分散方式中,用于总线仲裁的控制线共有  $N$  根,其中总线忙信号线(BS)一根,( $N-1$ )根总线请求信号线  $BR_{N-2}, BR_{N-3}, \dots, BR_0$  分别对应部件  $N-2$ 、部件  $N-3, \dots$ ,部件 0,其作用与串行链接方式相同,功能部件之间的连接如图 3-18 所示。总线仲裁过程为:①当存在功能部件需要数据交换时,该功能部件则测试总线忙信号线上的信号以检查总线是否忙;②若总线不忙,功能部件通过自身总线请求信号线发送请求信号,并读取比自身优先级高的总线请求信号线上的请求信号;③如果没有发现请求信号,则立即置总线忙信号,以阻止比自身优先级高的功能部件发送总线请求信号,进入总线周期,如果发现请求信号,则转回到①,直到没有发现请求信号为止;④若总线忙,也转回到①,直到总线不忙为止;⑤总线周期结束时,则释放总线的功能部件,清总线忙信号和自身的总线请求信号,转入下一次总线仲裁。

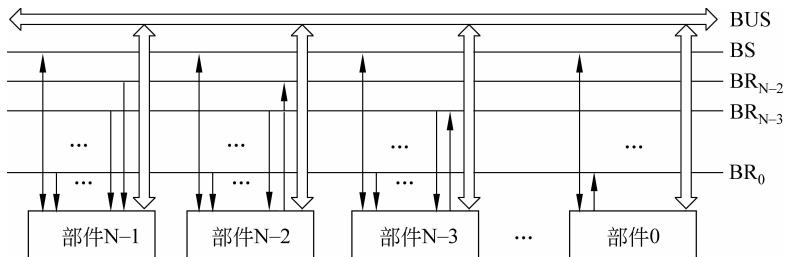


图 3-18 自举分散仲裁的连接结构

部件  $N-1$  没有总线请求信号线,即它不可能阻止其他功能部件发送总线请求信号;部件 0 不需要读取任何功能部件的总线请求信号,即其他功能部件不可能阻止它发送总线请求信号。同理,部件  $N-1$ 、部件  $N-2$ 、……、部件 1 分别需要读取  $N-2$ 、 $N-3$ 、……、一个功能部件的总线请求信号,即分别有  $N-1$ 、 $N-2$ 、……、一个功能部件阻止它发送总线请求信号。可见,自举分散仲裁是固定优先级的,读取的总线请求信号越多,优先级越低,优先级由低到高依次为部件  $N-1$ 、部件  $N-2$ 、部件  $N-3$ 、……、部件 0。

对于自举分散方式,其优点为:结构简单、仲裁速度快,缺点在于:优先级固定、扩展有限且难度较大。总线所能连接功能部件的数量,受到总线仲裁控制线线数限制;扩展时,所有功能部件的连线均需要改变。

### (2) 冲突检测。

在冲突检测方式中,用于总线仲裁的控制线共有  $N+1$  根,其中总线忙信号线(BS)一根,  $N$  根总线请求信号线  $BR_N, BR_{N-1}, \dots, BR_1$  分别对应部件  $N$ 、部件  $N-1, \dots, \text{部件 } 1$ ,其作用与自举分散方式相同,功能部件之间的连接也与自举分散方式类同。总线仲裁过程为:①当存在功能部件需要数据交换时,该功能部件则测试总线忙信号线上的信号以检查总线是否忙;②若总线不忙,功能部件通过自身总线请求信号线发送请求信号,并读取除自身外的总线请求信号线上的请求信号;③如果没有发现请求信号,则立即置总线忙信号,以阻止其他功能部件发送总线请求信号,进入总线周期,如果发现请求信号,则撤销总线请求信号,延迟退让一定时间后转回到①,直到没有发现请求信号为止;④若总线忙,也转回到①,直到总线不忙为止;⑤总线周期结束时,则释放总线的功能部件清总线忙信号和自身的总线请求信号,转入下一次总线仲裁。

对于冲突检测方式,其优点为:结构简单、优先级由延迟退让时间决定而随机改变,缺点在于:仲裁速度慢、扩展有限。

### (3) 并行竞争。

在并行竞争方式中,用于总线仲裁的控制线共有  $(\lceil \log N \rceil + 1)$  根,功能部件之间的连接如图 3-19 所示。其中  $\lceil \log N \rceil$  根权值信号线,用于传送所有功能部件预先设定的仲裁号;一根竞争信号线,用于控制仲裁号逐位比较(高电平有效)。并行竞争仲裁的原理为:当功能部件有总线请求时,便把自身唯一的仲裁号发送到共享的权值信号线上;功能部件将从权值信号线上得到的权值与自身权值进行比较,如果权值信号线上的权值大,则撤销自身的仲裁号,本次竞争失败;如果权值信号线上的权值小,仲裁号保留在权值信号线上。

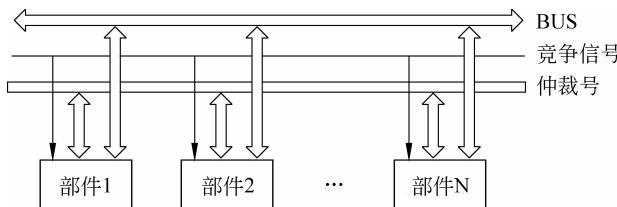


图 3-19 并行竞争仲裁的连接结构

显然,所有功能部件均配有一个仲裁号逐位比较的逻辑电路,包含 8 个功能部件的结构原理如图 3-20 所示,  $b_{j2} b_{j1} b_{j0}$  为  $j$  功能部件的仲裁号,  $j=1, 2, \dots, 8$ 。仲裁号逐位比较的逻辑为:

- ① 若权值线  $i$  为低电平,则至少有一个请求部件的  $b_{ji}$  为 1;若权值线  $i$  为高电平,则所有请求部件的  $b_{ji}$  为 0。
- ② 请求总线使用权的功能部件仲裁号  $b_{j2} b_{j1} b_{j0}$  取反后发送到权值线上,权值线则实现逻辑“线与”。
- ③ 总线仲裁时,从最高位至最低位以串行链式方式对权值信号线上的权值与请求部件权值各自逐位比较,位得胜者(请求部件的  $b_{ji}$  均为 0,则第  $i$  位均得胜,请求部件的  $b_{ji}$  不全为 0,则  $b_{ji}$  为 1 的第  $i$  位得胜)则传递信号  $W_{ji}$  为 1。
- ④ 当  $b_{ji}=1$  或  $b_{ji}=0$  且权值线  $i=1$  时,才使  $W_{ji}$  为 1;若  $W_{ji}=0$  时,将向下传递,使后

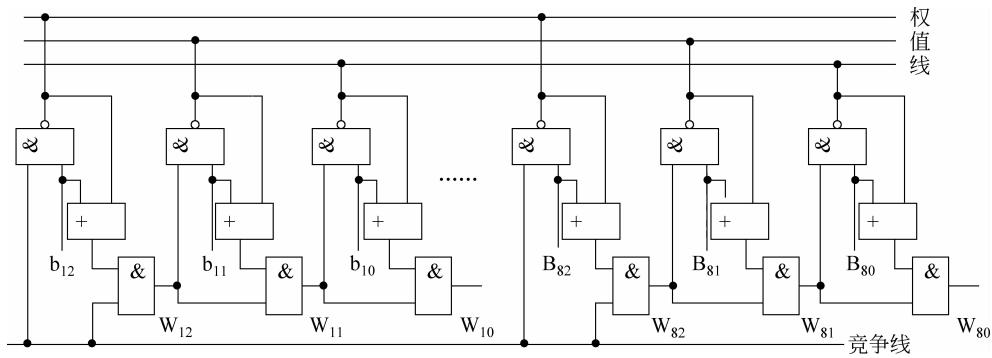


图 3-20 仲裁号逐位比较的结构原理

续的低位不能送往权值线。

⑤ 逐位比较是自动反复的过程，足够时间可得到稳定的仲裁结果。

对于并行竞争方式，其优点为：仲裁控制线少、通过程序可动态修改仲裁号而改变功能部件的优先级（仲裁号越大，优先级越高），缺点在于：结构复杂、仲裁速度慢、扩展有限。

### 3.2.5 单机系统的连接方式

对于单处理器计算机，系统总线的结构配置及其功能部件之间的连接方式，对信息传输效率和计算机有很大影响。根据功能部件之间的连接方式不同，单机系统的总线结构可分为单总线、双总线、三总线和高性能总线等四种类型。

#### 1. 单总线结构连接

对于单处理器计算机，当使用一束系统总线来连接 CPU、主存和 I/O 设备等功能部件时，则该计算机为单总线结构的或单总线连接的，如图 3-21 所示。显然，在单总线结构的计算机中，功能部件之间必须快速地进行信息交换，以使其他功能部件需要使用总线时，可尽早地获得总线使用权；当信息交换结束时，还能迅速放弃总线使用权；否则，由于总线的分时共享，导致时间延迟大。另外，不仅 CPU 可以与主存储器、I/O 设备进行数据交换，而且主存储器与 I/O 设备之间、I/O 设备之间也可以进行数据交换；通常还把 CPU 与 I/O 设备之间的数据交换称为输入输出，把主存储器与 I/O 设备之间的数据交换称为直接存储访问(DMA)。

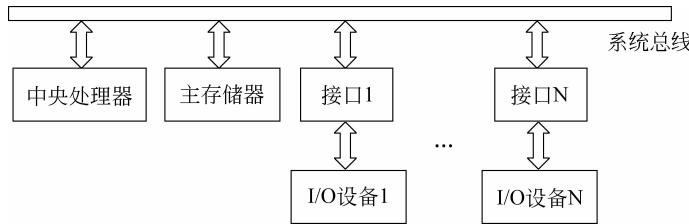


图 3-21 单总线连接的计算机结构

对于单总线结构，其优点为：结构简单、扩展容易，缺点在于：总线负载重、系统通信带宽受制于总线传输速率、高速部件的性能难以得到充分发挥。因此，单总线结构仅适用

于性能要求不高的小微型计算机。为提高计算机性能,便通过增配专用总线,把高速部件与慢速部件分离,提出了双总线、三总线和高性能总线等结构连接方式。

## 2. 双总线结构连接

对于单处理器计算机,当使用一束系统总线和一束专用总线来连接 CPU、主存和 I/O 设备等功能部件时,则该计算机为双总线结构的或双总线连接的。根据增配的专用总线不同,双总线结构又分为主存为中心的和采用通道的两种形式。

主存为中心双总线结构增配存储总线,把高速主存从系统总线分离出来,使得慢速 I/O 设备不会影响高速 CPU 的性能发挥,对应的计算机结构如图 3-22 所示。在主存为中心双总线结构中,CPU 通过存储总线来访问主存储器,而对 I/O 设备的访问则通过系统总线。另外,CPU 与主存之间和 I/O 设备之间的数据交换可以并行,当主存储器采用双端口时,CPU 与主存之间和主存储器与 I/O 设备之间的数据交换也可以并行。因此,对于主存为中心双总线结构,它仍保持单总线结构扩展容易的优点,还具有减轻系统总线负载、提高系统通信带宽、CPU 工作效率较高的特点。

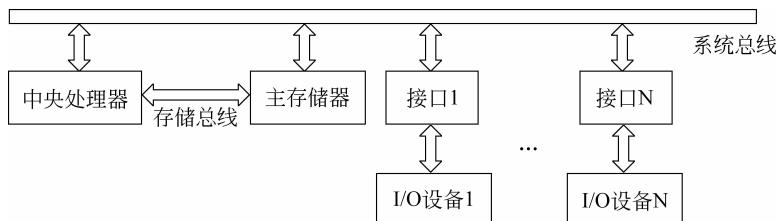


图 3-22 主存为中心双总线连接的计算机结构

采用通道双总线结构增配 I/O 总线,把慢速 I/O 设备从系统总线分离出来,不仅使得慢速 I/O 设备不会影响到高速 CPU 的性能发挥,还可减轻 CPU 直接控制输入输出的负担,对应的计算机结构如图 3-23 所示。在采用通道双总线结构中,所有的 I/O 设备连接在 I/O 总线上,通过通道(具有输入输出的特殊处理机,在第 7 章讲述)与系统总线连接。因此,采用通道双总线结构与主存为中心双总线结构具有完全相同的特点,均适用于性能要求较高的中小型计算机。

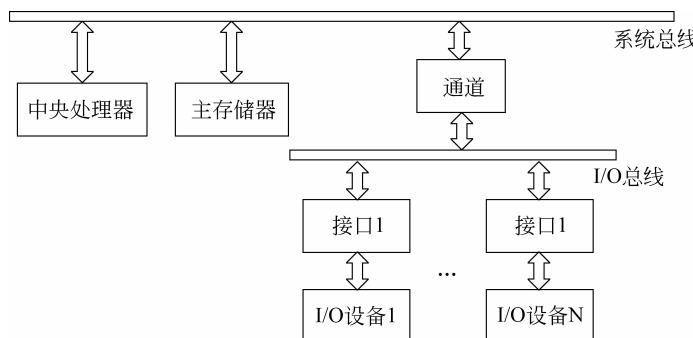


图 3-23 采用通道双总线连接的计算机结构

### 3. 三总线结构连接

对于单处理器计算机,当使用一束系统总线和两束专用总线来连接CPU、主存和I/O设备等功能部件时,则该计算机为三总线结构的或三总线连接的。根据增配的专用总线不同,三总线结构仍分为主存为中心的和采用通道的两种形式。

对于采用通道双总线结构,虽然通过增配I/O总线把慢速I/O设备从系统总线分离出来,但在主存储器与通道进行数据交换时,仍然会影响到CPU对主存的访问和CPU的性能发挥,便再增配存储总线而构成采用通道三总线结构,对应的计算机结构如图3-24所示。在采用通道三总线结构中,存储总线用于CPU与主存之间的数据交换,I/O总线用于I/O设备之间的数据交换,系统总线用于通道与CPU和主存储器之间的数据交换,从而可极大地提高系统通信带宽。因此,采用通道三总线结构适用于性能要求高的大中型计算机。

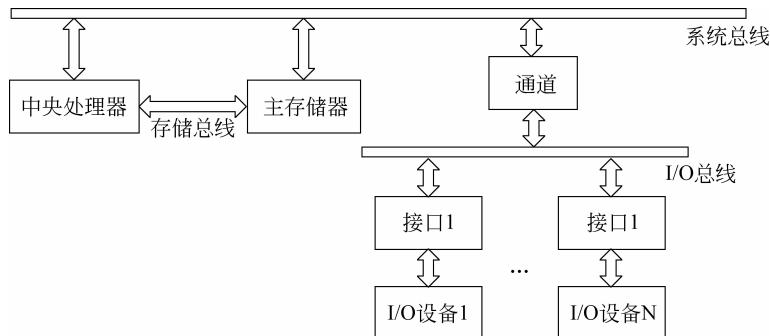


图3-24 采用通道三总线连接的计算机结构

对于主存为中心双总线结构,虽然通过增配存储总线把高速主存从系统总线分离出来,但往往I/O设备的速度差异很大,那么慢速I/O设备势必影响快速I/O设备的性能发挥,便再增配DMA总线而构成主存为中心三总线结构,对应的计算机结构如图3-25所示。在主存为中心三总线结构中,存储总线用于CPU与主存之间的数据交换,系统总线用于CPU与慢速I/O设备之间和慢速I/O设备之间的数据交换,DMA总线用于快速I/O设备与主存储器之间的数据交换,也可极大地提高系统通信带宽。因此,主存为中心三总线结构也适用于性能要求高的大中型计算机。

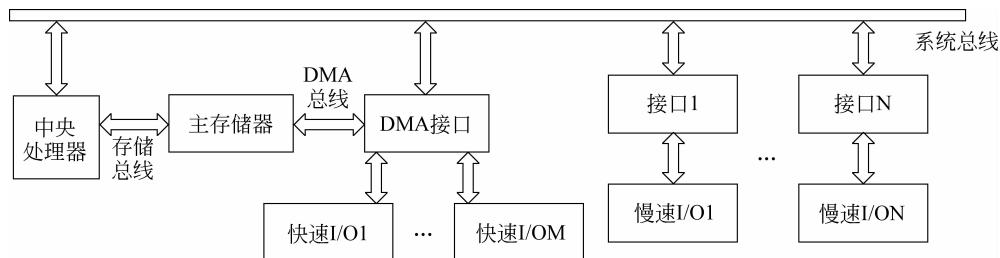


图3-25 主存为中心三总线连接的计算机结构