苏州大学实验报告

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 院、系 | 计算机学院 | | 年级专业 | | 17级计算机科学与技术 | | 姓名 | 魏军杰 | 学号 | 1727405175 |
| 课程名称 | | 模拟与数字电路设计 | | | | | | | 成绩 |  |
| 指导教师 | |  | | 同组实验者 | | 无 | | 实验日期 | 2018-11-12 | |

|  |  |
| --- | --- |
| 实 验 名 称 | 实验四 设计实验 |

1. **实验目的**

学习使用异或门组成全加器

1. **实验设备**

1.TD-DS+/TD-DS试验箱一台

2.74LS00 2输入端四与非门1片

3.74S86 2输入端四异或门1片

1. **实验原理**

异或门当两输入端数据不一致时，输出为真，其余为假

1. **实验步骤**

按图接线，输入端接逻辑开关，输出端接电平显示，结果填入下表中。

1. **实验结果**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
| C | A | B | S | CO |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

1. **实验体会**

通过此次实验，我学会了通过异或门组成全加器，了解了异或门的工作机制。