Boolean Algebra 및 논리 회로의 간소화

2017-13846 전기정보공학부 양준엽

1. 실험 목적

부울 대수와 드모르간의 정리를 이용한 실험을 통해 각각을 이해하고 Verilog HDL로 구현하여 검증한다.

1. 실험 이론

디지털 회로 설계의 목표는 최적의 성능과 최소의 비용을 갖는 회로를 구성하는 것으로, 부울 법칙은 주어진 논리함수를 최소 항목으로 구성되는 함수로 변환 시 적용되는 기본적인 법칙이다.

교환 법칙: A+B=B+A AB=BA

결합 법칙: A+(B+C) = (A+B)+C A(BC)=(AB)C

분배 법칙: A(B+C)=AB+AC (A+B)(C+D)=AC+AD+BC+BD

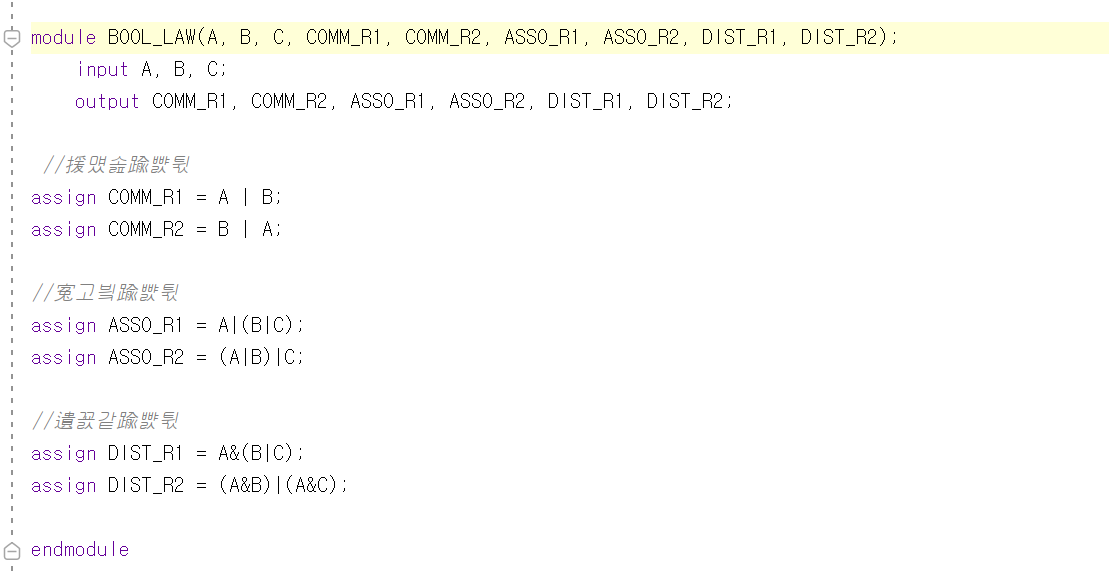
논리적 등식: A’’=A A+BC=(A+B)(A+C) A+A’B=A+B A’+AB=A’+B

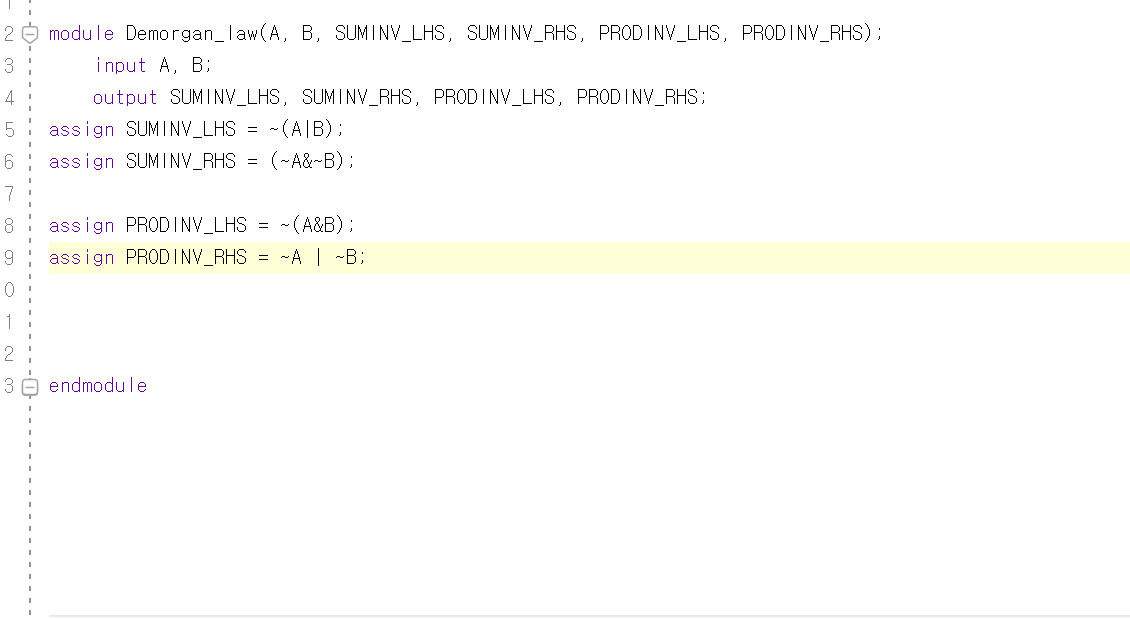
드모르간의 정리: NOR:(A+B)’=A’B’ NAND=(AB)’=A’+B’

1. 사용 장비

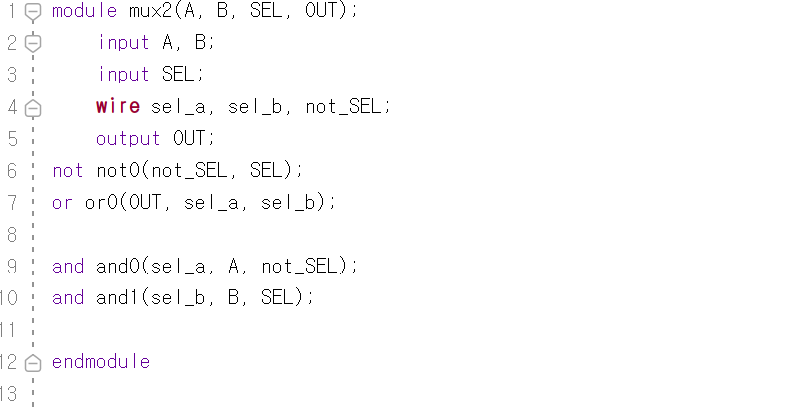
PC, ModelSim 소프트웨어

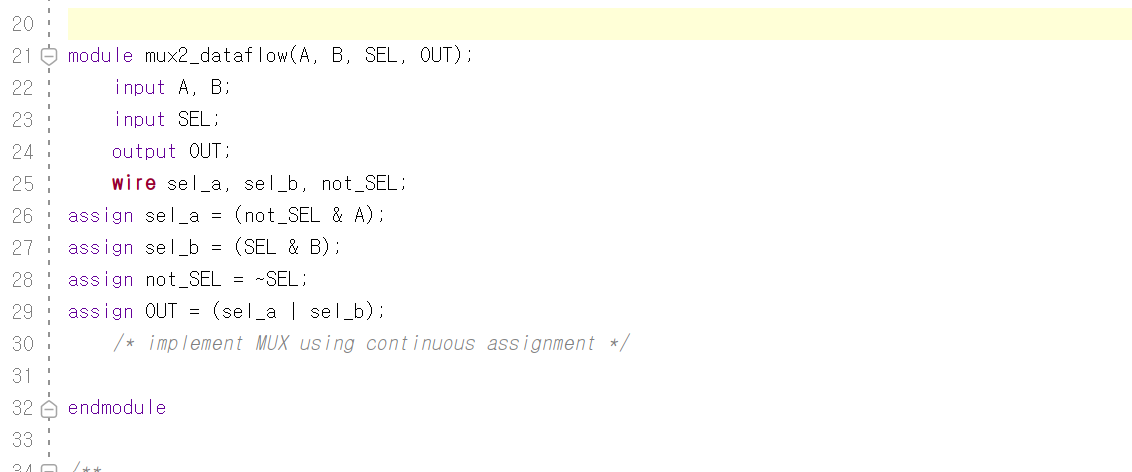
1. 실험 내용 토론 및 고찰사항

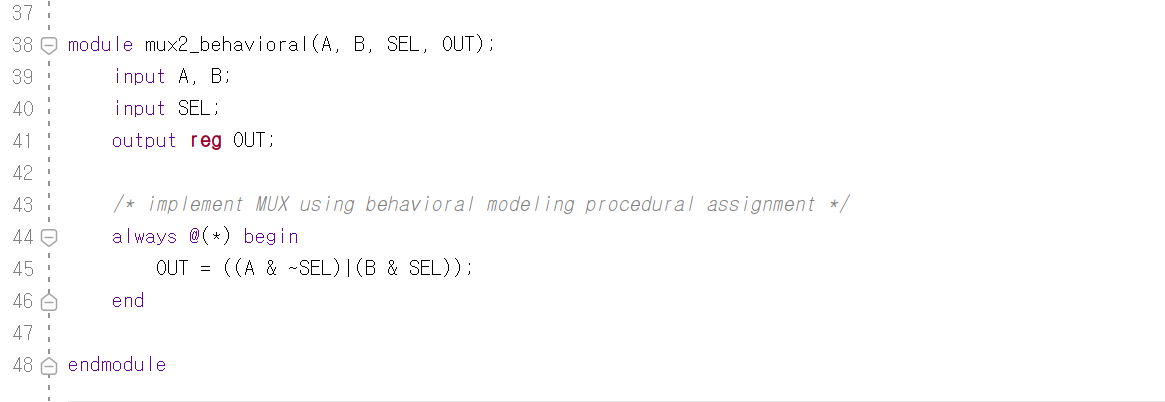




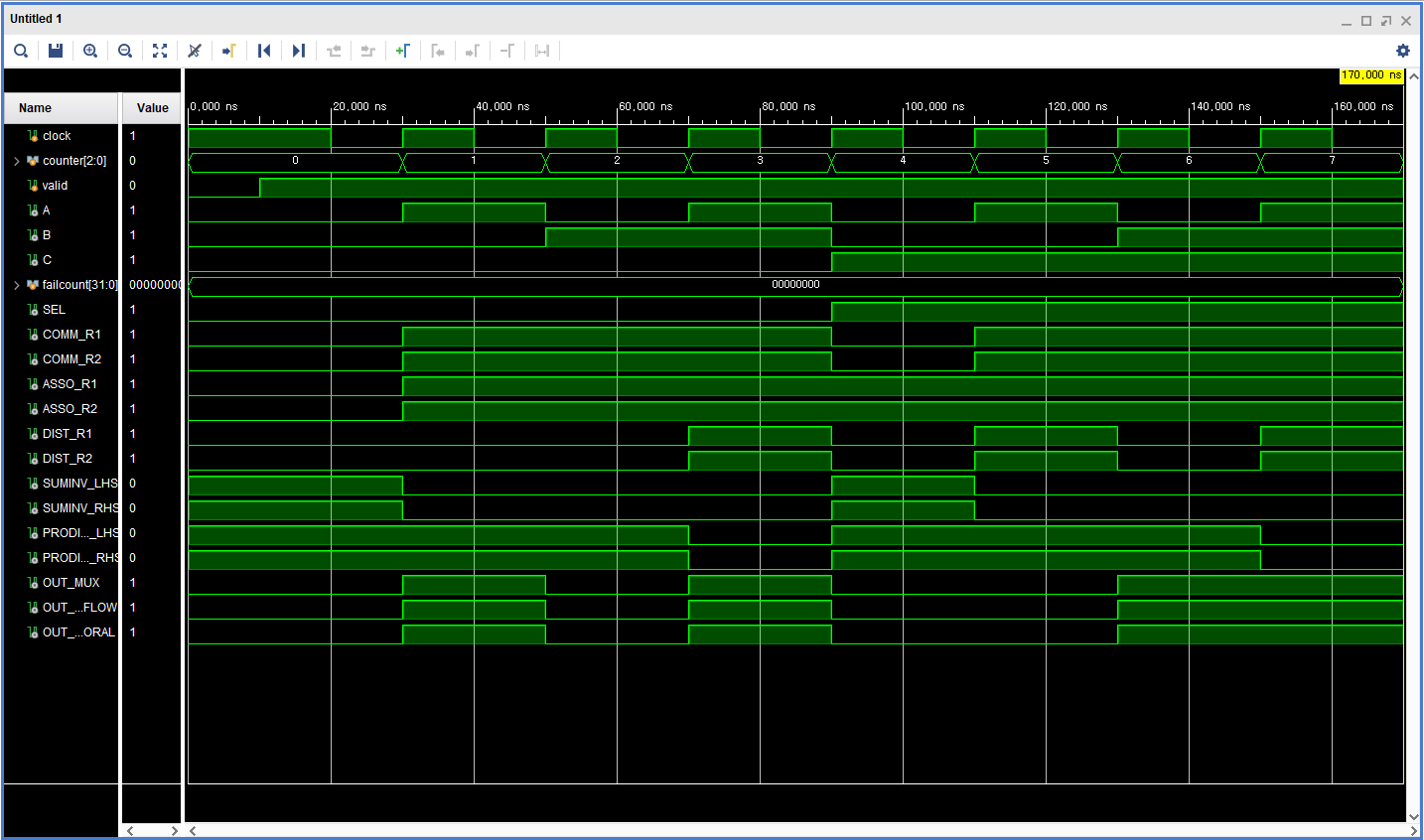
(3)







다음이 모든 모듈의 시뮬레이션 사진이다.



시뮬레이션 결과를 통해 (1)의 부울 대수의 동작, (2)의 드 모르간의 정리 모두 같은 결과값을 나타낸다는 것을 알 수 있다. 또한, not,and, or 모듈을 이용한 코드 또한 같은 결과값을 나타내 모두 표현하는 방법은 다르지만 같은 식임을 알 수 있다.

1. 참조

Etl.snu.ac.kr/Lab02\_BooleanAlgebra및 BooleanAlgebra및논리회로의간소화\_v2%20.pdf