

E.P.S. – U.A.M. – Arquitectura de Computadores – 03/Diciembre/2020

Apellidos, Nombre	DNI	Test Moodle (2p)	Probl.Cortos Moodle (4p)	Problema (4p)	TOTAL
Junco de las Heras Valenzuela	73164747E				

Problema (4 puntos).- Sea un sistema procesador MIPS con memoria total de 1MB y una caché unificada de 512 Bytes con bloques de 16 bytes. Se quiere ejecutar el siguiente programa cuyo bucle se ejecuta 5 veces. A los datos del vector A se acceden a partir de la dirección 0x321F0 y a los del B desde la dirección 0x42200.

Dirección	Instrucción	Comentario
0x021FC	inic: load r1, r2(0x1F0)	; load A[i] into r1
0x02200	add r6, r6, r1	; add A[i] to R6
0x02204	add r7, r1, r10	; A[i] + cte. R10 contains cte
0x02208	store r7, r4(0x200)	; store B[j]
0x0220C	add r2, r2, 4	; i++ (data size is 4 bytes)
0x02210	add r4, r4, 4	; j++ (data size is 4 bytes)
0x02214	bnq r2, r0, inic	; Jump to inic

Se quieren evaluar 2 arquitecturas para la caché: a) Correspondencia directa y b) Asociativa de 2 vías. Asumiendo que la caché está vacía inicialmente, calcular el porcentaje de aciertos en caché. Para ello se pide una tabla por cada tipo de caché donde se deben señalar los campos en los que se decodifican las direcciones y las entradas de la caché que se modifican.

a) La caché de correspondencia directa:

La etiqueta tiene 2 números a la izq que están en hexadecimal, y 3 a la derecha que están en binario, y el índice tiene 1 número a la izq que está en binario y a la derecha 1 número que está en hexadecimal.

DIRECCION	ETIQUETA	INDICE	BYTE/BLOQUE	Iteración - Fallo/Acierto
0x021FC	02 000	1 F	C	FALLO
0x321F0	32 000	1 F	0	FALLO
0x02200	02 001	0 0	0	FALLO
0x02204	02 001	0 0	4	ACIERTO
0x02208	02 001	0 0	8	ACIERTO
0x42200	42 001	0 0	0	FALLO
0x0220C	02 001	0 0	C	FALLO
0x02210	02 001	1 0	0	FALLO
0x02214	02 001	1 0	4	ACIERTO
Fin iteracion 1				

En la iteración 1 hay un total de 6 fallos. En las siguientes iteraciones las 2 primeras direcciones van a fallar siempre, la instrucción 0x02200 será un acierto siempre y la 0x02210 será siempre un acierto, así

E.P.S. – U.A.M. – Arquitectura de Computadores – 03/Diciembre/2020

que serán 4 fallos * 4 iteraciones más. En total serán $6 + 4*4 = 6+16 = 22$ fallos. Hay $9*5 = 45$ accesos a memoria en total, así que el porcentaje de aciertos será $(45-22)/45 * 100 = 51.11\%$ de aciertos.

b) La caché de asociativa de 2 vías:

DIRECCION	ETIQUETA	INDICE	BYTE/BLOQUE	Via	Iteración - Fallo/Acierto
0x021FC	021	F	C	1	FALLO
0x321F0	321	F	0	2	FALLO
0x02200	022	0	0	1	FALLO
0x02204	022	0	4	1	ACIERTO
0x02208	022	0	8	1	ACIERTO
0x42200	422	0	0	2	FALLO
0x0220C	022	0	C	1	ACIERTO
0x02210	022	1	0	1	FALLO
0x02214	022	1	4	1	ACIERTO
FIN ITERACION 1					

En la primera iteración se producen 5 fallos, pero en la segunda no se producen ningún fallo. En total 5 fallos contra los 22 de la caché directa. El porcentaje de aciertos es $(45-5)/45 * 100 = 88.89\%$ de aciertos.

La caché de 2 vías actúa mejor en este caso ya un acceso a memoria no machaca a la etiqueta que ya había, y como solo se acceden a dos etiquetas distintas para cada bloque, después de la primera iteración ya todas las direcciones de memoria están guardadas en el caché.

Así que se elige la caché asociativa de 2 vías.

(Continúa en la página siguiente)

Una vez elegida la cache, se quiere añadir soporte para memoria virtual, por lo que se propone incluir una MMU con TLB y soporte para un sistema paginado de dos niveles, donde un registro de 32 bits mantiene la dirección de memoria donde se encuentra el inicio del primer nivel de la tabla de páginas. El direccionamiento virtual permite trabajar con 1 GB de memoria. El TLB es completamente asociativo con 32 entradas. Se elige el menor tamaño de página que permite el acceso en paralelo al TLB y la unidad cache. El descriptor ocupa 2 bytes y se utiliza el mayor número posible de los bits de como bits de control. Estos bits de control ocupan la parte menos significativa del descriptor.

Considere que la CPU accede la dirección virtual (DV): 0x11024 y en la MMU se produce un fallo en TLB y en el acceso al sistema multipaginado se leen los siguientes valores para el registro y para los descriptors:

Registro de la MMU = 0xA0000

Descriptor de N1: 0xBCFF y Descriptor de N2: 0x12FF

Nota: Suponga que las tablas de nivel 2 tienen el tamaño de una página.

- a) Indique los campos en los que se descompone la dirección virtual para acceder a la tabla de páginas.

Si el direccionamiento virtual permite trabajar con 1 GB de memoria entonces las direcciones virtuales tienen 30 bits. Como se ha elegido la caché asociativa de 2 vías, se tiene que se necesitan 4 bits para el índice y 4 bits para el offset en el bloque de la caché, así que en total 8 bits, y si se quiere el menor tamaño de página para acceder a la vez al TLB y a la caché, entonces el offset (que es la parte de la memoria virtual que no se traduce) tiene que tener al menos 8 bits, y como se dice que quiere ser la mínima entonces se cogen 8 bits => el tamaño de página es de 256 Bytes pues se dirige a nivel de Byte.

Como las tablas de nivel 2 tienen tamaño de una página, entonces contienen a 2^8 B/2B descriptors (2B es el tamaño de un descriptor) = 2^7 descriptors, por lo que para redirigirlos se necesitan 7 bits.

Para direccionar el primer nivel se necesitarán $30 - 8 - 7 = 15$ bits.

En total la dirección virtual tiene como campos: 15 bits para direccionar el primer nivel, 7 bits para direccionar el segundo nivel y 8 bits para el offset en la página.

- b) ¿Qué dirección real (DR) devuelve la MMU?

La memoria real es de 1MB, así que se necesitan 20 bits para direccionar. Como el offset de la página son 8 bits entonces la dirección real son 12 bits para el marco de página y 8 bits para el offset de página.

En la MMU está el TLB que convierte las direcciones virtuales a las direcciones físicas.

Se busca la dirección virtual 0x11024, el offset son 0x24 y el contenido que te devuelve el descriptor N2 es 0x12FF, como el marco de página son 12 bits, y estos ocupan la parte menos significativa, eso es 2FF, así que la dirección real es 2FF24.

- c) Cuántos accesos a memoria han sido necesarios para realizar la traducción de DV a DR
2 accesos a memoria han sido necesarios, 1 para la página de nivel 2 y otro para la página que apunta la página del nivel 2.

d) Las direcciones de memoria principal a las que ha accedido la MMU para realizar la traducción

Primero a $0xA0000 + 2B \cdot 2$ que es donde está guardada la página de primer nivel (que está guardada en memoria virtual. Luego $0xBCFF + 2B \cdot 32$ que es donde está guardada la entrada de la segunda tabla, 2B del deciptor y 32 de 10000 en binario.