

P1 (2 pts).- Dado el número de 16 bits escrito en hexadecimal $A = 0x80A0$, se pide:

a) Señalar el valor en decimal que representa como suma de potencias binarias, suponiendo que:

a1. Es un número entero escrito en binario natural:

$$A = 0x80A0 = 1000000010100000 = 1 \cdot 2^{15} + 1 \cdot 2^7 + 1 \cdot 2^5 = \mathbf{32.928_{10}}$$

a2. Es un número entero con signo escrito en el formato signo-magnitud:

$$A = 0x80A0 = 1000000010100000 = - (1 \cdot 2^7 + 1 \cdot 2^5) = - \mathbf{160_{10}}$$

a3. Es un número entero con signo escrito en complemento a 2:

$$A = 0x80A0 = 1000000010100000 = - 1 \cdot 2^{15} + 1 \cdot 2^7 + 1 \cdot 2^5 = - \mathbf{32.608_{10}}$$

b) Dado el número $B = 0xB648$, se pide el resultado de la resta $R = A - B$, sabiendo que ambos números son enteros con signo escritos en complemento a 2. Indique el resultado en **hexadecimal** con 16 bits señalando, **justificando necesariamente la respuesta**, si el resultado de la operación es correcto o no.

$$R = A - B = A + C2(B)$$

$$B = 0xB648 = 1011011001001000$$

$$A \Rightarrow 1000\ 0000\ 1010\ 0000$$

$$C2(B) = 0100100110111000$$

$$C2(B) \Rightarrow + \underline{0100\ 1001\ 1011\ 1000}$$

$$1100\ 1010\ 0101\ 1000$$

$$R = A - B = 0x80A0 - 0xB648 = \mathbf{0xCA58}$$

El resultado es correcto, sumar un número negativo (A) con otro positivo (-B) nunca puede exceder la capacidad de representación del sistema.

c) Se tiene el número real escrito en decimal, $N = 4.100,375$, se pide (sin usar calculadora):

c1. Escribir el número N en un formato de coma fija para 24 bits (16b la parte entera y 8b la parte fraccionaria). **Indique el resultado en hexadecimal.**

$$N = 4.100,375_{10} = 1 \cdot 2^{12} + 1 \cdot 2^2 + 1 \cdot 2^{-2} + 1 \cdot 2^{-3} = 0001000000000100,01100000_2 = \mathbf{1004,60_{16}}$$

c2. Escribir el número N en un formato de coma flotante según el estándar IEEE-754 de 32 bits. Indique el resultado en hexadecimal, **señalando necesariamente** los pasos dados en la resolución del problema.

$$N = 0001000000000100,01100000 = 1,00000000010001100000 \cdot 2^{12}$$

Signo positivo $\Rightarrow 0$

Exponente $\Rightarrow 12$, con sesgo $12 + 127 = 139 \Rightarrow 10001011$

Mantisa $1,000\ 0000\ 0010001100000 \Rightarrow$ eliminando el '1' implícito y completando hasta 23 bits...

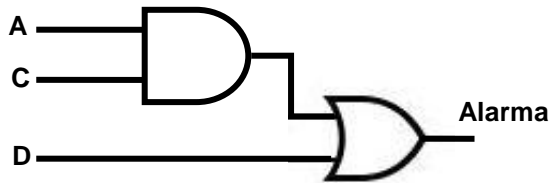
$$N = 4.100,375_{10} = 01000101100000000010001100000000 = \mathbf{45802300_{16}}$$

P2 (1,5 ptos).- Un sistema electrónico de alarma está constituido por cuatro detectores A, B, C y D. La alarma debe dispararse cuando se activen como mínimo tres de los cuatro detectores. Si se activan sólo dos detectores su disparo es indiferente. La alarma nunca debe dispararse si se activa uno o ningún detector. Por último y por razones de seguridad, también se deberá activar si $A = 0, B = 0, C = 0$ y $D = 1$. Diseñe e implemente (dibuje) un circuito de control para esta alarma utilizando para ello el menor número posible de puertas lógicas.

SOLUCIÓN

CD	00	01	11	10
AB				
00	0	1	X	0
01	0	X	1	X
11	X	1	1	1
10	0	X	1	X

$$\text{Alarma} = D + A \cdot C$$



FUNDAMENTOS DE COMPUTADORES. Examen 08/01/2013

P3 (1,5 ptos).- La tabla adjunta representa de forma conjunta la tabla de transición de una FSM configurada con 4 estados representados por Q_1Q_0 , una única salida Z y dos entrada X_1 y X_0 .

EST. ACTUAL		ESTADO SIGUIENTE: $Q_1^{n+1} Q_0^{n+1}$ // SALIDA Z			
Q_1^n	Q_0^n	$X_1X_0 = 00$	$X_1X_0 = 01$	$X_1X_0 = 10$	$X_1X_0 = 11$
0	0	01 // 0	11 // 0	01 // 0	01 // 0
0	1	10 // 0	00 // 0	01 // 0	11 // 0
1	0	10 // 1	11 // 1	11 // 1	10 // 1
1	1	01 // 0	11 // 0	01 // 0	10 // 0

Se pide:

- a) Señalar justificando necesariamente la respuesta si es una FSM de Moore o de Mealy.

Es una FSM de Moore, porque la salida ($Z = Q_1 \overline{Q_0}$) no depende de ninguna de las entradas.

- b) Escriba las ecuaciones para la transición de estado (ec. de excitación), para el biestable Q_1 , suponiendo que es un FF-JK

X_1X_0 Q_1Q_0	00	01	11	10
00	0	1	0	0
01	1	0	1	0
11	X	X	X	X
10	X	X	X	X

$$J_1 = Q_0 \overline{X_1} \overline{X_0} + Q_0 X_1 X_0 + \overline{Q_0} \overline{X_1} X_0$$

X_1X_0 Q_1Q_0	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	1	0	0	1
10	0	0	0	0

$$K_1 = Q_0 \overline{X_0}$$

- c) Escriba la ecuación para la transición de estado (ec. de excitación), para el biestable Q_0 , suponiendo que es un FF-D. Dibuje (implemente) dicha ecuación utilizando el multiplexor 4-1 de la figura adjunta y el mínimo número de puertas lógicas necesarias escogidas entre las señaladas en el esquema.

X_1X_0 Q_1Q_0	00	01	11	10
00	1	1	1	1
01	0	0	1	1
11	1	1	0	1
10	0	1	0	1

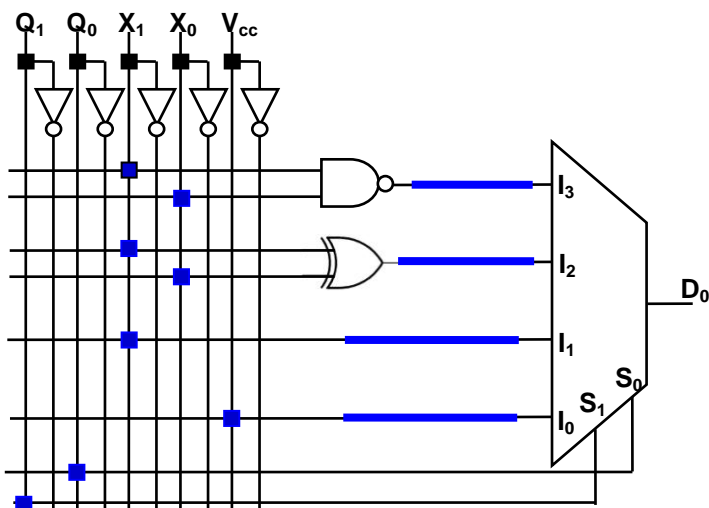
→ I_0

→ I_1

→ I_3

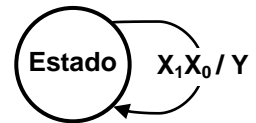
→ I_2

$$D_0 = \overline{Q_1} \overline{Q_0} + \overline{Q_1} X_1 + X_1 \overline{X_0} + Q_1 \overline{X_1} X_0 + Q_1 Q_0 \overline{X_1} = (\overline{Q_1} + Q_0 + X_1 + X_0) (Q_1 + \overline{Q_0} + X_1) (\overline{Q_1} + \overline{X_1} + \overline{X_0})$$



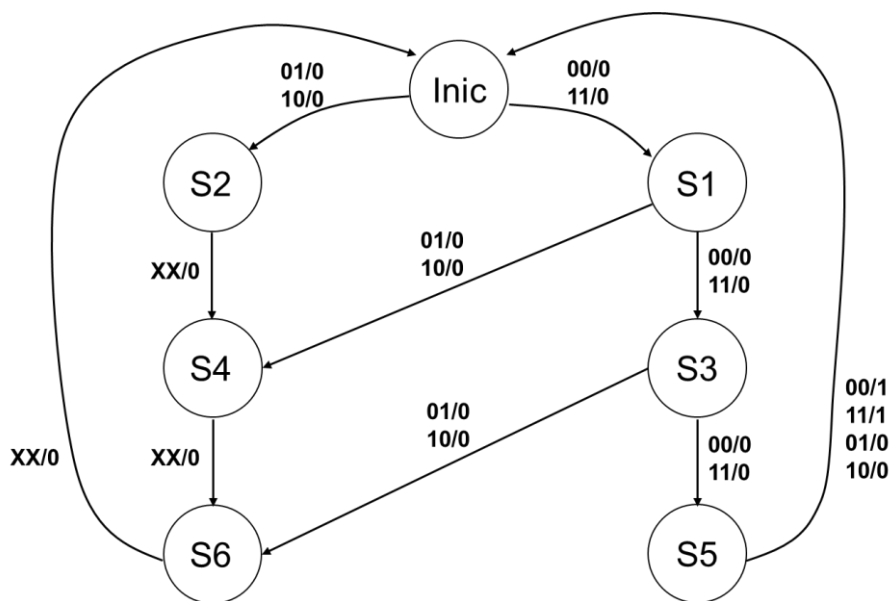
P4 (1,5 ptos).- Se pide diseñar un circuito, utilizando un autómata de Mealy, que compare entradas serie de paquetes de cuatro bits en dos canales y que proporcione una salida 1 cuando los cuatro bits de cada paquete coincidan. Por tanto, tendremos dos entradas X_1 y X_0 que van aceptando los bits uno a uno en cada ciclo de reloj y cuando se llega al cuarto bit el sistema produce una salida $Y = 1$ si los cuatro bits recibidos en los dos canales coinciden, siendo la salida $Y = 0$ en los restantes casos. Una vez completada la lectura de los cuatro bits se comienza con otros cuatro y así sucesivamente. Por ejemplo:

$X_1 \rightarrow 0111\ 0101\ 1110\dots$
 $X_0 \rightarrow 0101\ 0101\ 1000\dots$
 $Y \rightarrow 0000\ 0001\ 0000\dots$



La nomenclatura a seguir es la mostrada. Utilizad los estados del diagrama adjunto, añadiendo más si fuera necesario o dejando en blanco los que no se necesiten.

SOLUCIÓN



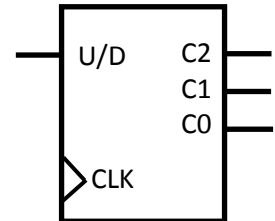
- Inic:** Estado inicial sin memoria, esperando el 1^{er} bit de 4
S1: Recibido 1^{er} bit, ambos son iguales.
S2: Recibido 1^{er} bit, ya son números distintos.
S3: Recibido 2^o bit, hasta ahora son números iguales.
S4: Recibido 2^o bit, ya son números distintos.
S5: Recibido 3^{er} bit, hasta ahora son números iguales.
S6: Recibido 3^{er} bit, ya son números distintos.

P5. (2 ptos.).- Se pretende diseñar un contador cíclico de números de 3 bits con las siguientes características:

- Sólo cuenta números primos. (Con tres bits serán 2, 3, 5 y 7)
- Tiene una entrada síncrona, denominada U/D, que permite seleccionar si cuenta de forma ascendente (U/D=1) o descendente (U/D=0)
- La salida se actualiza únicamente con los flancos de subida del reloj
- Si se encontrara en un estado que no pertenece a la secuencia, el siguiente estado sería el número primo más próximo, en función del valor de U/D.

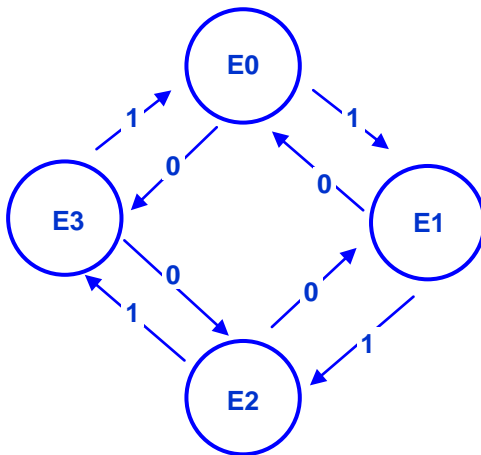
Se pide:

- Representar el diagrama de estados (se valorará el uso del menor número de estados posible).
- Diseñar el contador, utilizando el menor número de FF tipo D posible. Sólo es necesario indicar las ecuaciones de estado de cada biestable y las ecuaciones de salida, no hace falta dibujar el esquema resultante.



SOLUCIÓN:

La secuencia de números a contar, es decir, los números primos, son 2, 3, 5 y 7. Dado que los estados diferentes son 4, uno por cada número, se pueden codificar con sólo 2 FF. Con 2 FF, sólo hay cuatro combinaciones posibles, por tanto el sistema nunca puede caer en un estado que represente un número que no sea primo, es decir no es necesario diseñar un sistema antibloqueo. Por contra, para generar la salida del contador habrá que decodificar los estados.



Asignación y codificación de estados:

Nombre Codificación Valor de la salida

E0	00	010 (2)
E1	01	011 (3)
E2	10	101 (5)
E3	11	111 (7)

Entrada y Est. Actual			Est. Siguiente		Salidas		
U/D	Q ₁ ⁿ	Q ₀ ⁿ	Q ₁ ⁿ⁺¹	Q ₀ ⁿ⁺¹	C2	C1	C0
0	0	0	1	1	0	1	0
0	0	1	0	0	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	0	1	1	1
1	0	0	0	1	0	1	0
1	0	1	1	0	0	1	1
1	1	0	1	1	1	0	1
1	1	1	0	0	1	1	1

Dado que el contador se implementa con FF tipo D, las ecuaciones de estado coinciden con las del estado siguiente:

$$D_1 = Q_1^{n+1} = \sum m(0,3,5,6) = \overline{U/D} \cdot \overline{Q_1} \cdot \overline{Q_0} + \overline{U/D} \cdot Q_1 \cdot Q_0 + U/D \cdot Q_1 \cdot \overline{Q_0} + U/D \cdot \overline{Q_1} \cdot Q_0$$

$$D_0 = Q_0^{n+1} = \overline{Q_0}$$

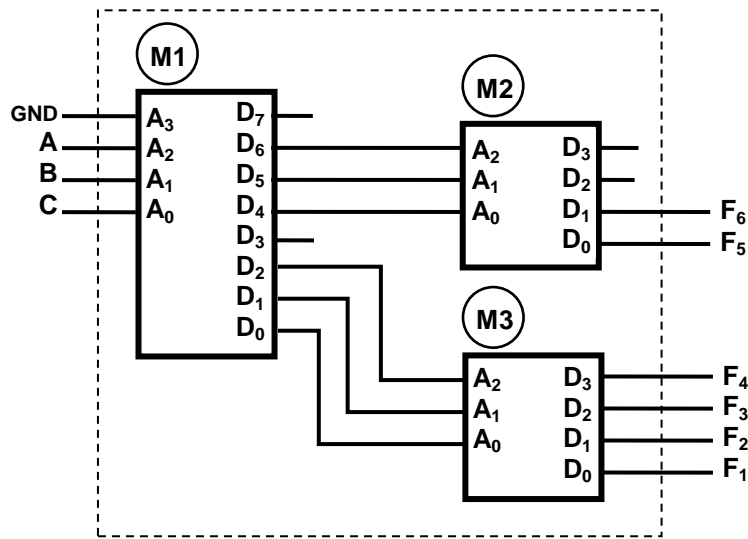
$$C_2 = Q_1^n \quad C_1 = \overline{Q_1^n} + Q_0^n \quad C_0 = Q_1^n + Q_0^n$$

NOTA:

Este ejercicio también se puede hacer usando tres FF y enviando los estados que no pertenecen a la secuencia al número primo más próximo, según dice el enunciado. En este caso no habría que decodificar el estado, pues podría ser directamente la salida del contador. Esta solución no sería la óptima, pues no usa el mínimo número de biestables, aunque también se ha tenido en cuenta en la corrección.

FUNDAMENTOS DE COMPUTADORES. Examen 08/01/2013

P6 (1,5 puntos).- Para la realización de cierto circuito combinacional complejo, con múltiples funciones de salida, se han utilizado una serie de memorias conectadas tal y como muestra la figura. El contenido de cada memoria se muestra en las tablas de la derecha.



Memoria 1			
Dir.	Dato	Dir.	Dato
00	A5	08	B0
01	47	09	B0
02	8C	0A	CA
03	9C	0B	FE
04	FF	0C	C0
05	3F	0D	A1
06	7E	0E	AA
07	C1	0F	AB

Memoria 2	
Dir.	Dato
00	F
01	B
02	D
03	3
04	1
05	0
06	C
07	3

Memoria 3	
Dir.	Dato
00	A
01	B
02	B
03	F
04	D
05	E
06	5
07	5

Se pide, justificando la respuesta:

- Expresión canónica de la función F6
- Expresión minimizada de la función F1

SOLUCIÓN

A	B	C	DATO	D ₆	D ₅	D ₄	DATO	F ₆	D ₂	D ₁	D ₀	DATO	F ₁
0	0	0	A5	0	1	0	D	0	1	0	1	E	0
0	0	1	47	1	0	0	1	0	1	1	1	5	1
0	1	0	8C	0	0	0	F	1	1	0	0	D	1
0	1	1	9C	0	0	1	B	1	1	0	0	D	1
1	0	0	FF	1	1	1	3	1	1	1	1	5	1
1	0	1	3F	0	1	1	3	1	1	1	1	5	1
1	1	0	7E	1	1	1	3	1	1	1	0	5	1
1	1	1	C1	1	0	0	1	0	0	0	1	B	1

a) $F(A,B,C) = \sum m(2, 3, 4, 5, 6) = \prod M(0, 1, 7)$

b) $F(A,B,C) = \prod M(0) \Rightarrow F(A,B,C) = (A + B + C)$