|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Apellidos, Nombre** | **DNI** |  | **Test**  **(2p)** | **Prob Test**  **(4p)** |  | **Problema**  **(4p)** | **TOTAL** |
|  |  |  |  |  |  |  |  |

**Problema (4 puntos).-** A un sistema procesador con bus de direcciones de 16 bits, con un tamaño de instrucción de 2 bytes y un tamaño de palabra de 16 bits, se le desea dotar de una pequeña unidad caché para instrucciones de 32 bloques y 16 bytes por bloque. Se incluyen los bits de validez y la estrategia para reemplazamiento es LRU cuando sea necesario. Se valoran dos posibles configuraciones:

1. Caché de correspondencia directa.
2. Caché asociativa de 2 vías.

Para valorar cuál de las soluciones es más adecuada, se ejecuta un programa con una secuencia de instrucciones guardadas en el rango de direcciones 0 a 61 y teniendo en cuenta que :

* Las instrucciones guardadas en las direcciones de memoria de 0 a 31 se ejecutan una vez.
* Las instrucciones guardadas en las direcciones de memoria de 32 a 61, pertenecen a un bucle que se ejecuta 5 veces.

Se pide:

1. Indicar como se decodifica la dirección para el acceso en ambas caches.
2. Enumerar, indicando su tamaño, todos los recursos que se necesitan para implementar tanto la parte del directorio como la parte que guarda los datos, para ambas cache.
3. Encontrar la tasa de fallos para ambas cachés.

Una vez elegida la cache, se quiere añadir soporte para memoria virtual, por lo que se propone incluir una MMU que incluya un TLB, y el primer nivel de la tabla de páginas. La tabla de páginas multinivel con dos niveles se diseña para que el primer nivel se consulta en una memoria dedicada dentro de la MMU con organización de correspondencia directa. El segundo nivel se guarda en memoria principal, ajustando cada tabla al tamaño de una página. El direccionamiento del procesador se mejora para alcanzar 1 MByte de memoria virtual. El TLB debe ser completamente asociativo con 32 entradas y los descriptores que se utilizan en el TLB y en la tabla de páginas son de 2 bytes.

Indicar justificando la respuesta:

1. El menor tamaño de página que permita el acceso en paralelo al TLB y la unidad cache, si se utiliza la caché de correspondencia directa.

*NOTA: En caso de no responder a este apartado, se permite elegir un tamaño de página para el resto de secciones.*

1. Indicar como se decodifica la dirección virtual para acceder al TLB.
2. Indicar como se decodifica la dirección virtual para el acceso a la tabla de páginas. Suponga que el tamaño de descriptor utilizado es de 2 bytes.
3. El tamaño de la MMU y el tamaño de la tabla de páginas.