**电子设计自动化**

**作业三**

**姓 名 黄智越**

**学 号 23S136049**

# 实验一 enum类型中申明四态对象的初始化赋值

## 实验目的及方案

**实验目的：**

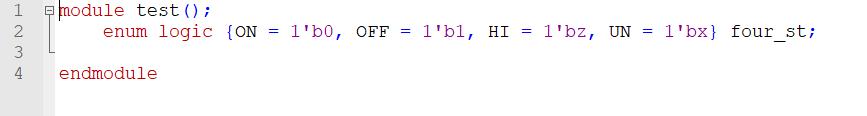
1. 了解enum类型中申明四态对象的初始化赋值

**验证方案**：

编译如下的代码

## 实验内容

1. 书写原代码



1. 进行编译查看结果

编译成功

## 实验结果及分析

enum中logic标签的声明可以被赋四个不同的状态。

# 实验二 书写struct结构体

## 实验目的及方案

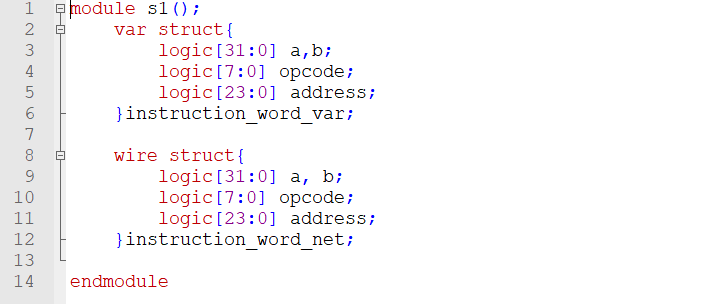
**实验目的：**

（1）了解systemverilog中stuct结构体的基本书写方式和语法

**验证方案**：

书写下列代码并编译

## 实验内容



## 三、实验结果及分析

编译正常，与c/c++中struct结构体差别不大。

# 实验三 用匿名结构体赋值

## 实验目的及方案

**实验目的：**

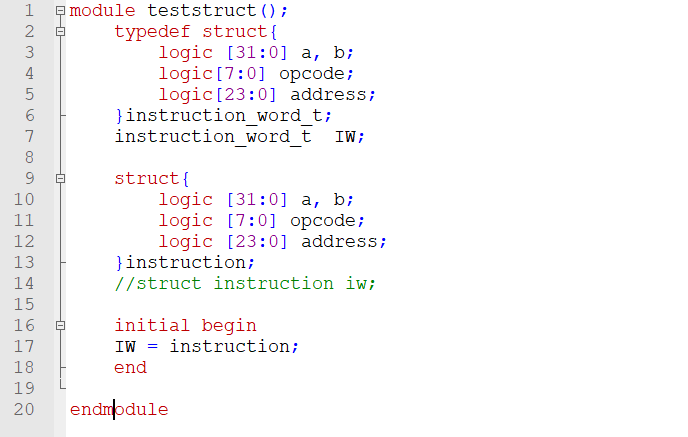
（1） 了解用匿名结构体赋值给另一种自定义类型时，尽管它们的内部结构相同，但是systemverilog拒绝这种操作

**验证方案**：

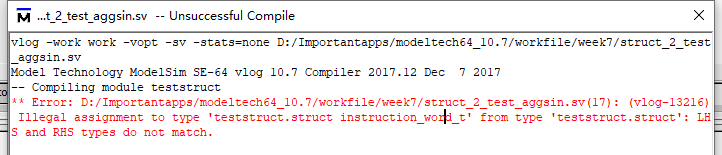
输入如下代码并编译

## 实验内容

代码如图所示：



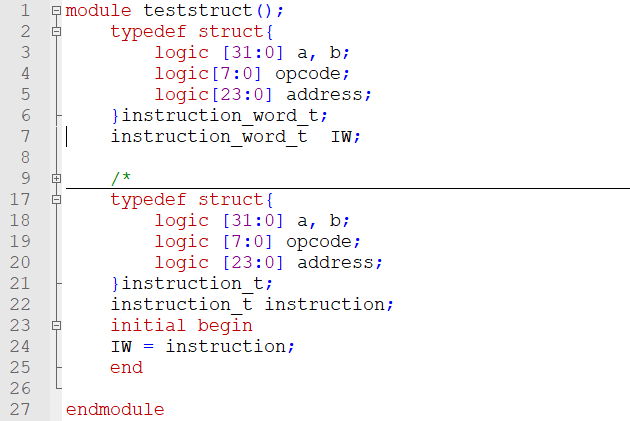
编译结果如下:



## 实验结果及分析

结论：编译器只通过名字去辨别变量类型。

提示信息显示等式左端和右端类型不匹配，将匿名struct的变量赋值给 instruction\_word\_t时时非法申明。 于是我决定将匿名结构用typedef重新定义新名字:instruction\_t，然后在实例化，再将其付给instruction\_word\_t，编译后仍然报错。



# 实验四 压缩型结构体和压缩型数组

## 实验目的及方案

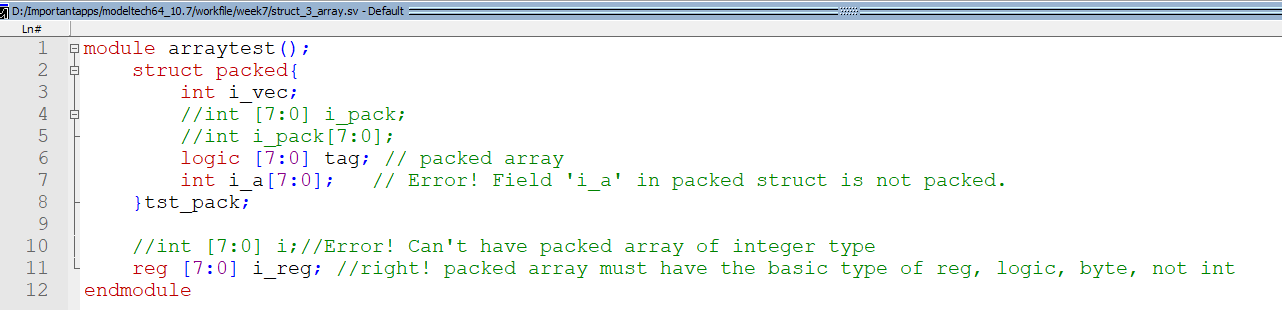
**实验目的：**

（1）熟悉压缩型数组和压缩型结构体的定义和书写

**验证方案**：

输入如下代码进行编译

## 实验内容



## 三、实验结果及分析

如果第四行未被注释，编译器报错。原因如下，int [7:0] i\_pack 是压缩型数组的申明，而压缩型数组的基本类型应该为byte 或logic这样能表示成向量的类型，所以int在这里无法成功定义压缩型数组，作为对比，第6和第11行代码是正确的。

压缩型结构体只能包含压缩型的元素，int i\_a [7:0]在结构体内部也是非法的,编译器提示i\_a在压缩型结构体，但它本身却不是压缩型的。