1. interface

1.简述 interface 的作用及如何用 interface将模块仅连接到本模块用到的信号上（2016）

2.简述systemVeriloo中接口的优势，并用接口定义一个简单的总线，并用modport对 不同类型设备使用的端口进行归类(2017)

3.如何用interface进行硬件设计?modport及接口方法作用是什么?（2015)

4. 用interface设计一种总线，并给出两主、两从的连接方式，要求有合理握手信号,并主设备、从设备信号分离。（2014）

1. 模块划分原则
2. 给出以综合为目的的模块划分原则。（2016）
3. 简述集成电路设计时模块划分的一般原则。（2017）

三、

1. 简述unique case与综合指令 parallel case的区别。(2016)
2. 举例说明使用unique case时，当条件项不全时,综合时会不会产生锁存器。(2017)
3. 举例说明unique修饰符的用法和使用unique修饰符的好处(2014)

四、

1. 举例说明用结构体作为模块端口传递数据时的规则。（2016）
2. 举例说明如何应用结构体作为模块端口。（2015）
3. 举例说明压缩结构体的操作。（2015）
4. 举例说明用缺省基类型的枚举类型设计状态机的潜在问题，并简述设计状态机的一般原则。（2016）
5. 设计一个不少于4个状态的状态机及其验证程序。（2014）
6. 举例说明always\_comb与always @\*的区别。（2016）
7. 举例说明always comb推断如何推断出函数/任务中的信号为敏感表。（2017）
8. 给出 always\_comb 与 always@\*的异同。(2015)
9. 给出考研成绩的数据结构:要求能够按性别、单科成绩、总成绩分别排序。（2016）
10. 给出大学生数学建模竞赛的数据结构,内容包括性别、学生类别（博士生、硕士生、本科生)、及分数(开题报告分数模型报告分数、答辩分新、总分数)。（2017）
11. 利用结构、联合、枚举、数组等知识描述体操比赛运动员的数据结构:要求能够按性别、单项成绩、全能成绩分别排序。（2015）
12. 利用结构、联合、枚举数组等知识描述研究生课程成绩的数据结构，要求有合理的层次,且能方便按总成绩排序。（2014）

八、

1. 给出一个顶层名为CPU\_TOP的模块的综合约束，自己命名如目标库，线载模型等必须用到的名称。（2016）
2. 以顶层设计名为h264,使田的工艺库为smic018,综合工具为DesionCompiler为例，给出从时序、工作环境、面积和设计规则等方面对h264的综合约束文件,对自定义的变量给出必要的说明。（2017）
3. 工艺库smic018包括以下内容:工作环境为typical,线载模型为 tc6a10k,最小驱动的反向器INA的输入端口为IA，最大转换时间为12时间单位;利用以上参数给出一个名为RISC的时钟信号端口为ck的设计的综合约束,要求包括时序、面积和环境三方面约束。（2015）
4. 给出逻辑综合5个命令,#说明其用法

九、

1. 给出 systemVerilog对函数的改变中哪些是对设计真正有利的改善。（2017）
2. 给出systemverilog对函数的不影响设计可移植性、可读性和复用性的重要扩展。（2015）
3. 列举不少于5条systemverilog相对于verilog不影响设计可移植性、可读性和复用性的重要扩展。（2014）

十、

1. 用systemVerilog描述以下功能，数据输入为8bit端口，输入的数据要填入数据包中，该数据包由8bit命令，32bit数据，24bit地址，8bit校验位，其中效验位由命令、数据、地址生成，且每8bit生成1bit的校验位。（2017）

十一

1. 分析并给出 while(k+t<LIMIT)和 while(+tj< LIMIT)循环的循环次数(2015)

十二、

1. 举例说明有无关通配符相等操作符（?）的操作结果（2015）

十三、

1. 用if语句描述一个与条件选项顺序无关的4选一选择器。（2015）