Dimeso de Haronsonia Institut Catholique de Bafoussam ETABLISSEMENT D'ENSTIGNEMENT SUPERIEUR AUTORISE PAR LE MINESUP AUT N 15/05583/ATINESUR/ DDE 056/06/15

H.F. 210 Balaussam, Tel. 242 000 350/ 242.000 351

Examen

Architecture 2017-2018

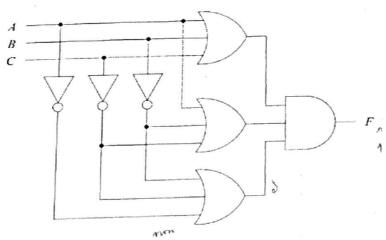
Génie Informatique BTS 1 - S2 (MSI, II, GL) session Normale 2heures

Exercice 1: Questions de cours.

- a. Définir : microprocesseur et citez les éléments qui le constituent
- b. Présenter le : multiplexeur, démultiplexeur.
- c. Etablir la différence entre l'unité de commande microprogrammée et l'unité de commande
- d. Rappeler les principes d'un demi-additionneur puis d'un additionneur complet et réaliser (table de vérité -fonction simplifie – circuit logique) un demi additionneur. (II, MSI)
- e. Quelles sont les principales différences entre la DRAM et la SRAM ? Ou utilise-t-on de la DRAM? De la SRAM
- f. Sur quels ports connecte-t-on les périphériques d'extension Citez 4 cartes d'extension
- g. Classez les mémoires suivantes par taille, par rapidité : RAM, registres, disques durs, cache,cd-rom
- h. Quelles sont les caractéristiques d'une mémoire idéale?
- i. Quel sont les éléments qui caractérise une bonne machine(PC)
- j. Lors d'un accès par le processeur à un mot en mémoire centrale, deux cas peuvent se _présenter
 - a) le mot est présent dans le cache,
 - b) le mot n'est pas présent dans le cache.

Que va-t-il se passer dans chacun des cas? C'est quoi la mémoire cache?

k. Gênerez la fonction correspondante a ce circuit.



Exercice 2: Mémoires.

Soit une mémoire cache de niveau L1 ayant les caractéristiques suivantes : ici 1ko = 1024 o

- 32 mots par lignes (mots de 2 octets)
- Taille de 32ko
- L1 et L2 sont inclusifs

Institut Catholique de Bafoussim CTABLISSEMENT D'ENSEIGNEMENT SUPERIEUR AUTORISE PAR LE MINESUP ACCT NOT LISSEN/LUNGSUP/ DOL 056/06/15

B.F. 270 Hatnessam, Tr. 242 000.350/242 000 :51

4 associatifs.

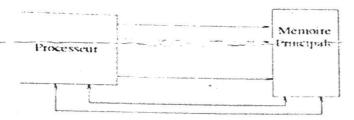
Remplacement LRU.

- Association par poids faible
- Taille de bus d'adresse : 32bits
- a) Combien y a-t-il de lignes dans cette mémoire cache ?
- b) Combien y-a-t-il de blocs associatifs dans cette mémoire cache?
- e) Si la mémoire cache de niveau L2 a une taille de 2 Mo, combien y a-t-il de blocs de la mémoire cache L2 par bloc de la mémoire cache L1?

Exercice 3. Conversions:

Base 2	Base 8	Base 10	Base 16
101000111101			Dasc 10
	129		
		256	
			A0B2

Exercice4. Architecture interne



a. Quels sont les différents bus système et quel est le rôle de chacun d'entre eux? Nommez les flèches:

Question bonus:

Au jour de l'An, les 5 membres de la famille embrassent les autres personnes. Combien de baisers seront échangés ? 1pt

NB. La présentation ici est prise en compte