



(12)发明专利

(10)授权公告号 CN 103929271 B

(45)授权公告日 2017.04.19

(21)申请号 201410123580.3

(22)申请日 2014.03.28

(65)同一申请的已公布的文献号
申请公布号 CN 103929271 A

(43)申请公布日 2014.07.16

(73)专利权人 中国科学院自动化研究所
地址 100190 北京市海淀区中关村东路95号

(72)发明人 王晓琴 张森 赵旭莹 吴军宁
郭晓龙 林啸 郭璟 王伟康

(74)专利代理机构 中科专利商标代理有限责任公司 11021
代理人 宋焰琴

(51)Int.Cl.
H04L 1/00(2006.01)

(56)对比文件

CN 101515839 A, 2009.08.26,
WO 2009132203 A1, 2009.10.29,
CN 102255687 A, 2011.11.23,
CN 102325000 A, 2012.01.18,
CN 1770675 A, 2006.05.10,

审查员 辛欣

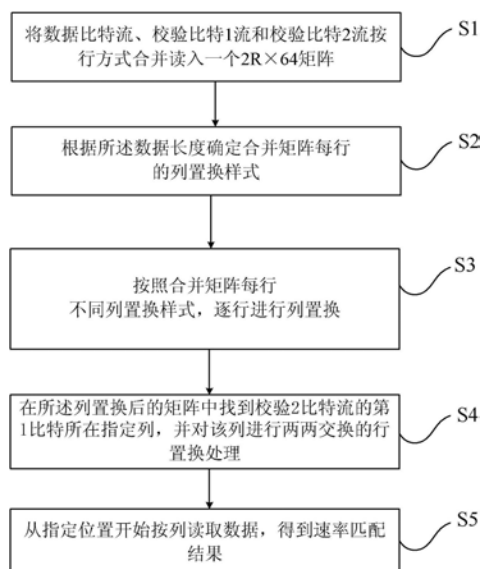
权利要求书2页 说明书7页 附图5页

(54)发明名称

一种LTE系统速率匹配的并行实现方法和装置

(57)摘要

本发明公开了一种LTE系统速率匹配并行实现方法和装置,该方法包括:将Turbo编码后的数据比特流和校验比特1流与校验比特2流按行合并存放,根据Turbo编码后数据长度D,确定列置换样式;逐行完成列置换;对于校验比特1流与校验比特2流合并处理后的特殊列进行特殊处理;从指定位置开始按列读取数据,得到速率匹配后的比特流。应用本发明实施例以后能够加快速率匹配的速度。



1. 一种LTE系统速率匹配的并行实现方法,该方法包括:

步骤S1、将数据比特流、校验比特1流和校验比特2流按行方式合并并读入一个 $2R \times 64$ 矩阵,其中 R 为自然数,且 $R = \lceil D/32 \rceil$, D 为数据比特流的长度,其中将数据比特流存入前32列,校验比特1流和校验比特2流按行交替存入后32列,所述数据比特流为Turbo编码后的数据比特流或卷积编码后的数据比特流;

步骤S2、根据所述数据比特流的长度确定合并矩阵每行的列置换样式;

步骤S3、按照合并矩阵每行的列置换样式,逐行进行列置换;

步骤S4、在所述列置换后的合并矩阵中找校验比特2流的第1比特所在的特定列,并对该列进行行置换;

步骤S5、从指定位置开始按列读取数据,得到速率匹配结果。

2. 根据权利要求1所述的LTE系统速率匹配方法,其特征在于,合并矩阵具有如下特点:子矩阵 $[R \times 32]$ 存储数据比特流;子矩阵 $[2R \times 64]$ 存储校验比特流,校验比特1流和校验比特2流交替存储;矩阵其余元素填充0比特。

3. 根据权利要求1所述的LTE系统速率匹配方法,其特征在于,在所述步骤S2中,根据所述数据长度 D 确定8种合并矩阵的列置换样式,这8种列置换样式分别对应合并矩阵中校验比特1流所在行和校验比特2流所在行各4种列置换样式,其中数据长度 $D = K + 4$, K 表示编码块长度,4表示编码后尾比特个数。

4. 根据权利要求3所述的LTE系统速率匹配方法,其特征在于,每种列置换样式共计64列,其中前32列表示数据比特流的列置换样式,后32列表示校验比特1流或校验比特2流的列置换样式。

5. 根据权利要求1所述的LTE系统速率匹配方法,其特征在于,在步骤S3中,从 $N=0$ 开始并按步长为1递增至 $R-1$,根据列置换样式对合并矩阵逐行完成列置换操作,并且每次处理两行。

6. 根据权利要求1所述的LTE系统速率匹配方法,其特征在于,在步骤S4中,在所述列置换后的合并矩阵中找校验比特2流的第1比特所在的特定列,并对该列进行两两交换的行置换。

7. 根据权利要求1所述的LTE系统速率匹配方法,其特征在于,在步骤S5中,计算输出数据的起始列位置 k_0 ,并从该列开始按列读出数据,其中合并矩阵的前32列只读前 R 行。

8. 一种LTE系统速率匹配装置,包括:

比特流合并装置:该装置将数据比特流、校验比特1流和校验比特2流按行方式合并并读入一个 $2R \times 64$ 矩阵,其中 R 为自然数,且 $R = \lceil D/32 \rceil$, D 为数据比特流的长度,其中将数据比特流存入前32列,校验比特1流和校验比特2流按行交替存入后32列,所述数据比特流为Turbo编码后的数据比特流或卷积编码后的数据比特流;

列置换样式确定装置:该装置根据所述数据比特流的长度确定合并矩阵每行的列置换样式;

合并矩阵列置换装置:该装置按照合并矩阵每行的列置换样式,逐行进行列置换;

行置换装置:该装置在所述列置换后的合并矩阵中找校验比特2流的第1比特所在的特定列,并对该列进行行置换;

比特流输出装置:该装置从指定位置开始按列读取数据,得到速率匹配结果。

9.根据权利要求8所述的LTE系统速率匹配装置,其特征在于,所述比特流合并装置中的合并矩阵具有如下特点:子矩阵 $[R \times 32]$ 存储数据比特流;子矩阵 $[2R \times 64]$ 存储校验比特流,校验比特1流和校验比特2流交替存储;矩阵其余元素填充0比特。

10.根据权利要求8所述的LTE系统速率匹配装置,其特征在于,所述列置换样式确定装置根据所述数据长度D确定8种合并矩阵的列置换样式,这8种列置换样式分别对应合并矩阵中校验比特1流所在行和校验比特2流所在行各4种列置换样式,其中数据长度 $D=K+4$,K表示编码块长度,4表示编码后尾比特个数。

11.根据权利要求10所述的LTE系统速率匹配装置,其特征在于,所述列置换样式确定装置的每种列置换样式共计64列,其中前32列表示数据比特流的列置换样式,后32列表示校验比特1流或校验比特2流的列置换样式。

12.根据权利要求8所述的LTE系统速率匹配装置,其特征在于,在所述合并矩阵列置换装置中,从 $N=0$ 开始并按步长为1递增至 $R-1$,根据列置换样式对合并矩阵逐行完成列置换操作,并且每次处理两行。

13.根据权利要求8所述的LTE系统速率匹配装置,其特征在于,所述行置换装置在所述列置换后的合并矩阵中找校验比特2流的第1比特所在的特定列,并对该列进行两两交换的行置换。

14.根据权利要求8所述的LTE系统速率匹配装置,其特征在于,所述比特流输出装置计算输出数据的起始列位置 k_0 ,并从该列开始按列读出数据,其中合并矩阵的前32列只读前R行。

一种LTE系统速率匹配的并行实现方法和装置

技术领域

[0001] 本发明涉及无线通信技术领域,更具体的,涉及LTE系统中速率匹配的实现。

背景技术

[0002] 长期演进 (LTE/LTE-Advanced) 是4G无线通信系统的典型代表,为无线通信系统提供了更高的传输速率。对于LTE/LTE-Advanced的基带处理实现而言,如何加快比特级的数据处理速度,尤其是物理传输信道的速率匹配是整个基带处理的瓶颈之一。

[0003] 现有速率匹配分为子块交织、比特收集和比特选取三个部分。附图1为3GPP协议规定的速率匹配示意图。如图1所示,编码后的数据比特流、校验比特1流和校验比特2流首先分别进行比特填充和交织,然后经比特收取将数据存储于环形存储器,最后经比特选取计算得到输出数据起始位置和数据大小,并将环形存储器中的相应数据去掉填充比特输出得到速率匹配的结果。

[0004] 可见,在子块交织过程中需要添加填充比特,在比特选取过程中需要去掉比特填充比特,上述串行实现方法速度较慢而且硬件开销较大。

发明内容

[0005] (一)要解决的技术问题

[0006] 针对LTE系统中速率匹配串行实现方法具有速度慢、硬件开销较大的问题,本发明提出一种LTE系统中速率匹配的并行实现方法和装置。

[0007] (二)技术方案

[0008] 为解决上述技术问题,本发明一方面提出一种LTE系统速率匹配的并行实现方法,该方法包括:

[0009] 步骤S1、将数据比特流、校验比特1流和校验比特2流按行方式合并并读入一个 $2R \times 64$ 矩阵,其中R为自然数,且 $R = \lceil D/32 \rceil$,D为数据比特流的长度,其中将数据比特流存入前32列,校验比特1流和校验比特2流按行交替存入后32列,所述数据比特流为Turbo编码后的数据比特流或卷积编码后的数据比特流;

[0010] 步骤S2、根据所述数据比特流的长度确定合并矩阵每行的列置换样式;

[0011] 步骤S3、按照合并矩阵每行的列置换样式,逐行进行列置换;

[0012] 步骤S4、在所述列置换后的合并矩阵中找校验比特2流的第1比特所在的特定列,并对该列进行行置换;

[0013] 步骤S5、从指定位置开始按列读取数据,得到速率匹配结果;

[0014] 根据本发明的一种实施方式,合并矩阵具有如下特点:子矩阵 $[R \times 32]$ 存储数据比特流;子矩阵 $[2R \times 64]$ 存储校验比特流,校验比特1流和校验比特2流交替存储;矩阵其余元素填充0比特。

[0015] 根据本发明的一种实施方式,在所述步骤S2中,根据所述数据长度D确定8种合并矩阵的列置换样式,这8种列置换样式分别对应合并矩阵中校验比特1流所在行和校验比特

2流所在行各4种列置换样式,其中数据长度 $D=K+4$, K 表示编码块长度,4表示编码后尾比特个数。

[0016] 根据本发明的一种实施方式,每种列置换样式共计64列,其中前32列表示数据比特流的列置换样式,后32列表示校验比特1流或校验比特2流的列置换样式。

[0017] 根据本发明的一种实施方式,在步骤S3中,从 $N=0$ 开始并按步长为1递增至 $R-1$, N 为自然数,根据列置换样式对合并矩阵逐行完成列置换操作,并且每次处理两行。

[0018] 根据本发明的一种实施方式,在步骤S4中,在所述列置换后的合并矩阵中找校验比特2流的第1比特所在的特定列,并对该列进行两两交换的行置换。

[0019] 根据本发明的一种实施方式,在步骤S5中,计算输出数据的起始列位置 k_0 ,并从该列开始按列读出数据,其中合并矩阵的前32列只读前 R 行。

[0020] 本发明另一方面提出一种LTE系统速率匹配装置,包括:

[0021] 比特流合并装置:该装置将数据比特流、校验比特1流和校验比特2流按行方式合并并读入一个 $2R \times 64$ 矩阵,其中 R 为自然数,且 $R = \lceil D/32 \rceil$, D 为数据比特流的长度,其中将数据比特流存入前32列,校验比特1流和校验比特2流按行交替存入后32列,所述数据比特流为Turbo编码后的数据比特流或卷积编码后的数据比特流。

[0022] 列置换样式确定装置:该装置根据所述数据比特流的长度确定合并矩阵每行的列置换样式。

[0023] 合并矩阵列置换装置:该装置按照合并矩阵每行的列置换样式,逐行进行列置换。

[0024] 行置换装置:该装置在所述列置换后的合并矩阵中找校验比特2流的第1比特所在的特定列,并对该列进行行置换。

[0025] 比特流输出装置:该装置从指定位置开始按列读取数据,得到速率匹配结果。

[0026] 根据本发明的一种实施方式,所述比特流合并装置中的合并矩阵具有如下特点:子矩阵 $[R \times 32]$ 存储数据比特流;子矩阵 $[2R \times 64]$ 存储校验比特流,校验比特1流和校验比特2流交替存储;矩阵其余元素填充0比特。

[0027] 根据本发明的一种实施方式,所述列置换样式确定装置根据所述数据长度 D 确定8种合并矩阵的列置换样式,这8种列置换样式分别对应合并矩阵中校验比特1流所在行和校验比特2流所在行各4种列置换样式,其中数据长度 $D=K+4$, K 表示编码块长度,4表示编码后尾比特个数。

[0028] 根据本发明的一种实施方式,所述列置换样式确定装置的每种列置换样式共计64列,其中前32列表示数据比特流的列置换样式,后32列表示校验比特1流或校验比特2流的列置换样式。

[0029] 根据本发明的一种实施方式,在所述合并矩阵列置换装置中,从 $N=0$ 开始并按步长为1递增至 $R-1$, N 为自然数,根据列置换样式对合并矩阵逐行完成列置换操作,并且每次处理两行。

[0030] 根据本发明的一种实施方式,所述行置换装置在所述列置换后的合并矩阵中找校验2比特流的第1比特所在的特定列,并对该列进行两两交换的行置换。

[0031] 根据本发明的一种实施方式,所述比特流输出装置计算输出数据的起始列位置 k_0 ,并从该列开始按列读出数据,其中合并矩阵的前32列只读前 R 行。

[0032] (三) 有益效果

[0033] 采用本发明的方法将比特收集和比特选取放在子块交织过程中完成, 完成子块交织即完成了比特收集和比特选取操作, 且在子块交织过程中无需添加填充比特, 提高了速率匹配的速度。同时, 减少了比特填充和填充比特去除所需的硬件开销, 因此降低了实现时的硬件规模。

附图说明

[0034] 附图1为3GPP协议规定的速率匹配示意图;

[0035] 附图2本发明LTE系统速率匹配流程图;

[0036] 附图3为本发明LTE系统速率匹配装置的结构图;

[0037] 附图4为本发明LTE系统速率匹配的特殊列处理过程的示意图;

[0038] 附图5为子块列置换且校验2特殊处理后的图样0;

[0039] 附图6为子块列置换且校验2特殊处理后的图样1;

[0040] 附图7为子块列置换且校验2特殊处理后的图样2;

[0041] 附图8为子块列置换且校验2特殊处理后的图样3。

具体实施方式

[0042] 本发明提出的速率匹配方法包括以下步骤:

[0043] 步骤S1、将数据比特流、校验比特1流和校验比特2流按行方式合并并读入一个 $2R \times 64$ 矩阵, 其中R为自然数, 且 $R = \lceil D/32 \rceil$, D为数据比特流的长度, 其中将数据比特流存入前32列, 校验比特1流和校验比特2流按行交替存入后32列,

[0044] 所述数据比特流为Turbo编码后的数据比特流或卷积编码后的数据比特流。

[0045] 步骤S2、根据所述数据比特流的长度确定合并矩阵每行的列置换样式。

[0046] 步骤S3、按照合并矩阵每行的列置换样式, 逐行进行列置换, 并且每次处理两行。

[0047] 步骤S4、在所述列置换后的合并矩阵中找校验2比特流的第1比特所在的特定列, 并对该列进行行置换。

[0048] 步骤S5、从指定位置开始按列读取数据, 得到速率匹配结果。

[0049] 本发明提出的一种LTE系统速率匹配装置, 如图3所示, 该装置包括:

[0050] 比特流合并装置: 该装置将数据比特流、校验比特1流和校验比特2流按行方式合并并读入一个 $2R \times 64$ 矩阵, 其中R为自然数, 且 $R = \lceil D/32 \rceil$, D为数据比特流的长度, 其中将数据比特流存入前32列, 校验比特1流和校验比特2流按行交替存入后32列, 所述数据比特流为Turbo编码后的数据比特流或卷积编码后的数据比特流。

[0051] 列置换样式确定装置: 该装置根据所述数据比特流的长度确定合并矩阵每行的列置换样式。

[0052] 合并矩阵列置换装置: 该装置按照合并矩阵每行的列置换样式, 逐行进行列置换。

[0053] 行置换装置: 该装置在所述列置换后的合并矩阵中找校验2比特流的第1比特所在的特定列, 并对该列进行行置换。

[0054] 比特流输出装置: 该装置从指定位置开始按列读取数据, 得到速率匹配结果。

[0055] 可见,在本发明中,无需进行填充比特的处理,同时并行处理一行数据比特流和一行校验比特流,处理方式简单,循环结构清晰,加快了速率匹配的速度。

[0056] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明作进一步的详细说明。

[0057] 附图2为本发明LTE系统速率匹配方法流程图。如图2所示,本发明具体包括以下步骤:

[0058] 步骤S1、将数据比特流、校验比特1流和校验比特2流按行方式合并读入一个 $2R \times 64$ 矩阵,其中R为自然数,且 $R = \lceil D/32 \rceil$,D为数据比特流的长度,其中将数据比特流存入前32列,校验比特1流和校验比特2流按行交替存入后32列。

[0059] 根据LTE协议规定的Turbo编码码块长度共计188种,其中前60种码块长度以8为递进步长,码块长度K范围为 $40 \leq K \leq 512$;其中有32种码块长度以16为递进步长,码块长度K范围为 $528 \leq K \leq 1024$;其中有32种码块长度以32为递进步长,码块长度K范围为 $1056 \leq K \leq 2048$;其中有64种码块长度以64为递进步长,码块长度K范围为 $2112 \leq K \leq 6144$;

[0060] 本发明以64为合并矩阵列数,前32列存放数据比特流,后32列存放校验比特1流和校验比特2流,因为要将校验比特1流和校验比特2流按行交替存储,所以矩阵的行数最大为 $2R$,其中R表示一流比特的长度, $R = \lceil D/32 \rceil$ 。

[0061] 下表1是数据矩阵的组织结构表,表中元素表示每个数据的索引地址。

[0062]

行号\列号	0	1	2	3	...	30	31	32	33	34	36	...	62	63
0	0	1	2	3	...	30	31	100	101	102	103	...	130	131
1	32	33	34	35	...	62	63	200	201	202	203	...	230	231
2	64	65	66	67	...	94	95	132	133	134	135	...	162	163
3	96	97	98	99	...	126	127	232	233	234	235	...	262	263
...						
$R-1$...	*	*					...		
R	*	*	*	*	...	*	*					...		
...	*	*	*	*	...	*	*					...		
$2R-1$	*	*	*	*	...	*	*					...		
数据比特流								校验比特流						

[0063] 表1中*表示非本码块数据的0元素,100等以1开头表示校验1数据索引地址,200等2开头表示校验2数据索引地址,三种比特流分别用不同的图样进行表示。

[0064] 步骤S2、根据所述数据长度确定合并矩阵的列置换样式。

[0065] 由于本发明的数据在组织时没有添加填充比特,所以需要原有列置换样式加以改进。根据编码后比特流数据长度D得到四类列置换样式。其中数据长度 $D = K + 4$,K表示编码块长度,4表示尾比特长度。本发明需要根据编码后数据长度D选择一类列置换模式进行处理。

[0066] 尽管本发明的数据组织没有添加填充比特,但是四类列置换样式需要根据188种不同数据长度时填充比特数目得到,填充比特数目 $N_D = R \times 32 - D$ 。

[0067] 对于188种编码输出长度,每一流的填充比特存在如下规则:

[0068] 对应填充比特 $N_D = 28$,共127种码块长度K;例 $K = 6144$;

[0069] 对应填充比特 $N_D = 20$,共15种码块长度K;例 $K = 488$;

[0070] 对应填充比特 $N_D = 12$,共31种码块长度K;例 $K = 496$;

[0071] 对应填充比特 $N_D=4$,共15种码块长度 K ;例 $K=504$;

[0072] 根据填充比特的数目不同将列置换样式分为四类。由于数据比特流和校验比特1流采用的是相同的列置换样式,校验比特2流采用的是另外一种列置换样式,因此每类列置换样式又分两种:

[0073] 第一种,将数据比特流和校验比特1流合并生成64列列置换样式;

[0074] 第二种,将数据比特流和校验比特2流合并生成64列列置换样式。

[0075] 综上所述,整理四类八种列置换样式如下:

[0076] 当 $N_D=28$ 时,第一类列置换样式:

[0077] 第一种列置换样式为:

[0078] {4,20,12,28,8,24,16,0,6,22,14,30,10,26,18,2,5,21,13,29,9,25,17,1,7,23,15,31,11,27,19,3,36,52,44,60,40,56,48,32,38,54,46,62,42,58,50,34,37,53,45,61,41,57,49,33,39,55,47,63,43,59,51,35}

[0079] 第二种列置换样式为:

[0080] {4,20,12,28,8,24,16,0,6,22,14,30,10,26,18,2,5,21,13,29,9,25,17,1,7,23,15,31,11,27,19,3,37,53,45,61,41,57,49,33,39,55,47,63,43,59,51,35,38,54,46,62,42,58,50,34,40,56,48,32,44,60,52,36}

[0081] 当 $N_D=20$ 时,第二类列置换样式:

[0082] 第一种列置换样式为:

[0083] {12,28,20,4,16,0,24,8,14,30,22,6,18,2,26,10,13,29,21,5,17,1,25,9,15,31,23,7,19,3,27,11,44,60,52,36,48,32,56,40,46,62,54,38,50,34,58,42,45,61,53,37,49,33,57,41,47,63,55,39,51,35,59,43}

[0084] 第二种列置换样式为:

[0085] {4,20,12,28,8,24,16,0,6,22,14,30,10,26,18,2,5,21,13,29,9,25,17,1,7,23,15,31,11,27,19,3,37,53,45,61,41,57,49,33,39,55,47,63,43,59,51,35,38,54,46,62,42,58,50,34,40,56,48,32,44,60,52,36}

[0086] 当 $N_D=12$ 时,第三类列置换样式:

[0087] 第一种列置换样式为:

[0088] {20,4,28,12,24,8,0,16,22,6,30,14,26,10,2,18,21,5,29,13,25,9,1,17,23,7,31,15,27,11,3,19,52,36,60,44,56,40,32,48,54,38,62,46,58,42,34,50,53,37,61,45,57,41,33,49,55,39,63,47,59,43,35,51}

[0089] 第二种列置换样式为:

[0090] {20,4,28,12,24,8,0,16,22,6,30,14,26,10,2,18,21,5,29,13,25,9,1,17,23,7,31,15,27,11,3,19,53,37,61,45,57,41,33,49,55,39,63,47,59,43,35,51,54,38,62,46,58,42,34,50,56,40,32,48,60,44,36,52}

[0091] 当 $N_D=4$ 时,第四类列置换样式:

[0092] 第一种列置换样式为:

[0093] {28,12,4,20,0,16,8,24,30,14,6,22,2,18,10,26,29,13,5,21,1,17,9,25,31,15,7,23,3,19,11,27,60,44,36,52,32,48,40,56,62,46,38,54,34,50,42,58,61,45,37,53,33,49,41,57,63,47,39,55,35,51,43,59}

[0094] 第二种列置换样式为：

[0095] {28,12,4,20,0,16,8,24,30,14,6,22,2,18,10,26,29,13,5,21,1,17,9,25,31,15,7,23,3,19,11,27,61,45,37,53,33,49,41,57,63,47,39,55,35,51,43,59,62,46,38,54,34,50,42,58,32,48,40,56,36,52,44,60}

[0096] 步骤S3、按照合并矩阵每行的64列不同列置换样式，逐行进行列置换。

[0097] 首先，从N=0开始，并按步长为1递增至R-1。R表示数据比特流的行数。由于一次需要处理两行数据，第一行为数据比特流和校验比特1流的合并数据，第二行为数据比特流和校验比特2流的合并数据。

[0098] 接着，逐行采用列置换样式完成列置换。

[0099] 根据编码后比特流数据长度D选择一类列置换样式后，循环每次处理两行数据，处理方式为按照不同列置换样式，进行交织操作，完成列置换。；

[0100] 步骤S4、在所述列置换后的合并矩阵中找到在所述列置换后的合并矩阵中找校验比特2流的第1比特所在的特定列，并对该列进行两两交换的行置换处理。

[0101] 由于校验比特2流采用列置换模式后，还需要特殊的列置换处理，处理方式为找到需要特殊处理的列，将该列数据两两交换，并选择2R-1个数据存储。

[0102] 附图4为特殊列处理过程的示意图。

[0103] 如附图4所示，由于列长最长为2*R，所以可以完成两两互换，然后完成2*R-1个数据。

[0104] 需要特殊处理的列为：

[0105] 对应第一类列置换模式，第59列需要特殊处理；

[0106] 对应第二类列置换模式，第57列需要特殊处理；

[0107] 对应第三类列置换模式，第58列需要特殊处理；

[0108] 对应第四类列置换模式，第56列需要特殊处理；

[0109] 经过步骤S3、步骤S4处理后，得到四类不同列置换模式的数据存储结构：

[0110] 附图5表示第一类列置换后数据组织结构，附图6表示第二类列置换后数据组织结构，附图7表示第三类列置换后数据组织结构，附图8表示第四类列置换后数据组织结构。

[0111] 每类列置换后的数据矩阵中行数包含R-1,R,2(R-1),2R-1,2R五种情况，因此需要一个具有64个元素的向量来记录每一列的长度。

[0112] 步骤S5、从指定位置开始按列读取数据，得到速率匹配结果。

[0113] 本发明中，计算输出数据的起始列位置 k_0 ， $k_0 = R_{\text{subblock}}^{\text{TC}} \left(2 \times \left\lceil \frac{N_{\text{cb}}}{8R_{\text{subblock}}^{\text{TC}}} \right\rceil \times r_{\text{v}_{\text{idx}}} + 2 \right)$ ，

其中 $R_{\text{subblock}}^{\text{TC}}$ 是码块长度被32整除的倍数， N_{cb} 表示速率匹配软buffer的大小， $r_{\text{v}_{\text{idx}}}$ 表示冗余版本信息。通过计算可知 k_0 的取值由 $r_{\text{v}_{\text{idx}}}$ 决定。

[0114] 另外，由于本发明将校验比特1流和校验比特2流合并存储，所以当 k_0 大于32R时，

起始位置于 $k'_0 = \frac{k_0}{2} + 16$ 。

[0115] 每次比特选取总是从指定行开头位置选择，且列置换后的矩阵没有填充比特，所

以将矩阵按列输出改变为从 k_0 指定列(如下表中的椭圆所表示的指定列)开始按列输出,将矩阵输出与比特选取合并处理,下表3所示。

[0116]

行号\列号	0	1	2	3	...	30	31	32	33	34	36	...	62	63
0	0	1	2	3	...	30	31	100	101	102	103	...	130	131
1	32	33	34	35	...	62	63	200	201	202	203	...	230	231
2	64	65	66	67	...	94	95	132	133	134	135	...	162	163
3	96	97	98	99	...	126	127	232	233	234	235	...	262	263
...						
$R-1$...	*	*					...		
R	*	*	*	*	...	*	*					...		
...	*	*	*	*	...	*	*					...		
$2R-1$	*	*	*	*	...	*	*					...		
数据比特流								校验比特流						

[0117] 至此,速率匹配的过程完成。

[0118] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

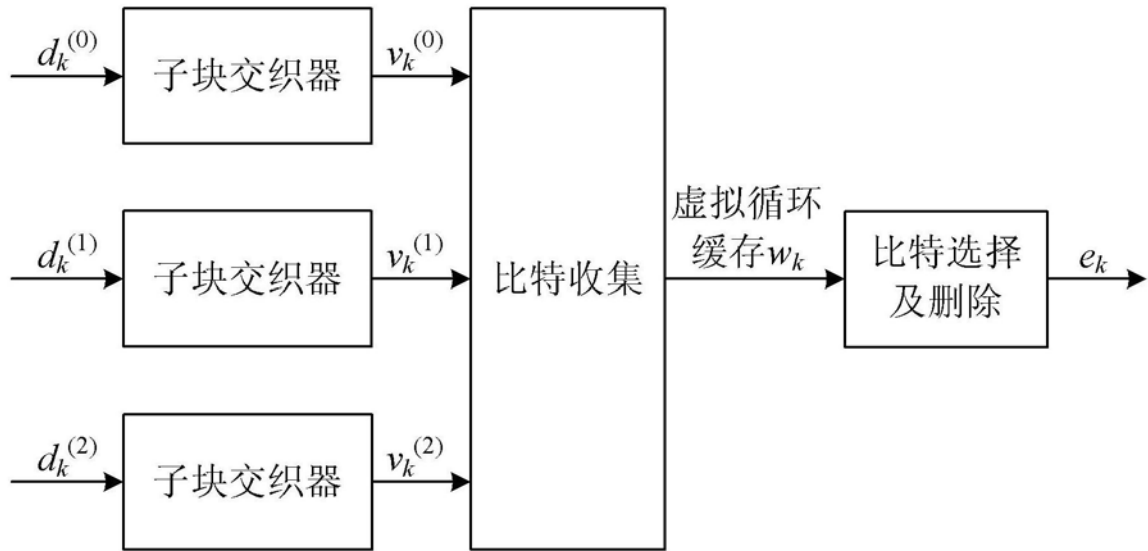


图1

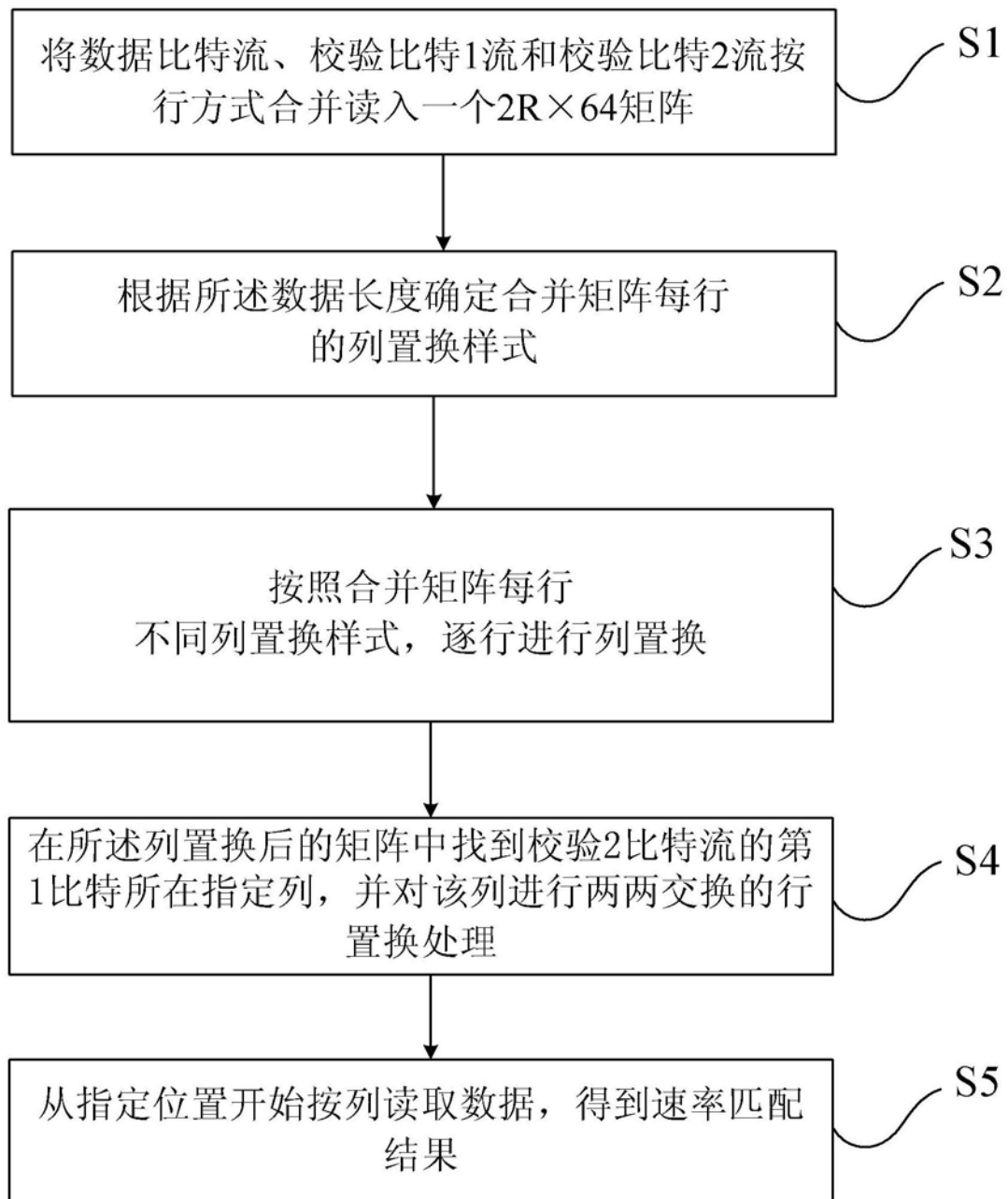


图2

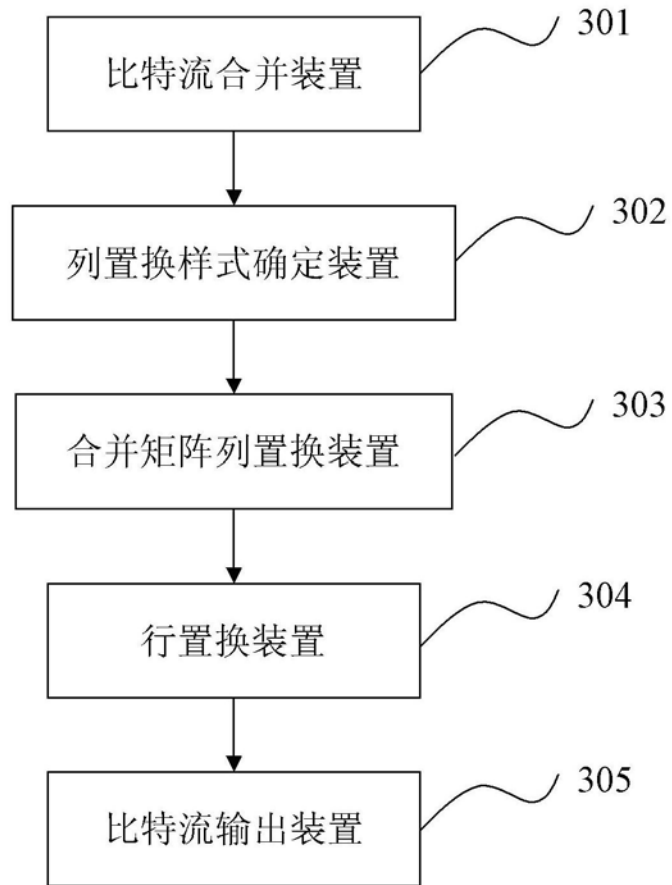


图3

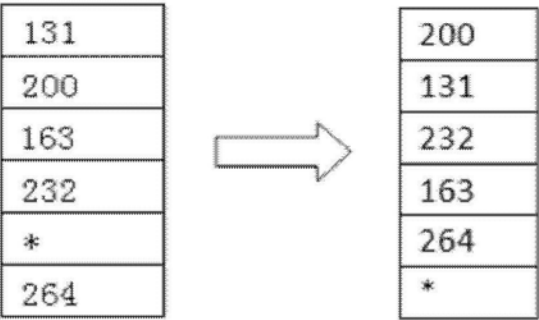


图4

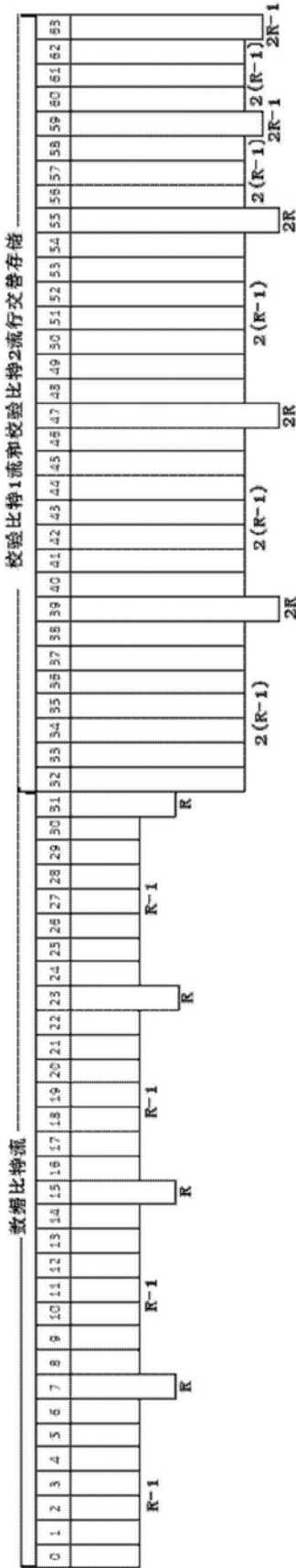


图5

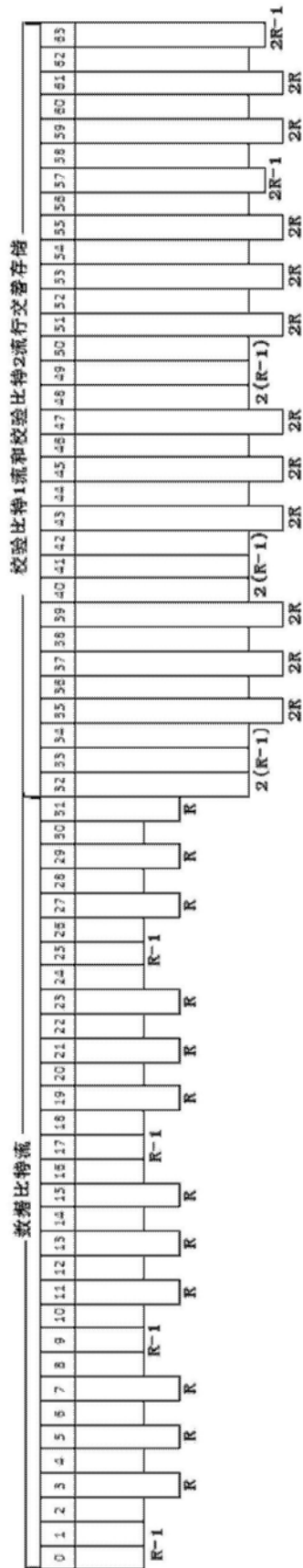


图6

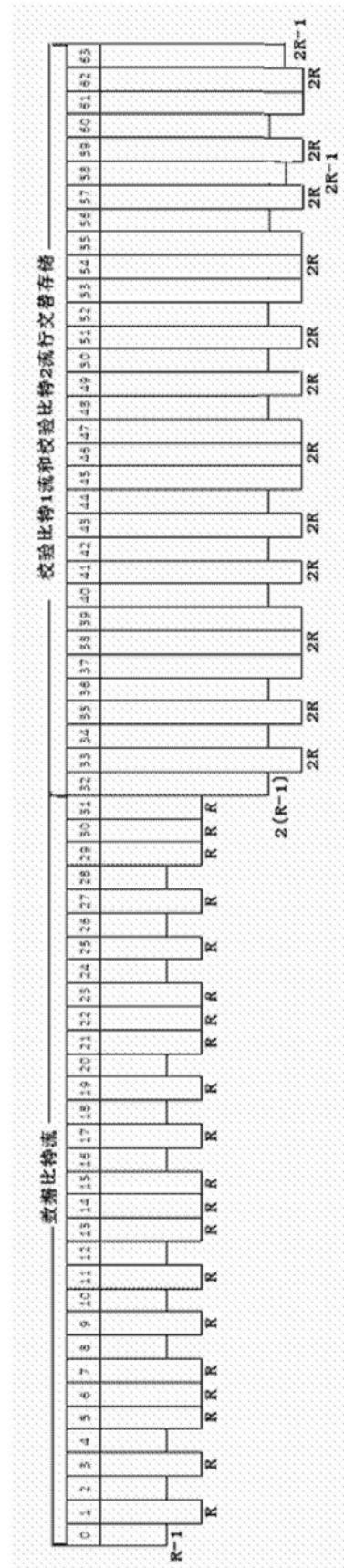


图7

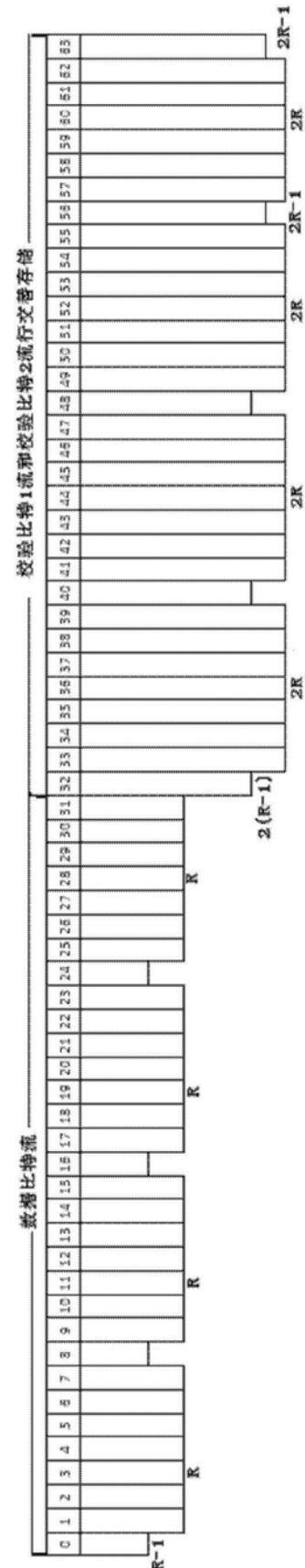


图8