

GPIO (Arm i FRISC-V)

Ima vrata A i vrata B s pripadnim priključcima XPA[8] i XPB[8]. Inicijalno su svi registri u stanju 0.

Adresa	Naziv registra	Opis
bazna_adresa + 0	PA_DR	8-bitni registar podataka, vrata A
bazna_adresa + 4	PB_DR	8-bitni registar podataka, vrata B
bazna_adresa + 8	PA_DDR	8-bitni registar smjera podataka za vrata A, zadavanje smjera: 0=ulaz, 1=izlaz
bazna_adresa + 12	PB_DDR	8-bitni registar smjera podataka za vrata B, zadavanje smjera: 1=ulaz, 0=izlaz

LCD-prikaznik (Arm i FRISC-V)

Ima 8 ulaznih i 8 prikaznih registara (inicijalno je u svima ASCII-znak razmaka/praznine).

Specijalna značenja ASCII-znakova: LF (0x0A) kopira ulazne registre u prikazne registre, CR (0x0D) upisuje razmake u ulazne registre.

Priključci	Opis	Tipično spajanje na GPIO
DATA[7]	ulazni, služe za primanje ASCII-znaka	XPB[0]..XPB[6]
WR[1]	ulazni, aktivan visoko: ASCII-znak na DATA je valjan	XPB[7]

Temperaturni uređaj (Arm i FRISC-V)

Priključci	Opis	Tipično spajanje na GPIO
TEMP[6]	izlazni, trenutna temperatura u opsegu 0 do 63 (nije valjana dok traje mjerenje)	XPA[0]..XPA[5]
RDY[1]	izlazni, aktivan visoko; temperatura na TEMP valjana	XPA[6]
ACK[1]	ulazni, aktivan visoko: temperatura je pročitana, treba pokrenuti novo mjerenje	XPA[7]

Pisač (Arm)

Priključci	Opis	Tipično spajanje na GPIO
DATA[7]	ulazni, služi za primanje ASCII-znaka koji se šalje na ispis	XPA[0]..XPA[6]
SEND[1]	ulazni, aktivan visoko: ASCII-znak na DATA je valjan	XPB[0]
BUSY[1]	izlazni, aktivan visoko: pisač je zauzet ispisom znaka	XPB[1]

RTC (Arm)

Ima ulazni priključak CLK1Hz za signale koji se prebrajaju i izlazni priključak INTR za postavljanje zahtjeva za prekid. Inicijalno stanje svih registara je 0.

Adresa	Naziv registra	Opis
bazna_adresa + 0	DR	32-bitni registar podataka (read only): čitanje brojila
bazna_adresa + 4	MR	32-bitni registar usporedbe
bazna_adresa + 8	STAT/EOI	1-bitni registar stanja spremnosti (ako se čita) / 0-bitni registar za brisanje stanja spremnosti (ako se piše)
bazna_adresa + 12	LR	32-bitni registar za punjenje brojila, a čitanje vraća zadnju upisanu vrijednost
bazna_adresa + 16	CR	1-bitni upravljački registar: 0 = prekidi se ne postavljaju (default), 1 = prekidi se postavljaju

DMAC (Arm)

Ima priključke INTR, HBUSREQ i HGRANT za procesor ARM i priključke DMAREQ[4] i DMAACK[4] za vanjske jedinice.

Prve dvije adrese su upravljački registri i registri stanja. Zadnje 4 adrese su kanalni registri. Kod programiranja treba prvo zadati sva 4 kanalna registra i zatim omogućiti kanal. Inicijalno stanje svih registara je 0.

Adresa	Naziv registra	Opis
bazna_adresa + 0	Control	1-bitni registar za omogućavanje kanala: 0 = onemogućen (default), 1 = omogućen. Nakon dovršetka DMA-transfera, bit se automatski briše
bazna_adresa + 4	Status/Clear	1-bitni registar stanja spremnosti (ako se čita): 0 = nije spreman, 1 = spreman / 0-bitni registar za brisanje stanja spremnosti (ako se piše)
bazna_adresa + 16	SrcAddr	32-bitni registri za adresiranje izvora/odredišta podataka (adresa mora biti poravnata na širinu podatka 8/16/32). Tijekom DMA-transfera se automatski mijenjaju (po potrebi).
bazna_adresa + 20	DestAddr	
bazna_adresa + 24	Sizes	15 bitno stanje registra Sizes (ako se čita) / 15-bitni registar za zadavanje veličine bloka BS (BS=2^Sizes[12..14]) i veličine prijenosa TS (TS=Sizes[0..11]) (ako se piše). Mora biti TS je djeljiv sa BS. TS i BS su izraženi u broju podataka, a ne bajtova. TS= 0 predstavlja TS=4096.
bazna_adresa + 28	Config	9-bitni registar konfiguracijske riječi kanala (vidi opis bitova ispod)

	7	6	5	4	3	2	1	0
Bitovi registra Config:	IE	DRE	TW	SI	DI		DRI	

Naziv bitova	Opis
IE [7]	Interrupt Enable. Omogućuje (1) ili onemogućuje (0) postavljanje prekida INTR kad DMAC postane spreman, tj. kad se DMA-transfer završi.
DRE [6]	DMA-Request Index Enable. Omogućuje (1) ili onemogućuje (0) uporabu priključaka DMA-request (zadanih sa DRI). Za prijenos M->M treba zadati DRE=0.
TW [5..4]	Transfer Width. Zada je širinu podatka: 00=bajt, 01=poluriječ, 10=riječ,11=zabranjena kombinacija. Napomena: veličina bloka i transfera ne zadaju se niti u bajtovima niti u riječima nego u „podatcima” čija se širina definira bitovima TW.
SI [3] i DI [2]	Source/Destination Increment. Zada je se hoće li se registar SrcAddr/DestAddr automatski povećavati nakon transfera svakog pojedinog podatka (1) ili će ostati nepromijenjen (0). Napomena: iznos povećanja ovisi o bitovima TW i može biti 1, 2 ili 4.
DRI [1..0]	DMA-Request Index. Zada je indeks X preko kojeg dolaze DMA-zahtjevi na priključcima DMAREQx. Ako je DRE=0, ovi bitovi se ne koriste.

Input unit i Output unit (Arm)

Ima FIFO kapaciteta 8 i daje DMA-zahtjev kada u FIFO-u ima barem 4 podatka (Input unit) ili barem 4 slobodna mjesta (Output unit)

Adresa	Naziv registra	Opis
bazna_adresa + 0	Data	32-bitni registar za prijenos podatka: read-only za Input unit / write-only za Output unit
bazna_adresa + 4	TransferSize	32-bitni registar/brojač za zadavanje broja podataka (djeljivog s 4) za prijenos (write only)