

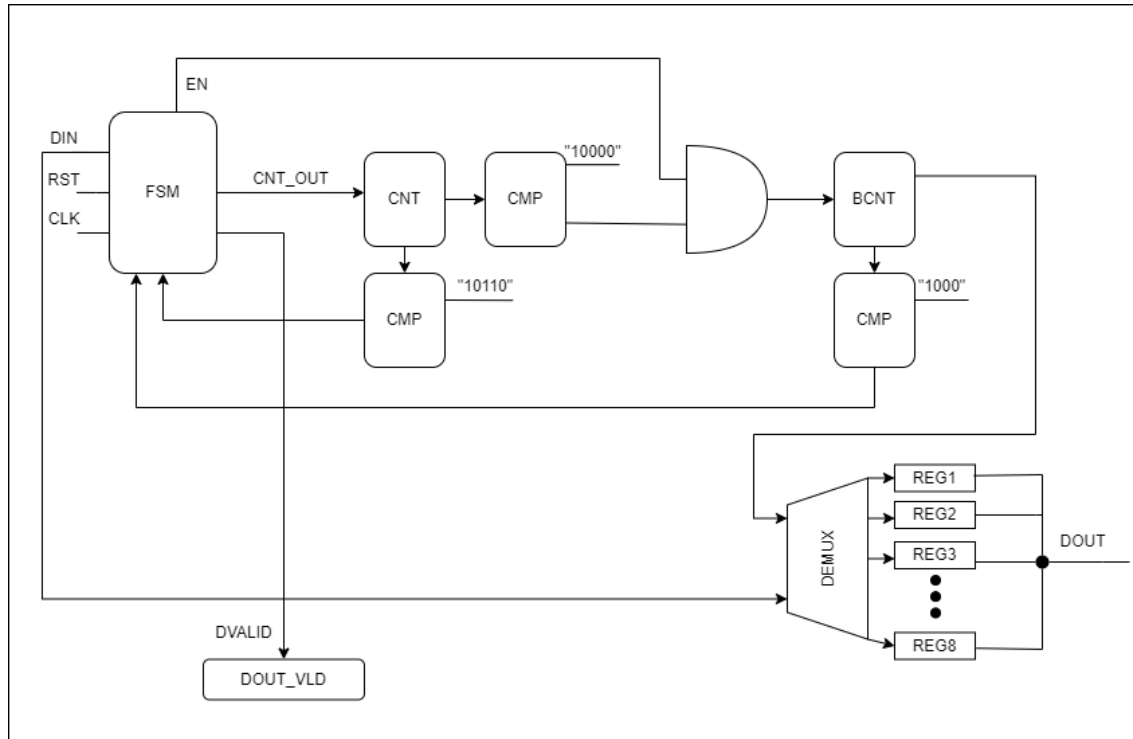
# Výstupní zpráva

Jméno: Jiří Štípek

xlogin: xstipe02

## 1. Architektura navrženého obvodu (na úrovni RLT)

### 1.1. Schéma obvodu



### 1.2. Popis funkce

CNT – počítá dobu mezi od Start\_bitu až po Mid\_bit každého bitu

BCNT – počítá kolik bitů již prošlo

DOUT\_VLD – potvrzení správnosti slova na DOUT

Schéma (obvod) čeká na Start\_bit, poté čeká 22 hodinových cyklů na Mid\_bit prvního bitu (díky CNT). Poté začne postupně načítat všechny bity pomocí DIN, a přes demultiplexor je vypisovat na DOUT. Mezi každým bitem je prodleva 16 hodinových cyklů, které se ověřuje pomocí CMP. Načtou se všechny bity (ověření díky BCNT). Dále se poté čeká na správnost slova na DOUT, které se potvrzuje díky DOUT\_VLD, které má log. 1 a potvrzuje se až po uplynutí jednoho taktu hodinového cyklu.

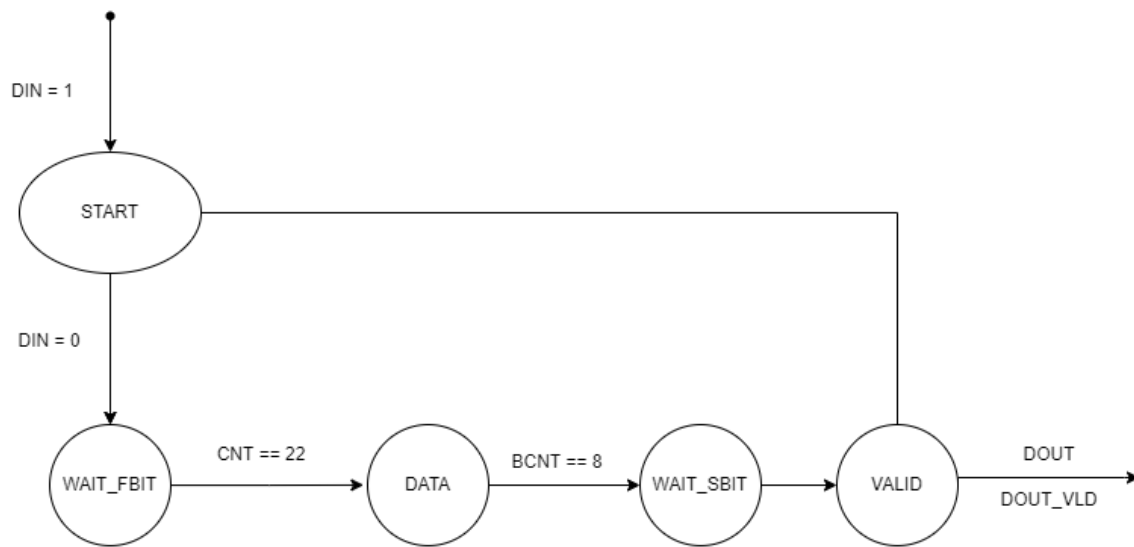
## 2. Návrh automatu

### 2.1. Schéma automatu

Stavy automatu: START, WAIT\_FBIT, DATA, WAIT\_SBIT, VALID

Vstupy: DIN

Moorovy výstupy: DOUT\_VLD, DOUT



### 2.2. Popis funkce

Ve stavu START čeká automat na příchod start bitu, tj. přechod z log. 1 do log. 0. Poté přechází do stavu WAIT\_FBIT, kde automat čeká potřebný čas hodinových cyklů, než bude moct načíst první datový bit. Poté přechází do stavu DATA, kde automat začne postupně načítat všechny datové bity a ukládat je do registrů. Jakmile načte všechny datové bity, přechází do stavu WAIT\_SBIT. Poté přechází do stavu VALID, kde se nastaví platné výstupy a po potřebných hodinových cyklech plynule přechází do začátečního stavu.

### 3. Screenshot simulace vytvořená v programu ModelSim

