

**Câu hỏi 56**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Functional unit pipeline là kỹ thuật thiết kế phần cứng nhằm?

- a. Chia sẻ dữ liệu giữa các thanh ghi
- b. Đồng bộ hóa dữ liệu giữa các thanh ghi
- c. Tăng hiệu suất bằng cách thực hiện các bước khác nhau của một tác vụ trong các giai đoạn liên tiếp
- d. Giảm số lượng đơn vị chức năng cần thiết

The correct answer is: Tăng hiệu suất bằng cách thực hiện các bước khác nhau của một tác vụ trong các giai đoạn liên tiếp

**Câu hỏi 55**

Không trả lời

Đạt điểm 1,00

☒ Đặt cờ

Kiến trúc thiết kế RTL là gì?

- a. Một loại cấu trúc dữ liệu trong lập trình.
- b. Một mô hình giao tiếp giữa các thành phần phần cứng qua mạng.
- c. Một phương pháp thiết kế mức thanh ghi để mô tả hệ thống số.
- d. Một kiến trúc dành riêng cho phần mềm ứng dụng.

The correct answer is: Một phương pháp thiết kế mức thanh ghi để mô tả hệ thống số.

**Câu hỏi 54**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Đâu là đặc điểm cơ bản của kiến trúc thiết kế RTL tổng quát?

- a. Sử dụng giao thức TCP/IP.
- b. Gồm CPU, RAM và thiết bị ngoại vi.
- c. Tích hợp mô hình client-server.
- d. Bao gồm datapath và controller.

The correct answer is: Bao gồm datapath và controller.

**Câu hỏi 53**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Tín hiệu điều khiển trong RTL được sử dụng để?

- a. Cấp nguồn cho mạch logic
- b. Đồng bộ tín hiệu giữa các thanh ghi
- c. Lưu trữ dữ liệu
- d. Xác định các thao tác chuyển dữ liệu giữa các thanh ghi

The correct answer is: Xác định các thao tác chuyển dữ liệu giữa các thanh ghi

**Câu hỏi 52**

Không trả lời

Đạt điểm 1,00

☛ Đặt cờ

Trong RTL, thuật ngữ "transfer" ám chỉ?

- a. Chuyển đổi tín hiệu analog sang digital
- b. Lưu trữ dữ liệu vào bộ nhớ
- c. Kết nối phần cứng và phần mềm
- d. Chuyển dữ liệu từ thanh ghi này sang thanh ghi khác

The correct answer is: Chuyển dữ liệu từ thanh ghi này sang thanh ghi khác

**Câu hỏi 51**

Không trả lời

Đạt điểm 1,00

 [Đặt cờ](#)

Chức năng chính của khối datapath trong kiến trúc RTL là gì?

- a. Thực hiện các phép toán số học, logic, lưu trữ tạm thời và di chuyển dữ liệu giữa các khối.
- b. Điều khiển luồng dữ liệu qua các khối phần cứng.
- c. Lưu trữ cấu trúc trạng thái của hệ thống.
- d. Gửi và nhận tín hiệu từ các thiết bị ngoại vi.

The correct answer is: Thực hiện các phép toán số học, logic, lưu trữ tạm thời và di chuyển dữ liệu giữa các khối.

**Câu hỏi 50**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Thiết kế chuỗi đơn chu kỳ (chaining cycle design) là gì?

- a. Phương pháp xử lý đồng bộ trong các chu kỳ khác nhau.
- b. Kiến trúc kết hợp giữa datapath và pipeline.
- c. Thiết kế xử lý một lệnh trong mỗi chu kỳ xung nhịp.
- d. Thiết kế cho phép thực hiện nhiều lệnh trong một chu kỳ.

The correct answer is: Thiết kế xử lý một lệnh trong mỗi chu kỳ xung nhịp.

**Câu hỏi 49**

Không trả lời

Đạt điểm 1,00

☛ Đặt cờ

Phát biểu nào sau đây sai?

- a. Tối thiểu hóa trạng thái là phương pháp tìm các trạng thái tương đương trong mạch và rút gọn chúng lại
- b. Xác định đường critical path của mạch giúp xác định tần số mạch
- c. Thiết kế mạch nạp giá trị đồng bộ (synchronous load) cần sử dụng chân Preset và Clear của các flipflop
- d. Trong D flipflop, ngõ vào D là ngõ vào đồng bộ, ngõ vào Preset/Clear là ngõ bất đồng bộ

The correct answer is: Thiết kế mạch nạp giá trị đồng bộ (synchronous load) cần sử dụng chân Preset và Clear của các flipflop

**Câu hỏi 48**

Không trả lời

Đạt điểm 1,00

 [Đặt cờ](#)

Một lợi ích chính của việc sử dụng pipeline trong RTL là?

- a. Loại bỏ hoàn toàn sự phụ thuộc vào tín hiệu đồng hồ
- b. Giảm số lượng các đường dẫn dữ liệu
- c. Tăng throughput (lưu lượng tác vụ hoàn thành trong một đơn vị thời gian)
- d. Giảm thời gian xử lý toàn bộ hệ thống

The correct answer is: Tăng throughput (lưu lượng tác vụ hoàn thành trong một đơn vị thời gian)

**Câu hỏi 47**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Đối với dual-port RAM, lợi ích chính so với single-port RAM là gì?

- a. Tăng tốc độ truy cập tuần tự
- b. Tăng dung lượng lưu trữ
- c. Giảm số lượng thanh ghi cần thiết
- d. Cho phép đồng thời đọc và ghi dữ liệu từ hai cổng độc lập

The correct answer is: Cho phép đồng thời đọc và ghi dữ liệu từ hai cổng độc lập

**Câu hỏi 46**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Register merging thường được sử dụng để?

- a. Chia sẻ thanh ghi giữa các luồng dữ liệu độc lập
- b. Kết hợp thanh ghi và bộ nhớ ngoài thành một khối duy nhất
- c. Tăng tốc độ truy cập dữ liệu từ thanh ghi
- d. Gộp nhiều thanh ghi thành một thanh ghi duy nhất để giảm diện tích mạch

The correct answer is: Gộp nhiều thanh ghi thành một thanh ghi duy nhất để giảm diện tích mạch

**Câu hỏi 45**

Không trả lời

Đạt điểm 1,00

 [Đặt cờ](#)

Trong datapath pipeline, các giai đoạn được sử dụng để?

- a. Chia nhỏ một tác vụ phức tạp thành nhiều bước tuần tự
- b. Giảm số lượng thanh ghi trong hệ thống
- c. Thực hiện các phép toán song song
- d. Tăng tốc độ truy cập bộ nhớ

The correct answer is: Chia nhỏ một tác vụ phức tạp thành nhiều bước tuần tự

**Câu hỏi 44**

Không trả lời

Đạt điểm 1,00

▼ Đặt cờ

Trong datapath pipeline, tín hiệu đồng hồ (clock signal) có vai trò gì?

- a. Giảm độ phức tạp của mạch logic
- b. Đồng bộ hóa chuyển dữ liệu giữa các giai đoạn pipeline
- c. Điều khiển bộ nhớ ngoài
- d. Xác định độ dài của mỗi bước trong pipeline

The correct answer is: Đồng bộ hóa chuyển dữ liệu giữa các giai đoạn pipeline

**Câu hỏi 43**

Không trả lời

Đạt điểm 1,00

☛ Đặt cờ

Đặc điểm nào sau đây không phải của một ASM kiểu Moore?

- a. Hành động của mạch phụ thuộc vào trạng thái và có kèm điều kiện bên trong trạng thái đó
- b. Việc chuyển trạng thái luôn kèm điều kiện
- c. Hành động của mạch tại mỗi trạng thái được ghi trong ký hiệu hình chữ nhật
- d. Thể hiện được hoạt động của mạch trong mỗi chu kỳ xung clock

The correct answer is: Hành động của mạch phụ thuộc vào trạng thái và có kèm điều kiện bên trong trạng thái đó

**Câu hỏi 42**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Đâu là một bước cơ bản trong thiết kế RTL?

- a. Mô phỏng hành vi của thanh ghi và các thao tác chuyển dữ liệu
- b. Lập trình tín hiệu xung clock
- c. Viết phần mềm điều khiển
- d. Thiết kế sơ đồ mạch logic

The correct answer is: Mô phỏng hành vi của thanh ghi và các thao tác chuyển dữ liệu

**Câu hỏi 41**

Không trả lời

Đạt điểm 1,00

☛ Đặt cờ

Trong thiết kế RTL, việc phân tích timing (thời gian) nhằm đảm bảo?

- a. Dữ liệu không bị nhiễu
- b. Đồng bộ giữa phần cứng và phần mềm
- c. Các thao tác chuyển dữ liệu xảy ra đúng thời điểm
- d. Giảm độ phức tạp của thiết kế

The correct answer is: Các thao tác chuyển dữ liệu xảy ra đúng thời điểm

**Câu hỏi 40**

Không trả lời

Đạt điểm 1,00

Đặt cờ

RAM không có tính chất nào sau đây?

- a. Static RAM không mất dữ liệu theo thời gian
- b. Không thể thiết kế RAM lớn bằng cách ghép các RAM nhỏ hơn theo cách mở rộng đường dữ liệu hoặc địa chỉ
- c. Có các loại thiết kế Static RAM và Dynamic RAM
- d. Trong mỗi cell của thiết kế Dynamic RAM có chứa tụ và cần refresh

The correct answer is: Không thể thiết kế RAM lớn bằng cách ghép các RAM nhỏ hơn theo cách mở rộng đường dữ liệu hoặc địa chỉ

**Câu hỏi 39**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Nguyên lý "pipeline" thường được áp dụng trong RTL để?

- a. Giảm tín hiệu nhiễu
- b. Tối ưu hóa kích thước bộ nhớ
- c. Giảm chi phí phần cứng
- d. Tăng tốc độ thực hiện lệnh

The correct answer is: Tăng tốc độ thực hiện lệnh

**Câu hỏi 38**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Một trong những thành phần chính của RTL là?

- a. Thanh ghi
- b. Bộ cộng số học
- c. Đường truyền tín hiệu không dây
- d. Bộ chuyển đổi ADC

The correct answer is: Thanh ghi

**Câu hỏi 37**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Functional unit sharing được sử dụng trong thiết kế RTL nhằm?

- a. Tăng số lượng các đơn vị chức năng trong hệ thống
- b. Gộp nhiều đơn vị chức năng thành một khối logic
- c. Giảm chi phí bằng cách loại bỏ các đơn vị chức năng dư thừa
- d. Chia sẻ một đơn vị chức năng giữa nhiều thao tác trong các chu kỳ khác nhau

The correct answer is: Chia sẻ một đơn vị chức năng giữa nhiều thao tác trong các chu kỳ khác nhau

**Câu hỏi 36**

Không trả lời

Đạt điểm 1,00

☛ Đặt cờ

Mô tả RTL của một thiết kế thường được chuyển thành dạng gì để thực hiện tổng hợp phần cứng?

- a. Sơ đồ logic gate-level
- b. Mã máy
- c. Sơ đồ mạch điện tử
- d. Code nhị phân

The correct answer is: Sơ đồ logic gate-level

**Câu hỏi 35**

Không trả lời

Đạt điểm 1,00

 Đặt cờ

Trong RTL, tín hiệu đồng bộ thường được biểu diễn dưới dạng?

- a. Tín hiệu ngẫu nhiên
- b. Tín hiệu xung vuông
- c. Dạng sóng hình sin
- d. Tín hiệu liên tục

The correct answer is: Tín hiệu xung vuông

**Câu hỏi 34**

Không trả lời

Đạt điểm 1,00

[Đặt cờ](#)

Máy trạng thái hữu hạn (FSM) kiểu Moore có đặc điểm gì?

- a. Đầu ra phụ thuộc vào trạng thái hiện tại và đầu vào.
- b. Đầu ra chỉ phụ thuộc vào trạng thái hiện tại.
- c. Không sử dụng trạng thái đầu.
- d. Hoạt động không đồng bộ.

The correct answer is: Đầu ra chỉ phụ thuộc vào trạng thái hiện tại.

**Câu hỏi 33**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Ưu điểm của thiết kế đa chu kỳ (multiple cycle pipeline design) là gì?

- a. Tối ưu hóa thời gian thực thi của mỗi lệnh trong một chu kỳ duy nhất.
- b. Tăng hiệu suất xử lý hệ thống bằng cách thực hiện nhiều lệnh song song trong các giai đoạn khác nhau của pipeline.
- c. Giảm độ phức tạp phần cứng và tiết kiệm tài nguyên bằng cách chia nhỏ các giai đoạn thực thi lệnh.
- d. Đảm bảo không có xung đột dữ liệu giữa các lệnh, từ đó cải thiện hiệu suất tổng thể.

The correct answer is: Tăng hiệu suất xử lý hệ thống bằng cách thực hiện nhiều lệnh song song trong các giai đoạn khác nhau của pipeline.

**Câu hỏi 32**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Thành phần chính trong FSM của kiến trúc Moore là?

- a. Logic tạo trạng thái, logic đầu ra và thanh ghi lưu trạng thái.
- b. Hệ thống quản lý điện năng.
- c. Thanh ghi và bộ nhớ ngoài.
- d. Bộ xử lý và giao tiếp mạng.

The correct answer is: Logic tạo trạng thái, logic đầu ra và thanh ghi lưu trạng thái.

**Câu hỏi 31**

Không trả lời

Đạt điểm 1,00

▼ [Đặt cờ](#)

Trong register file, để truy cập đồng thời nhiều thanh ghi khác nhau, cần sử dụng?

- a. Bộ chuyển đổi analog-số (ADC)
- b. Bộ đếm ngẫu nhiên
- c. Bộ giải mã địa chỉ và bộ ghép kênh (decoder and multiplexer)
- d. Bộ nhớ cache

The correct answer is: Bộ giải mã địa chỉ và bộ ghép kênh (decoder and multiplexer)

**Câu hỏi 30**

Không trả lời

Đạt điểm 1,00

☒ Đặt cờ

Khối controller trong kiến trúc RTL có chức năng nào?

- a. Xác định tốc độ xử lý dữ liệu.
- b. Chỉ thực hiện phép toán logic.
- c. Lưu trữ và truyền tải dữ liệu giữa các khối.
- d. Quản lý trạng thái và điều khiển hoạt động của hệ thống.

The correct answer is: Quản lý trạng thái và điều khiển hoạt động của hệ thống.

**Câu hỏi 29**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Lợi ích chính của bus sharing trong RTL là gì?

- a. Đồng bộ hóa tín hiệu giữa các thanh ghi
- b. Giảm số lượng đường truyền tín hiệu cần thiết
- c. Tăng băng thông dữ liệu
- d. Tăng tốc độ xử lý

The correct answer is: Giảm số lượng đường truyền tín hiệu cần thiết

**Câu hỏi 28**

Không trả lời

Đạt điểm 1,00

▼ Đặt cờ

RTL trong thiết kế phần cứng là viết tắt của?

- a. Register Timing Level
- b. Real Time Logic
- c. Register Transfer Logic
- d. Real Transfer Level

The correct answer is: Register Transfer Logic

**Câu hỏi 27**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Trong FIFO với tín hiệu đầy và rỗng (full/empty flags), việc xác định trạng thái "đầy" (full) hoặc "rỗng" (empty) dựa trên?

- a. Số bit dữ liệu được lưu trữ
- b. Số lượng thanh ghi trong hệ thống
- c. Tốc độ tín hiệu đồng hồ
- d. Địa chỉ đọc và ghi trong bộ nhớ FIFO

The correct answer is: Địa chỉ đọc và ghi trong bộ nhớ FIFO

**Câu hỏi 26**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Tính chất nào sau đây đúng về bộ đếm bất đồng bộ đã học?

- a. Độ tích luỹ trì hoãn nhỏ
- b. Không thể kết hợp bộ đếm đồng bộ và bất đồng bộ cùng với nhau
- c. Đơn giản, ít chi phí thiết kế
- d. Các thành phần flipflop trong bộ đếm thay đổi giá trị tại những thời điểm giống nhau

The correct answer is: Đơn giản, ít chi phí thiết kế

**Câu hỏi 25**

Không trả lời

Đạt điểm 1,00

☛ Đặt cờ

RTL mô tả các thao tác xảy ra?

- a. Tại mức hệ thống
- b. Tại mức thanh ghi và đường truyền dữ liệu
- c. Tại mức bit
- d. Tại mức phần mềm

The correct answer is: Tại mức thanh ghi và đường truyền dữ liệu

**Câu hỏi 24**

Không trả lời

Đạt điểm 1,00

奠 Đặt cờ

Đặc điểm nào sau đây không phải của một ASM kiểu Mealy?

- a. Hành động trong mỗi trạng thái chỉ phụ thuộc vào trạng thái đó
- b. Việc chuyển trạng thái có thể kèm điều kiện hoặc không
- c. Thể hiện được hoạt động của mạch trong mỗi chu kỳ xung clock
- d. Có thể lập bảng state-action table từ sơ đồ ASM tương ứng

The correct answer is: Hành động trong mỗi trạng thái chỉ phụ thuộc vào trạng thái đó

**Câu hỏi 23**

Không trả lời

Đạt điểm 1,00

▼ Đặt cờ

Một thiết kế RTL cơ bản gồm?

- a. Thanh ghi và bộ điều khiển logic
- b. ADC và DAC
- c. Bộ nhớ ROM và RAM
- d. Thanh ghi và bộ cộng

The correct answer is: Thanh ghi và bộ điều khiển logic

## Câu hỏi 22

Không trả lời

Đạt điểm 1,00

☛ Đặt cờ

Pipeline khối chức năng mang lại lợi ích nào?

- a. Đơn giản hóa thiết kế phần cứng.
- b. Loại bỏ hoàn toàn xung đột dữ liệu.
- c. Tăng hiệu suất bằng cách phân chia xử lý thành nhiều giai đoạn.
- d. Giảm thiểu thời gian chờ của hệ thống.

The correct answer is: Tăng hiệu suất bằng cách phân chia xử lý thành nhiều giai đoạn.

**Câu hỏi 21**

Không trả lời

Đạt điểm 1,00

▼ **Đặt cờ**

Ưu điểm của thiết kế chuỗi đơn chu kỳ là?

- a. Tối ưu hóa tốc độ xử lý.
- b. Tiêu thụ năng lượng thấp.
- c. Độ phức tạp thấp, dễ triển khai.
- d. Tăng khả năng song song hóa.

The correct answer is: Độ phức tạp thấp, dễ triển khai.

**Câu hỏi 20**

Không trả lời

Đạt điểm 1,00

Đặt cờ

Nhận xét nào sau đúng về mô hình FSM đã học?

- a. Các flipflop trong máy trạng thái không hoạt động đồng bộ với xung clock
- b. Các thành phần chính gồm: ngõ vào, ngõ ra, thanh ghi, các trạng thái
- c. Hàm ngõ ra của máy Mealy chỉ phụ thuộc vào trạng thái của mạch
- d. Các thành phần chính gồm: ngõ vào, ngõ ra, trạng thái, hàm xác định trạng thái kế tiếp, hàm ngõ ra

The correct answer is: Các thành phần chính gồm: ngõ vào, ngõ ra, trạng thái, hàm xác định trạng thái kế tiếp, hàm ngõ ra

**Câu hỏi 19**

Đúng

Đạt điểm 1,00  
trên 1,00☛ [Đặt cờ](#)

Các phép toán số học trong RTL thường được thực hiện bởi?

- a. Bộ cộng hoặc mạch ALU ✓
- b. Thanh ghi
- c. Bộ nhớ RAM
- d. Tín hiệu đồng hồ

The correct answer is: Bộ cộng hoặc mạch ALU

**Câu hỏi 18**

Sai

Đạt điểm 0,00  
trên 1,00

⬇ Đặt cờ

Phát biểu nào sau đây đúng?

- a. Hai trạng thái được gọi là tương đương khi chúng có cùng next state cho mọi trường hợp input
- b. Logic ngõ ra của máy Moore phụ thuộc vào trạng thái và ngõ vào của mạch **X**
- c. Chức năng reset mạch bất đồng bộ phụ thuộc vào xung clock của mạch
- d. Tối thiểu hóa trạng thái giúp rút gọn số trạng thái cần thiết trong mạch, theo đó rút gọn số flipflop cần dùng

The correct answer is: Tối thiểu hóa trạng thái giúp rút gọn số trạng thái cần thiết trong mạch, theo đó rút gọn số flipflop cần dùng

**Câu hỏi 17**

Đúng

Đạt điểm 1,00  
trên 1,00

☛ [Đặt cờ](#)

RTL mô tả hành vi của một thiết kế số bằng cách sử dụng?

- a. Ngôn ngữ lập trình
- b. Mô hình toán học
- c. Sơ đồ logic
- d. Dữ liệu thanh ghi và các thao tác chuyển dữ liệu ✓

The correct answer is: Dữ liệu thanh ghi và các thao tác chuyển dữ liệu

**Câu hỏi 16**

Đúng

Đạt điểm 1,00  
trên 1,00

¶ Đặt cờ

Trong RTL, thanh ghi được sử dụng để?

- a. Lưu trữ tín hiệu logic
- b. Điều khiển dòng tín hiệu
- c. Thực hiện phép toán số học
- d. Lưu trữ dữ liệu tạm thời giữa các thao tác ✓

The correct answer is: Lưu trữ dữ liệu tạm thời giữa các thao tác

**Câu hỏi 15**

Đúng

Đạt điểm 1,00  
trên 1,00

Đặt cờ

Một nhược điểm tiềm năng của register sharing trong RTL là?

- a. Gây ra tranh chấp dữ liệu giữa các mô-đun khác nhau ✓
- b. Làm giảm hiệu suất của các đơn vị chức năng
- c. Tăng diện tích mạch
- d. Tăng mức tiêu thụ năng lượng

The correct answer is: Gây ra tranh chấp dữ liệu giữa các mô-đun khác nhau

**Câu hỏi 14**

Sai

Đạt điểm 0,00  
trên 1,00

☛ Đặt cờ

Trong bus sharing, các thành phần trong hệ thống được kết nối với bus bằng?

- a. Bộ giải mã lệnh
- b. Bộ chia tín hiệu
- c. Thanh ghi chuyển tiếp ✗
- d. Bộ ghép kênh (multiplexer) và bộ giải ghép (demultiplexer)

The correct answer is: Bộ ghép kênh (multiplexer) và bộ giải ghép (demultiplexer)

**Câu hỏi 13**

Đúng

Đạt điểm 1,00  
trên 1,00

☛ Đặt cờ

Trong thiết kế mạch tuần tự, trạng thái của hệ thống thường được biểu diễn bằng?

- a. Các phép toán số học
- b. Bộ nhớ chỉ đọc (ROM)
- c. Bảng trạng thái và biểu đồ trạng thái ✓
- d. Thanh ghi di chuyển dữ liệu

The correct answer is: Bảng trạng thái và biểu đồ trạng thái

**Câu hỏi 12**

Đúng

Đạt điểm 1,00  
trên 1,00

¶ Đặt cờ

Phương pháp nào sau đây giúp tối ưu chi phí thiết kế FSM?

- a. Chọn mã hoá cho các trạng thái
- b. Tất cả phương án trên ✓
- c. Tối thiểu hoá số trạng thái
- d. Lựa chọn loại Flipflop sử dụng

The correct answer is: Tất cả phương án trên

**Câu hỏi 11**

Sai

Đạt điểm 0,00  
trên 1,00

☛ Đặt cờ

RTL giúp thiết kế phần cứng dễ dàng hơn bằng cách?

- a. Tăng tốc độ xử lý của hệ thống **X**
- b. Giảm số lượng phần tử logic cần thiết
- c. Hỗ trợ phân tích tín hiệu số
- d. Trừu tượng hóa các mạch logic phức tạp thành các thao tác chuyển dữ liệu

The correct answer is: Trừu tượng hóa các mạch logic phức tạp thành các thao tác chuyển dữ liệu

**Câu hỏi 10**

Sai

Đạt điểm 0,00  
trên 1,00

☛ Đặt cờ

Trong mạch tuần tự, việc triển khai state encoding (mã hóa trạng thái) có ảnh hưởng gì đến hiệu suất?

- a. Quyết định kích thước của bộ nhớ ngoài ✗
- b. Không ảnh hưởng đến hiệu suất, chỉ làm mạch dễ đọc hơn
- c. Chỉ ảnh hưởng đến số lượng thanh ghi cần sử dụng
- d. Quyết định tốc độ của mạch logic và mức tiêu thụ năng lượng

The correct answer is: Quyết định tốc độ của mạch logic và mức tiêu thụ năng lượng

**Câu hỏi 9**

Đúng

Đạt điểm 1,00  
trên 1,00

▼ Đặt cờ

Trong RTL, tín hiệu đồng hồ có vai trò gì?

- a. Đồng bộ các thao tác chuyển dữ liệu ✓
- b. Cấp nguồn cho các mạch logic
- c. Tạo ngõ vào cho hệ thống
- d. Điều khiển tốc độ xử lý

The correct answer is: Đồng bộ các thao tác chuyển dữ liệu

**Câu hỏi 8**

Đúng

Đạt điểm 1,00  
trên 1,00¶ [Đặt cờ](#)

Điều nào sau đây là nhược điểm của đường dẫn dữ liệu pipeline đa chu kỳ trong thiết kế mạch logic số?

- a. Tài nguyên phần cứng luôn được sử dụng đầy đủ ngay cả với các lệnh đơn giản.
- b. Tắc nghẽn pipeline và các xung đột dữ liệu có thể gây ra độ trễ, làm giảm hiệu suất tổng thể. ✓
- c. Thiết kế có cơ chế điều khiển đơn giản, dễ dàng xử lý các phụ thuộc dữ liệu.
- d. Pipeline có thể xử lý tất cả các lệnh trong một chu kỳ, tăng cường hiệu quả.

The correct answer is: Tắc nghẽn pipeline và các xung đột dữ liệu có thể gây ra độ trễ, làm giảm hiệu suất tổng thể.

**Câu hỏi 7**

Đúng

Đạt điểm 1,00  
trên 1,00¶ [Đặt cờ](#)

Thanh ghi trong RTL được đồng bộ bởi?

- a. Đường truyền dữ liệu
- b. Bộ giải mã lệnh
- c. Tín hiệu clock ✓
- d. Bộ điều khiển tín hiệu

The correct answer is: Tín hiệu clock

**Câu hỏi 6**

Đúng

Đạt điểm 1,00  
trên 1,00

☛ Đặt cờ

Trong RTL, các tín hiệu chuyển dữ liệu thường được kiểm soát bởi?

- a. Các ngõ vào số
- b. Bộ nhớ RAM
- c. Bộ điều khiển logic
- d. Tín hiệu đồng hồ (clock signal) ✓

The correct answer is: Tín hiệu đồng hồ (clock signal)

### Đáp án

ai

Đạt điểm 0,00

đến 1,00

✓ Đặt cờ

Khi thiết kế pipeline cho functional units, một vấn đề thường gặp là?

- a. Hazard (xung đột) giữa các giai đoạn pipeline
- b. Không thể sử dụng tín hiệu đồng hồ ✗
- c. Thiếu đồng bộ hóa giữa các tín hiệu
- d. Tăng chi phí phần cứng

The correct answer is: Hazard (xung đột) giữa các giai đoạn pipeline

**Câu hỏi 4**

Đúng

Đạt điểm 1,00  
trên 1,00 [Đặt cờ](#)

Register sharing trong thiết kế RTL là gì?

- a. Sử dụng chung một thanh ghi cho nhiều mục đích khác nhau ✓
- b. Chia sẻ thanh ghi giữa các mạch logic độc lập
- c. Giảm số lượng thanh ghi cần thiết bằng cách gộp thanh ghi
- d. Chia sẻ dữ liệu giữa các thanh ghi bằng cách sử dụng bộ nhớ ngoài

The correct answer is: Sử dụng chung một thanh ghi cho nhiều mục đích khác nhau

**Câu hỏi 3**

Sai

Đạt điểm 0,00  
trên 1,00

➡ Đặt cờ

Pipeline đường dữ liệu là gì?

- a. Một giao thức đồng bộ hóa dữ liệu.
- b. Quy trình phân đoạn xử lý dữ liệu để tăng tốc độ hệ thống.
- c. Một loại FSM đặc biệt để quản lý dữ liệu.
- d. Phương pháp thiết kế phân tầng trong đường truyền dữ liệu. ✗

The correct answer is: Quy trình phân đoạn xử lý dữ liệu để tăng tốc độ hệ thống.

**Câu hỏi 2**

Đúng

Đạt điểm 1,00  
trên 1,00

奠 cờ

Thiết kế pipeline thường bao gồm?

- a. Các đường dẫn dữ liệu không đồng bộ.
- b. Các tầng xử lý nối tiếp theo từng chu kỳ xung nhịp. ✓
- c. Các khối xử lý song song đồng thời.
- d. Một mô hình tập trung với bộ xử lý chính.

The correct answer is: Các tầng xử lý nối tiếp theo từng chu kỳ xung nhịp.

**Câu hỏi 1**

Đúng

Đạt điểm 1,00  
trên 1,00

☒ Đặt cờ

Một synchronous counter (bộ đếm đồng bộ) có ưu điểm nào so với asynchronous counter?

- a. Loại bỏ sự chậm trễ tích lũy giữa các giai đoạn đếm ✓
- b. Sử dụng ít mạch logic hơn
- c. Hoạt động nhanh hơn mà không cần tín hiệu đồng hồ
- d. Không cần tín hiệu reset ban đầu

The correct answer is: Loại bỏ sự chậm trễ tích lũy giữa các giai đoạn đếm