



## **LAB 2: THIẾT KẾ MẠCH TUẦN TỰ BẰNG MÔ HÌNH MÁY TRẠNG THÁI HỮU HẠN**

**Trần Minh Tiến : 23521586**

**Trần Hoàng Thông: 23521529**

### **1.1 Mục tiêu**

Trong bài thực hành này, sinh viên sẽ thiết kế một mạch tuần tự bằng mô hình Máy trạng thái hữu hạn (FSM). Để làm tốt bài thực hành, sinh viên cần phải chuẩn bị trước ở nhà các bước thiết kế đã được học trong phần lý thuyết. Thử nghiệm và mô phỏng thiết kế trên phần mềm Quartus II.

### **1.2 Nội dung thực hành**

Thiết kế mạch tuần tự có chức năng phát hiện 3 bit ngõ vào (X) liên tiếp có dạng 101 thì ngõ ra Z=1 (cho phép overlap). Mạch đọc vào một bit X từ đầu vào tại mỗi chu kỳ clock.

Sử dụng **FF-D** để thiết kế mạch tuần tự trên.

- a) Theo mô hình máy trạng thái kiểu Moore
- b) Theo mô hình máy trạng thái kiểu Mealy

Ví dụ: chuỗi X nhận vào có dạng:    00101001010111101

Giá trị ngõ ra tương ứng Y sẽ là:    00001000010100001

### **1.3 Sinh viên chuẩn bị**

1. Vẽ lưu đồ chuyển trạng thái của mạch tuần tự trên.
2. Lập bảng kích thích của mạch.
3. Tìm phương trình ngõ vào của các FF và ngõ ra Z của mạch
4. Vẽ mạch cho khối “Lab2\_CE118”.

## 1.4 Hướng dẫn thực hành

1. Tạo một project Quartus mới, đặt tên: E/CE118\_lab/lab2\_MSSV
2. Thực thi mạch thiết kế trong phần chuẩn bị. Với:
  - KEY[0]: xung Clock của mạch
  - SW[1]: tín hiệu ngõ vào của mạch
  - LEDR[0]: giá trị ngõ ra của mạch



---

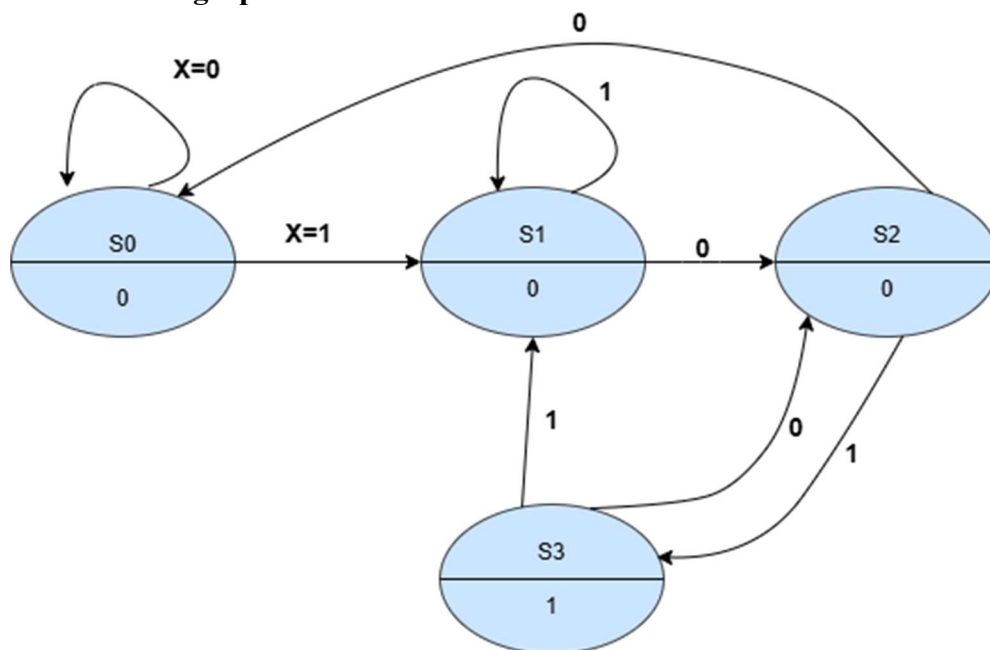
### Thực hành: Thiết kế Luận lý Số (CE118)

---

- HEX0[6:0], HEX1[6:0]: hiển thị kết quả lần lượt của trạng thái kế tiếp và trạng thái hiện tại
3. Gán pin cho mạch trên
  4. Biên dịch và tổng hợp để tạo ra file .sof
  5. Nạp file thực thi lên kit DE2. Kiểm tra hoạt động của mạch.

BÀI LÀM:

**Moore: state graph**



State table:

state table			
current state	INPUT/next state		OUTPUT
	X=0	X=1	
S0	S0	S1	0
S1	S2	S1	0
S2	S0	S3	0
S3	S2	S1	1

Mã hóa trạng thái:

Mã hóa trạng thái		
S0	Q1Q0	00
S1	Q1Q0	01
S2	Q1Q0	10
S3	Q1Q0	11

Rút gọn:

$G1=\{S0,S1,S2\}$   
}

$G2=\{S3\}$

INPUT	$G1=\{S0,S1,S2\}$	$G2=\{S3\}$
X=0	G1,G1,G1	G2
X=1	G1,G1,G2	G2

$G1=\{S0,S1\}$

$G2=\{S2\}$

$G3=\{S3\}$

INPUT	$G1=\{S0,S1\}$	$G2=\{S2\}$	$G3=\{S3\}$
X=0	G1,G2	G1	G2
X=1	G1,G1	G3	G1

Vậy các trạng thái là S0, S1, S2,S3 đã tối thiểu

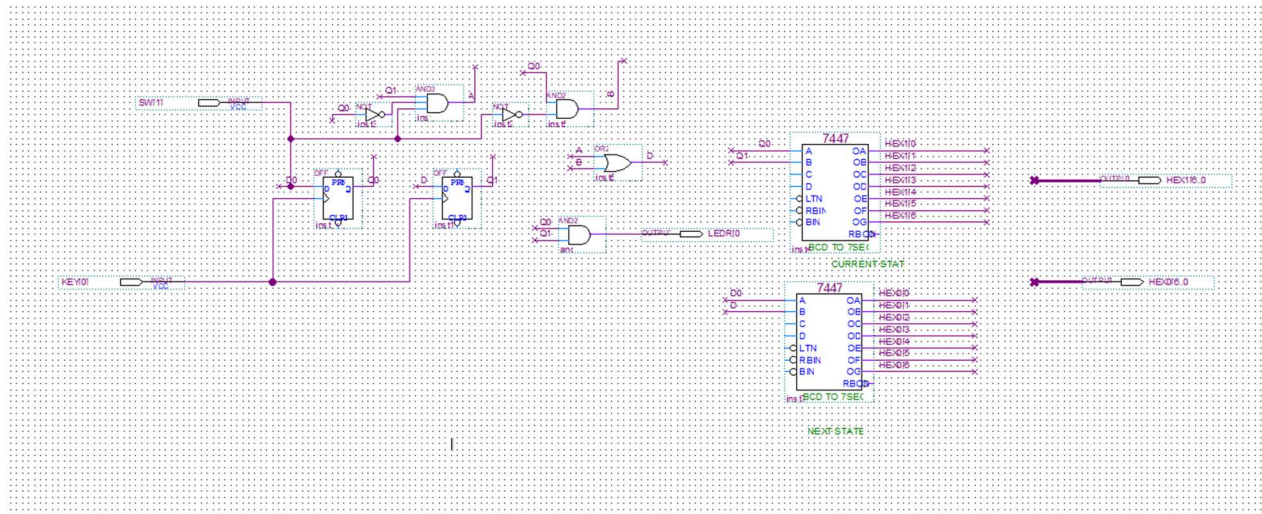
Bảng chuyển trạng thái:

bảng chuyển trạng thái					
present state		input	next state		output
Q1	Q0	X	Q1next	Q0next	Z
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	0	1	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	0	1	1

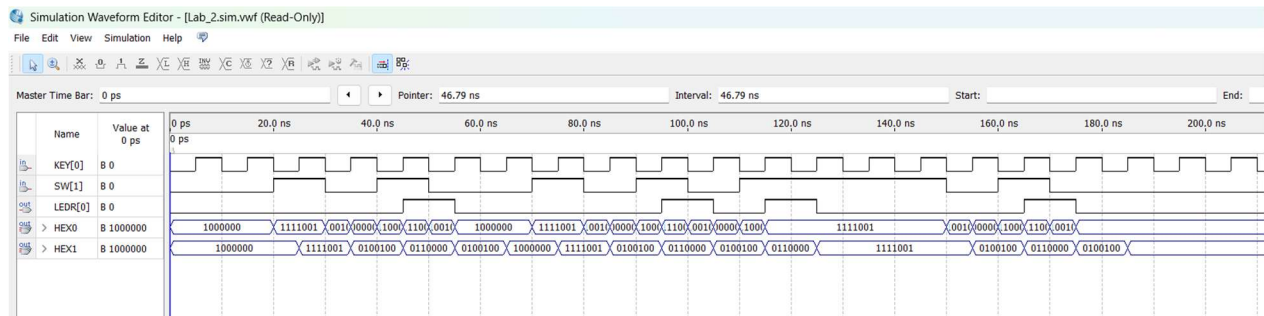
$$D1=Q1(\text{ next})= Q1Q0' .X + Q0X'$$

$$D0= Q0(\text{next}) = X, Z= Q1Q0$$

Sơ đồ kết nối kiểu MOORE:



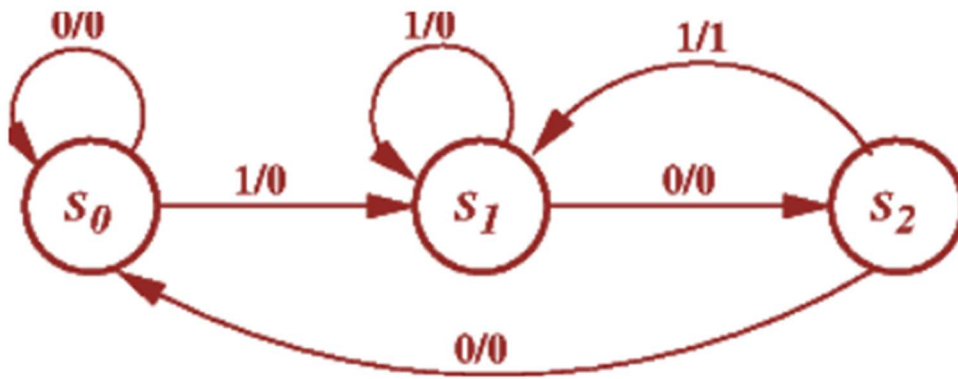
Waveform:



Ta thấy với ngõ vào là  $X= 00101001010111101$  thì output ra đúng là  $00001000010100001$  và chuyển trạng thái đúng theo sơ đồ chuyển trạng thái.

**Mearly**

**State graph :**



State table :

Q1	Q0	X	Q1+	Q0+	Y	D1	D0
0	0	0	0	0	0	0	0
0	0	1	1	0	1	0	1
0	1	0	0	1	0	0	1
0	1	1	0	0	1	0	1
1	0	0	0	0	0	0	0
1	0	1	0	1	1	0	1

Karnaugh :

Q1Q0 X \	00	01	11	10
0	0	1	X	0
1	0	0	X	0

D1 = X'Q0

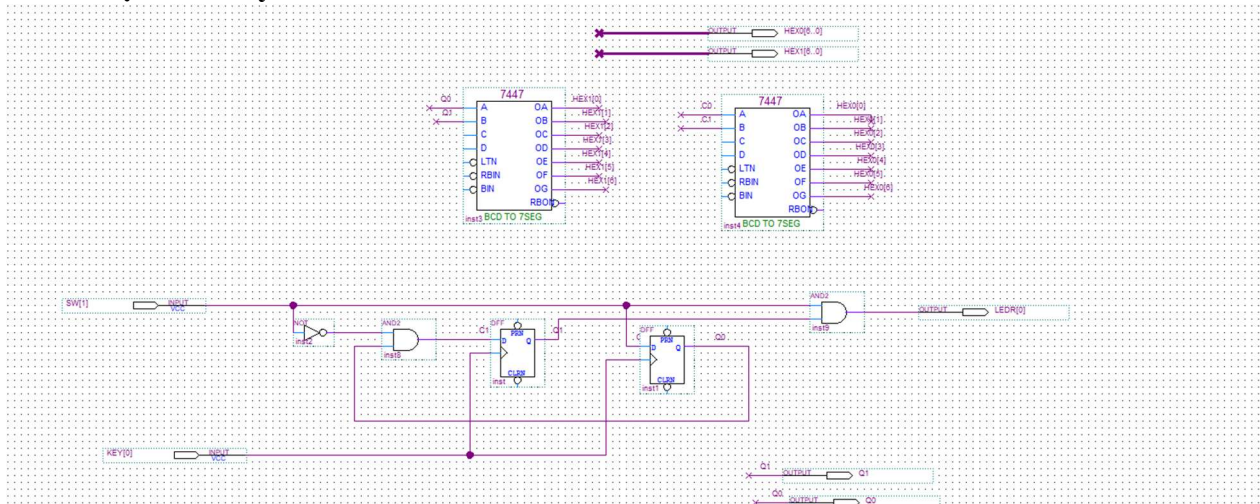
Q1Q0 X \	00	01	11	10
0	0	0	X	0
1	1	1	X	1

D0 = X

Q1Q0 X \	00	01	11	10
0	0	0	X	0
1	0	0	X	1

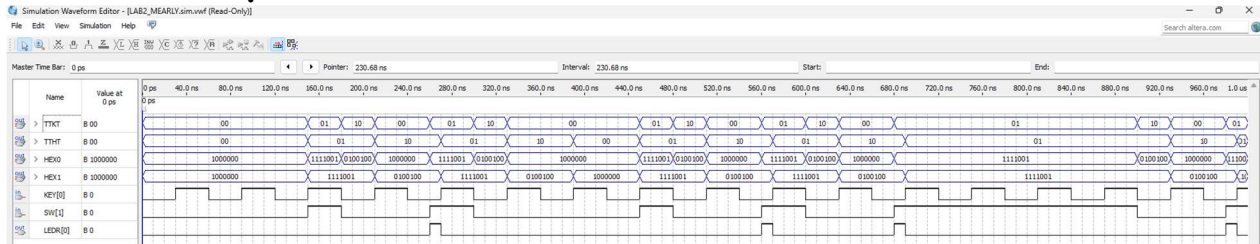
$$Y = XQ1$$

Sơ đồ mạch Mearly :



Mearly đầu ra phụ thuộc vào trạng thái hiện tại cũng như đầu vào hiện tại.

Waveform của mạch :



Khi nhập 00101001010111101 giá trị ngõ ra tương ứng Y sẽ là: 00001000010100001

(Waveform của FSM theo Mearly )

Link video nạp kit kiểu Moore:

[https://drive.google.com/file/d/1xGKgo4G0zj6pjt7C\\_Ty7acwYYIQYVXaZ/view?usp=drive\\_link](https://drive.google.com/file/d/1xGKgo4G0zj6pjt7C_Ty7acwYYIQYVXaZ/view?usp=drive_link)

Link video nạp kit kiểu Mealy:

[https://drive.google.com/file/d/1ytR7SEDYIv6CzqfQwlKVZC\\_txu5sta7e/view?usp=sharing](https://drive.google.com/file/d/1ytR7SEDYIv6CzqfQwlKVZC_txu5sta7e/view?usp=sharing)