



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 Программная инженерия

О Т Ч Е Т

по лабораторной работе № 3

Название: Исследование синхронных счетчиков

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-44Б

(Группа)

(Подпись, дата)

И.Ю. Елгин

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

Москва, 2021

Цель работы – изучение принципов построения счетчиков, овладение методом синтеза синхронных счетчиков, экспериментальная оценка динамических параметров счетчиков, изучение способов наращивания разрядности синхронных счетчиков.

Выполнение лабораторной работы

1. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом на Ттриггерах. Проверить работу счётчика
 - от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
 - от импульсов генератора. Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

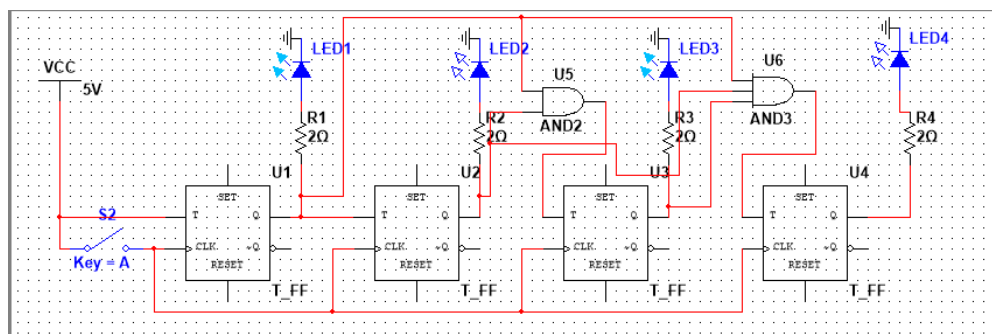


Рис. 1 Схема суммирующего счётчика на Т-триггерах с переключателем и светодиодами

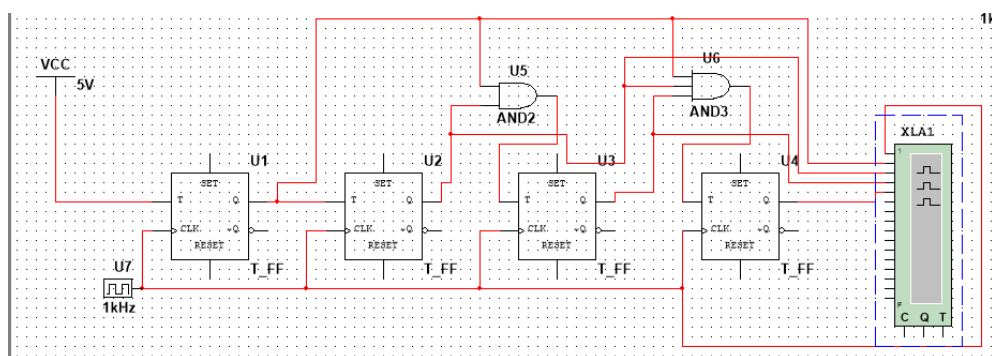


Рис. 2 Схема суммирующего счётчика на Т-триггерах с генератором сигнала

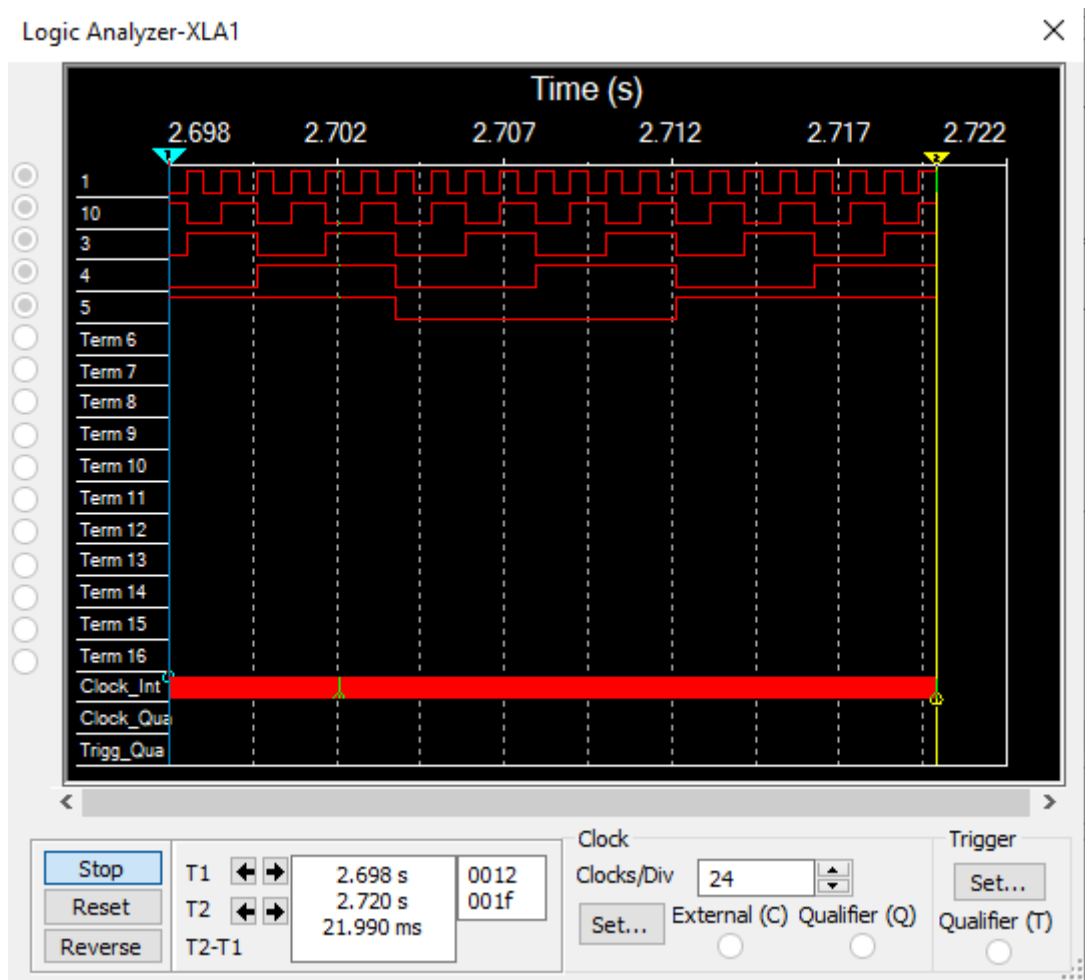


Рис. 3 Временная диаграмма сигналов счётчика (первый сигнал входной остальные четыре выходные)

На временной диаграмме видно, что счётчик переключается в новое состояние при переключении сигнала из 0 в 1, состояния изменяются последовательно в естественном порядке.

Время задержки равно 6 нс, максимальная частота 160 МГц

2. Синтезировать двоично-десятичный счётчик с заданной последовательностью состояний. десятичными числами обозначены номера двоичных наборов, изображающие десятичные цифры и определяющие состояние счётчика. Начертить схему счётчика на элементах интегрального базиса (И-НЕ; И, ИЛИ, НЕ), синхронных JK-триггерах.

Вариант №5 0,1,2,3,4,5,6,8,9,10

	Предыдущее состояние				Новое состояние			
	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1

3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	0	0	0	0

Табл.1 Состояния триггеров при работе счётчиков.

J0	K0	J1	K1	J2	K2	J3	K3
0	A	0	a	0	a	1	a
0	A	0	A	1	0	0	1
0	A	0	A	A	0	1	0
0	A	1	0	0	1	0	1
0	A	A	0	0	A	1	0
0	A	A	0	1	0	0	1
1	0	0	1	0	1	0	A
a	0	0	A	0	A	1	0
a	0	0	A	1	0	0	1
0	1	0	A	0	1	0	A

Табл. 2 Сигналы на входы JK- триггеров

Логические функции для JK- триггеров:

$$J0=Q2\&Q3$$

$$J1=Q3\&Q4$$

$$J2=Q4\&!Q3$$

$$J3=!Q4\&!(Q3\&(Q2|Q1))$$

$$K0=Q1\&Q3$$

$$K1=Q2\&Q3$$

$$K2=Q3\&(Q4|Q2|Q1)$$

$$K3=Q4$$

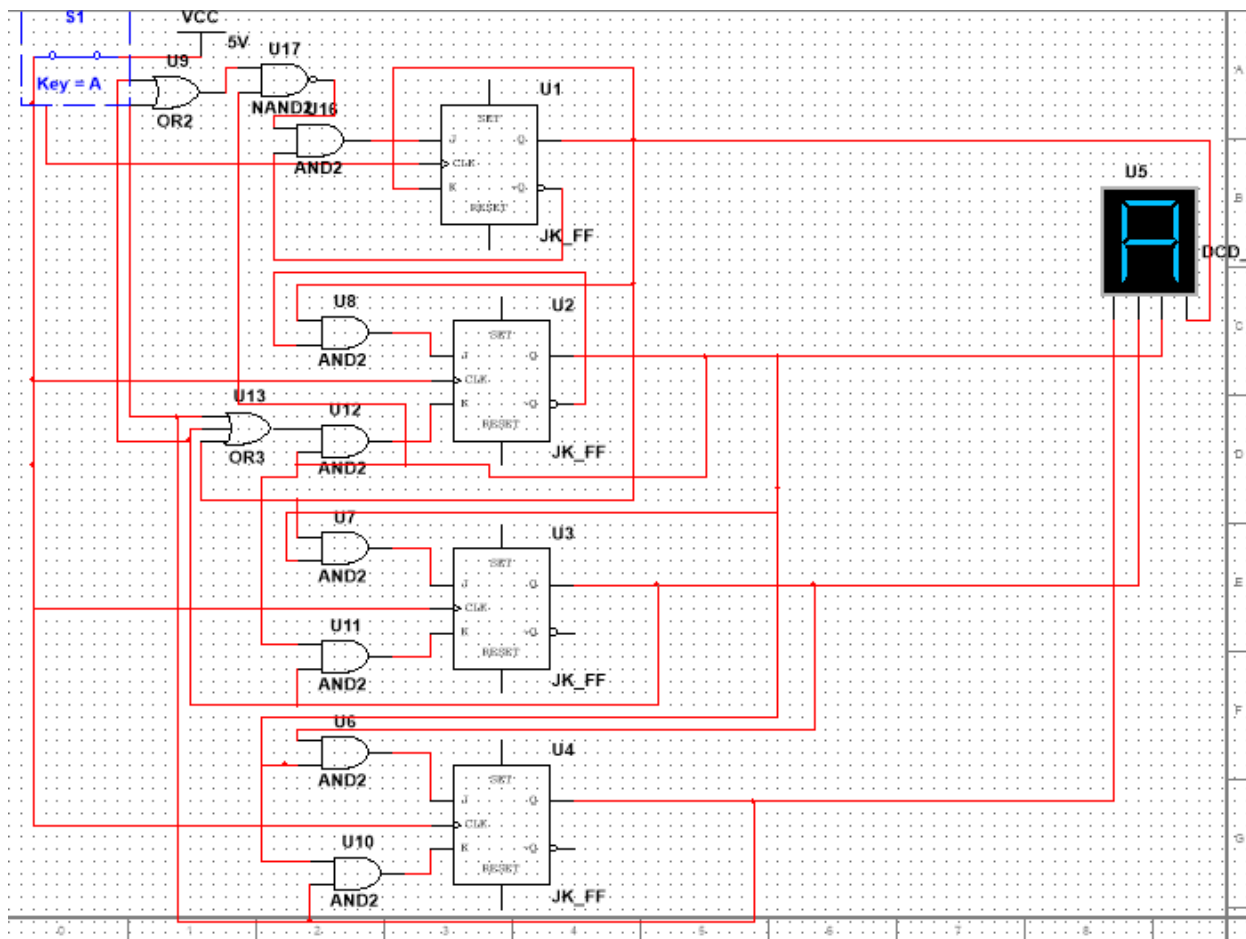


Рис. 4 Схема двоично-десятичного счётчика с заданной последовательностью состояний

3. Собрать десятичный счётчик, используя элементную базу приложения Multisim или учебного макета. Установить счётчик в начальное состояние, подав на установочные входы R соответствующий сигнал.

	Предыдущее состояние				Новое состояние			
	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	0	0	0	0

Табл. 3 Состояния триггеров при работе десятичного счётчиков.

J0	K0	J1	K1	J2	K2	J3	K3
0	A	0	a	0	a	1	0
0	A	0	A	1	0	0	1
0	A	0	A	A	0	1	0
0	A	1	0	0	1	0	1
0	A	A	0	0	A	1	0
0	A	A	0	1	0	0	1
0	A	A	0	A	0	1	0
1	0	0	1	0	1	0	1
a	0	0	A	0	A	1	0
0	1	0	A	0	A	0	1

Табл. 2 Сигналы на входы JK- триггеров десятичного счётчика.

Логические функции для JK- триггеров:

$$J0=Q2\&Q3\&Q4$$

$$J1=Q3\&Q4$$

$$J2=Q4\&!Q3\&!Q1$$

$$J3=!Q4$$

$$K0=Q1\&Q4$$

$$K1= Q2\&Q3\&Q4$$

$$K2= Q1\&Q2$$

$$K3=Q4$$

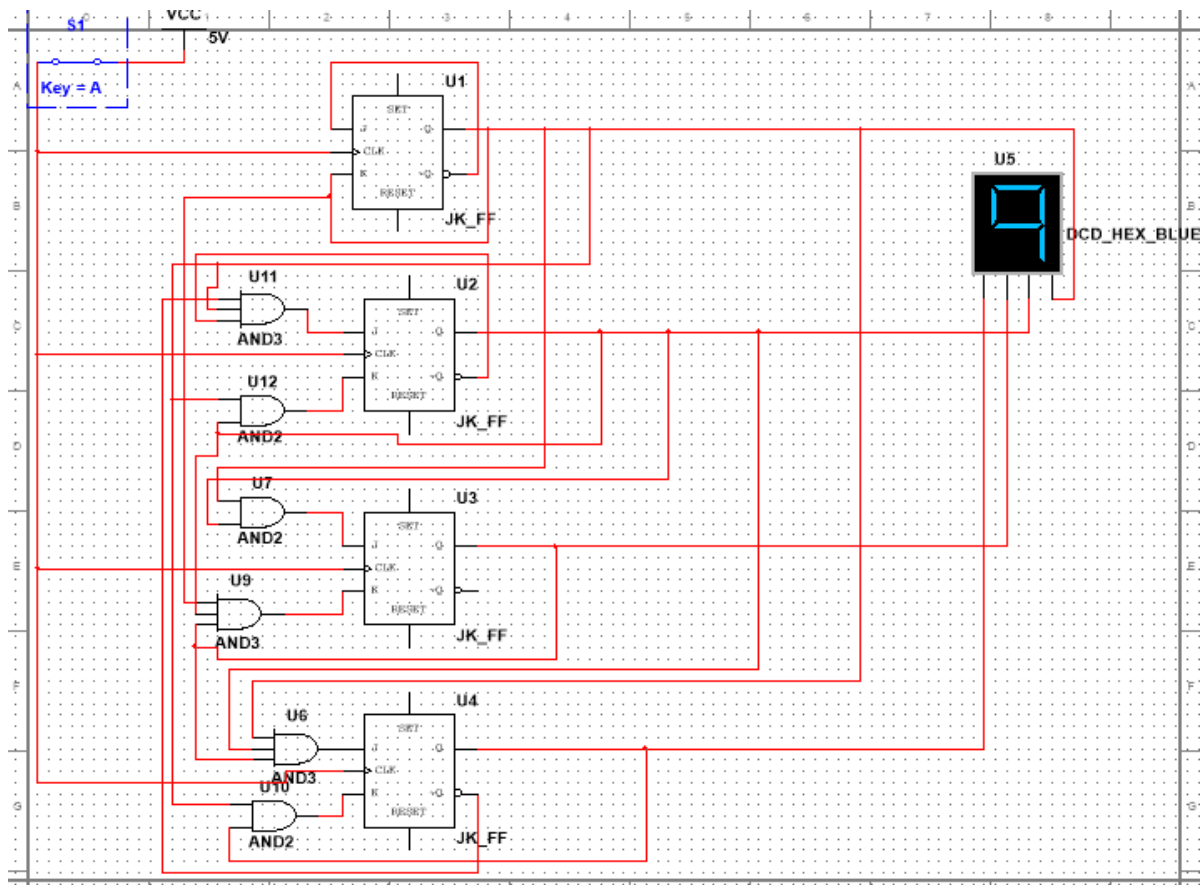


Рис. 5 Схема десятичного счётчика.

4. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом. Проверить работу счётчика

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора. Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

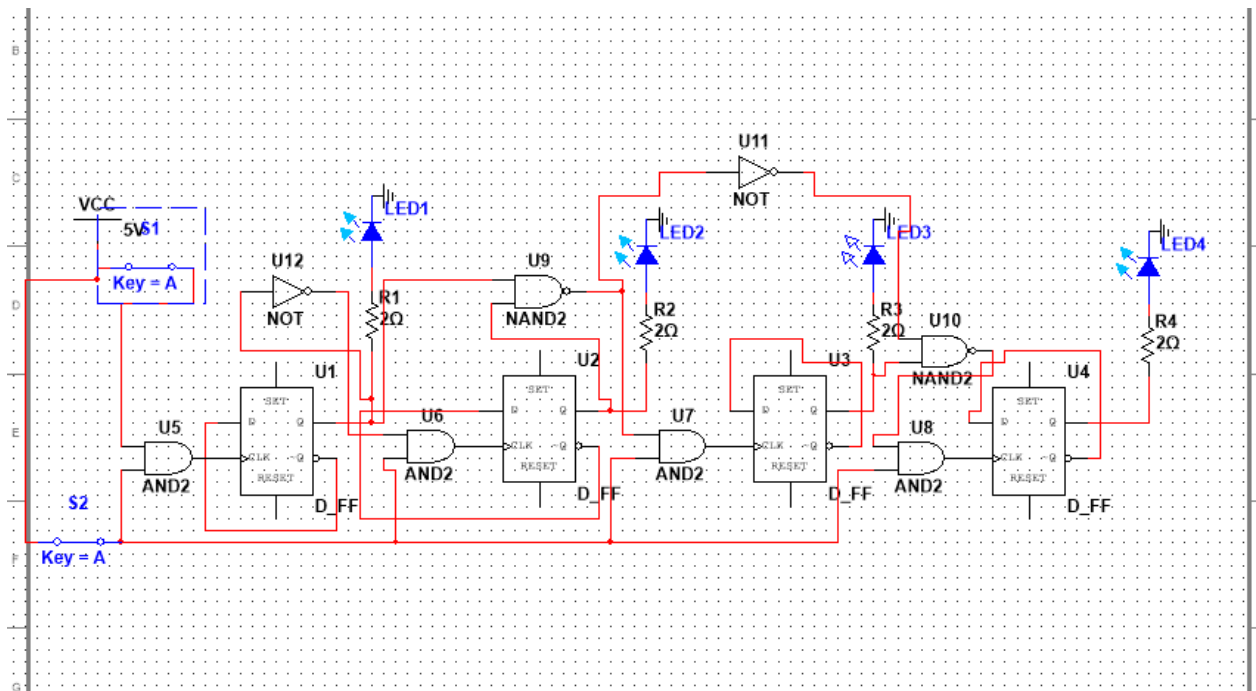


Рис. 1 Схема четырёхразрядного синхронного суммирующего счётчика на D-тригерах с переключателем и светодиодами.

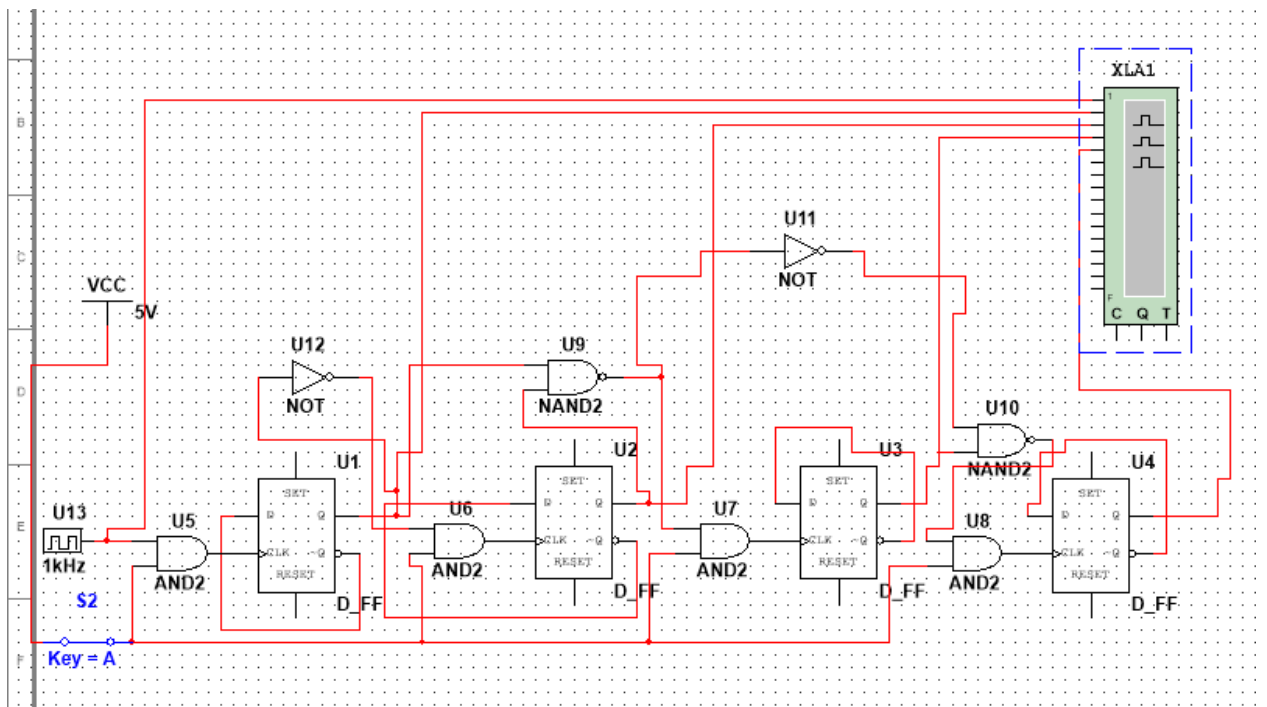


Рис. 7 Схема четырёхразрядного синхронного суммирующего счётчика на D-тригерах с генератором сигнала.

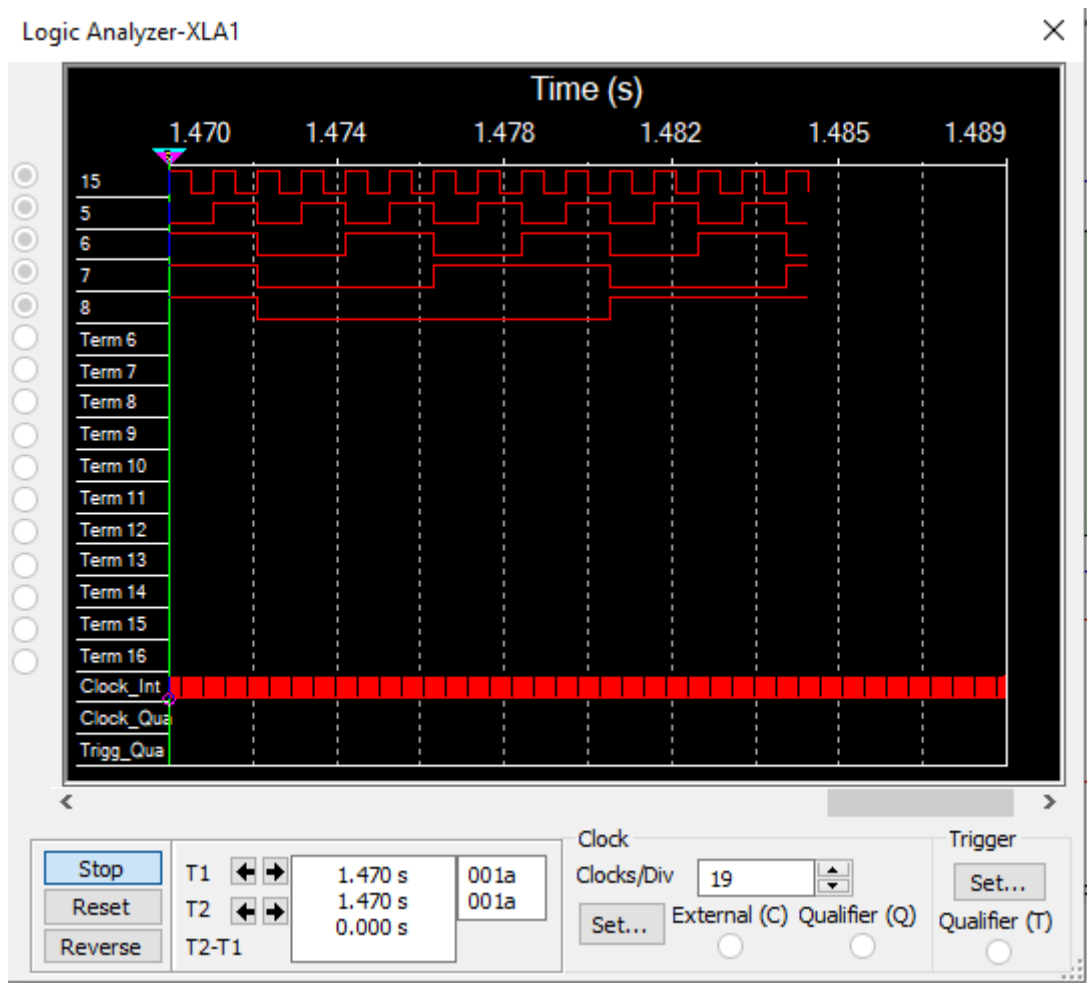


Рис. 8 Временная диаграмма сигналов счётчика (первый сигнал входной остальные четыре выходные)

На временной диаграмме видно, что счётчик переключается в новое состояние при переключении сигнала из 0 в 1, состояния изменяются последовательно в естественном порядке.

Время задержки равно 4 нс, максимальная частота 250 MHz

5. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом ИС K555IE9, аналог ИС 74LS160 Проверить работу счётчика

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора. Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

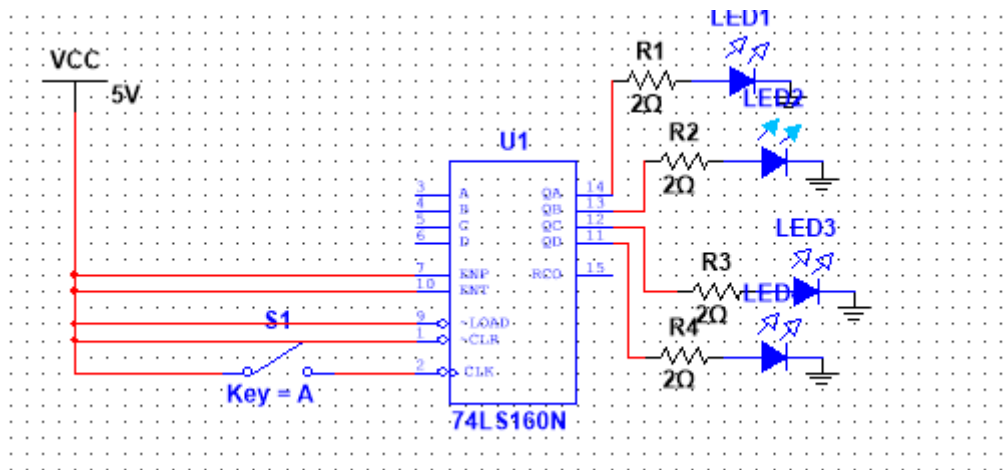


Рис. 9 Схема ИС 74LS160 с диодами и переключателем.

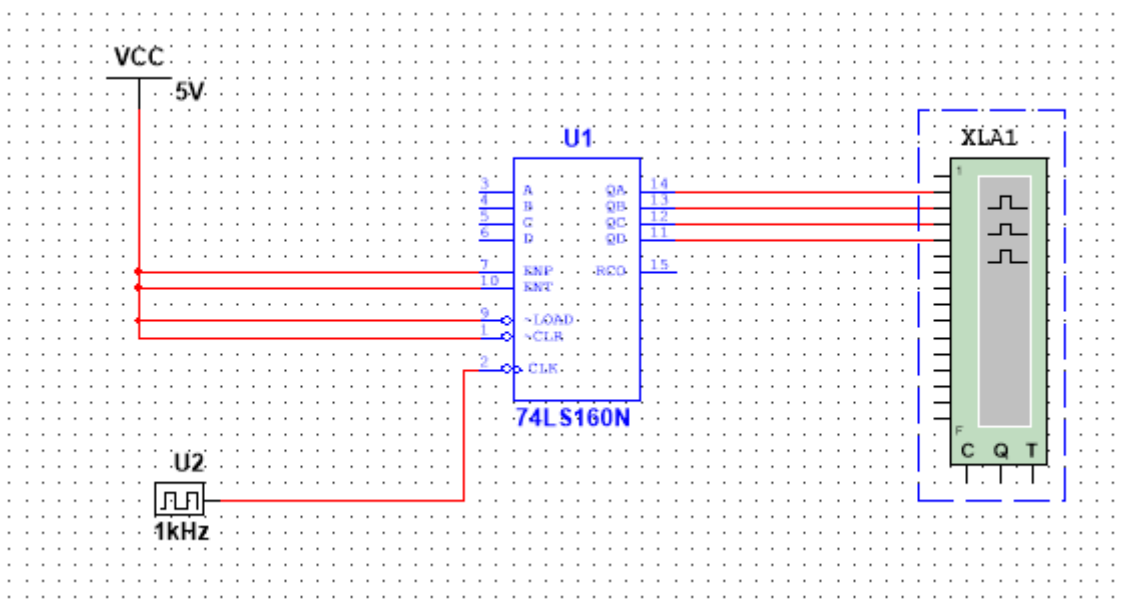


Рис. 10 Схема ИС 74LS160 с генератором сигналов.

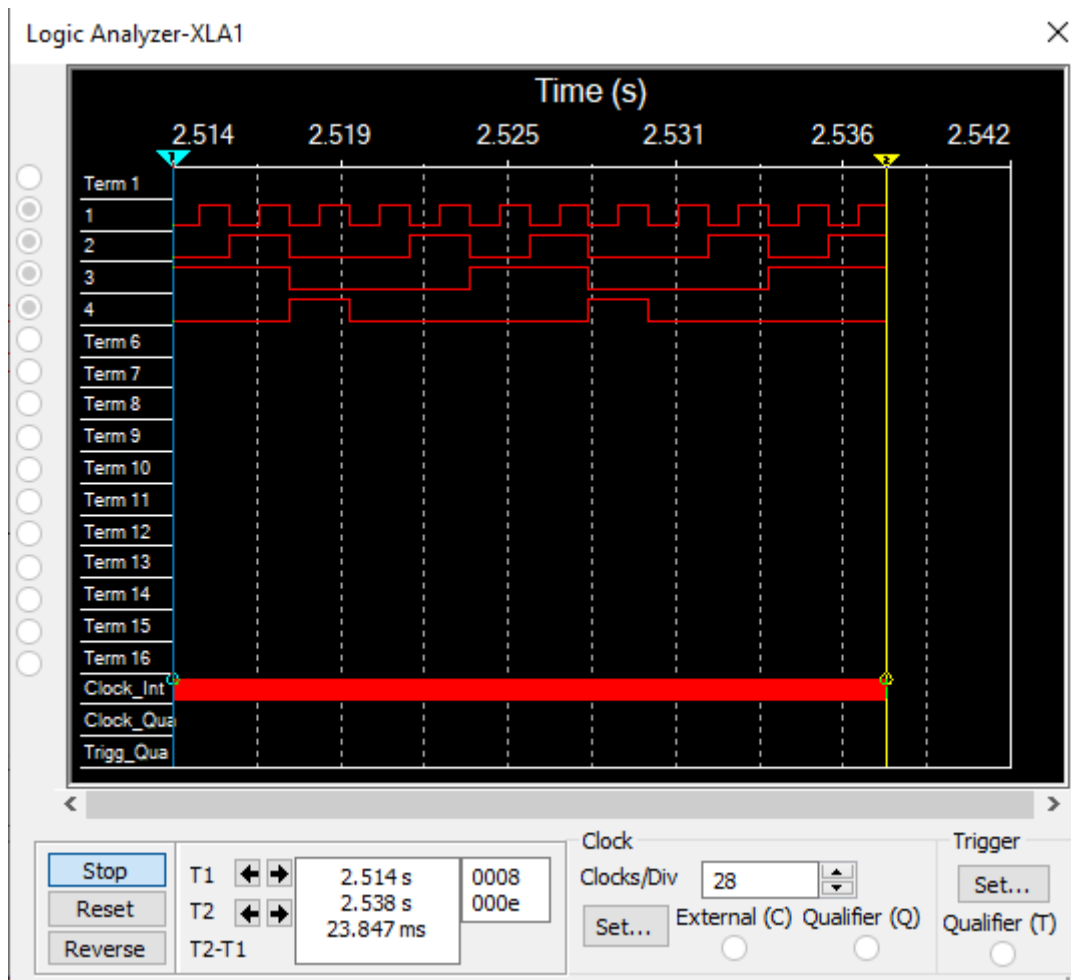


Рис. 11 Временная диаграмма сигналов счётчика (первый сигнал входной остальные четыре выходные)

На временной диаграмме видно, что счётчик переключается в новое состояние при переключении сигнала из 1 в 0, состояния изменяются в естественном порядке.

Время задержки равно 30 нс, максимальная частота 33 МГц

6. Исследование схем наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями и по структуре «быстрого» счета

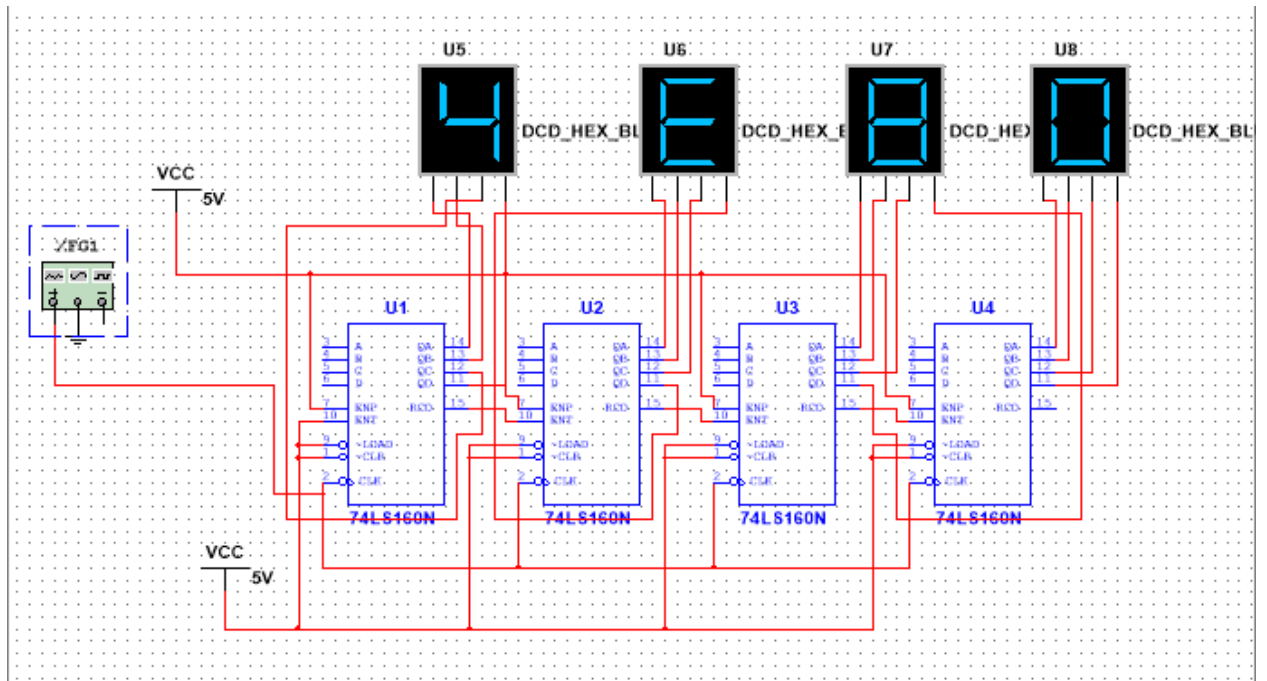


Рис. 12 Схема наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями.

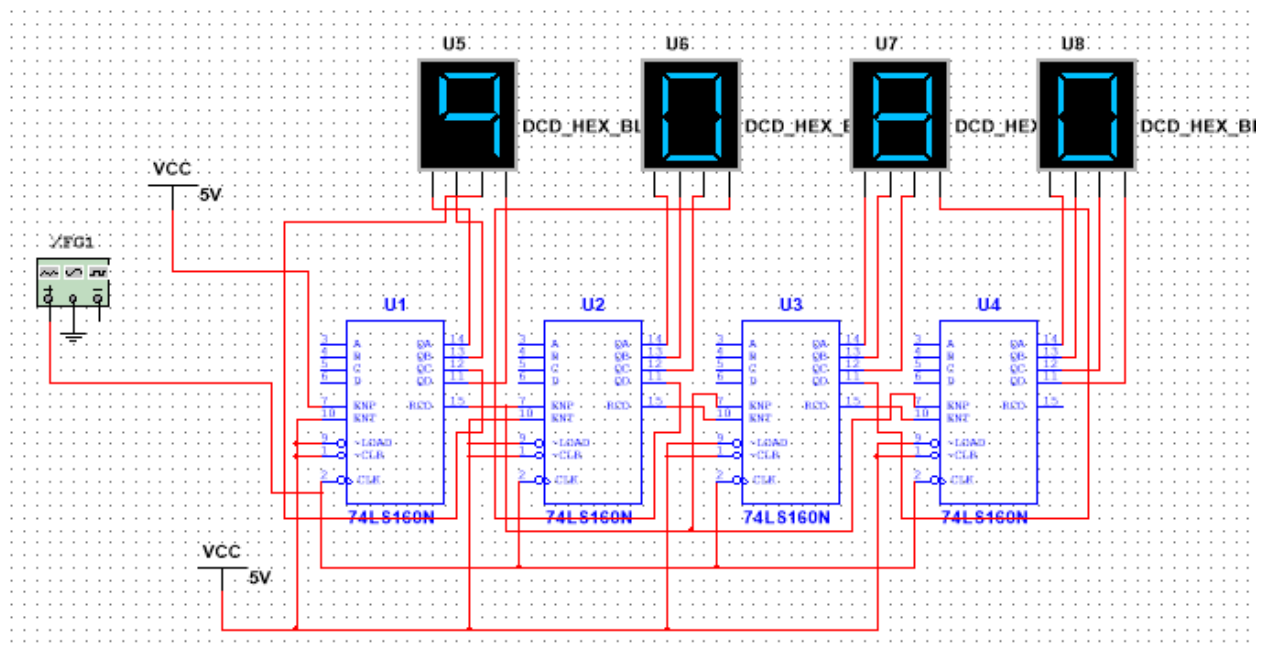


Рис. 13 Схема наращивания разрядности счетчиков ИЕ9 до четырех секций по структуре «быстрого» счета.

Вывод: при выполнении лабораторной работы изучены принципы построения счетчиков, изучены методы синтеза синхронных счетчиков, дана экспериментальная оценка динамических параметров счетчиков, изучены способы наращивания разрядности синхронных счетчиков.