



Министерство науки и высшего образования Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н.Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н.Э. Баумана)

---

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 Программная инженерия

## О Т Ч Е Т

по лабораторной работе № 1

Название: Синхронные одноступенчатые триггеры со статическим  
и

динамическим управлением записью

Дисциплина: Архитектура ЭВМ

Студент ИУ7-44Б  
(Группа)

И.Ю. Елгин  
(Подпись, дата) (И.О. Фамилия)

Преподаватель

А.Ю Попов  
(Подпись, дата) (И.О. Фамилия)

Москва, 2021

Цель работы – изучить схемы асинхронного RS-триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS- и D-триггеров со статическим управлением записью и DV-триггера с динамическим управлением записью.

## 1. Исследовать работу асинхронного RS-триггера с инверсными входами в статическом режиме.

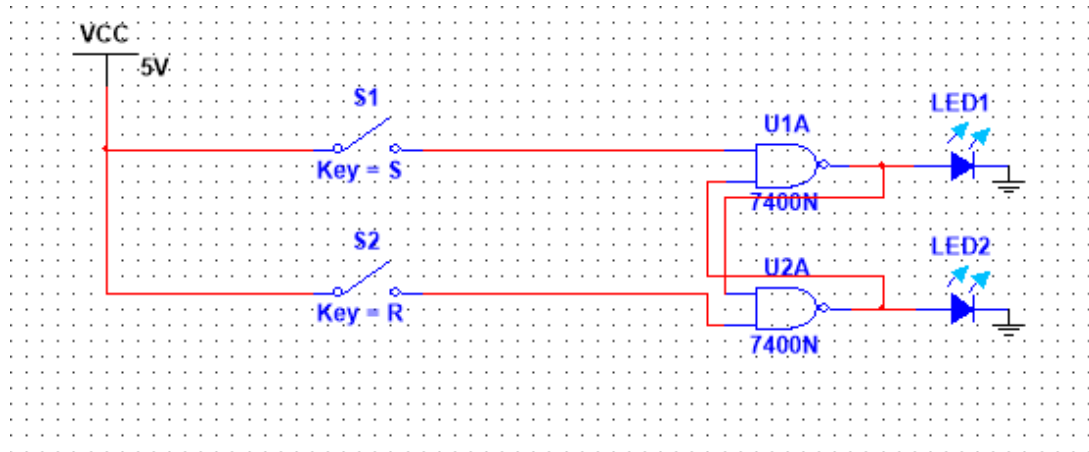


Рис. 1 Схема асинхронного RS-триггера с инверсными входами.

| S | R | $Q_{t-1}$ | $Q_t$ |
|---|---|-----------|-------|
| 0 | 0 | 0         | X     |
| 0 | 0 | 1         | X     |
| 0 | 1 | 0         | 1     |
| 0 | 1 | 1         | 1     |
| 1 | 0 | 0         | 0     |
| 1 | 0 | 1         | 0     |
| 1 | 1 | 0         | 0     |
| 1 | 1 | 1         | 1     |

Табл. 1 работа асинхронного RS триггера с инверсными входами в статическом режиме.

Комбинация  $S=R=0$  запрещённая. При  $S=0$ ,  $R=1$  ячейка запоминает 1. При  $S=1$ ,  $R=0$  ячейка запоминает 0

При  $S=1$ ,  $R=1$  ничего не происходит в ячейке сохраняется предыдущее значение.

## 2. Исследовать работу синхронного RS-триггера в статическом режиме.

Синхронный RS-триггер имеет два входа управления (R и S) и один вход синхронизации C. При C = 0 синхронный RS-триггер сохраняет предыдущее значение. При C = 1 – работает как асинхронный RS- триггер.

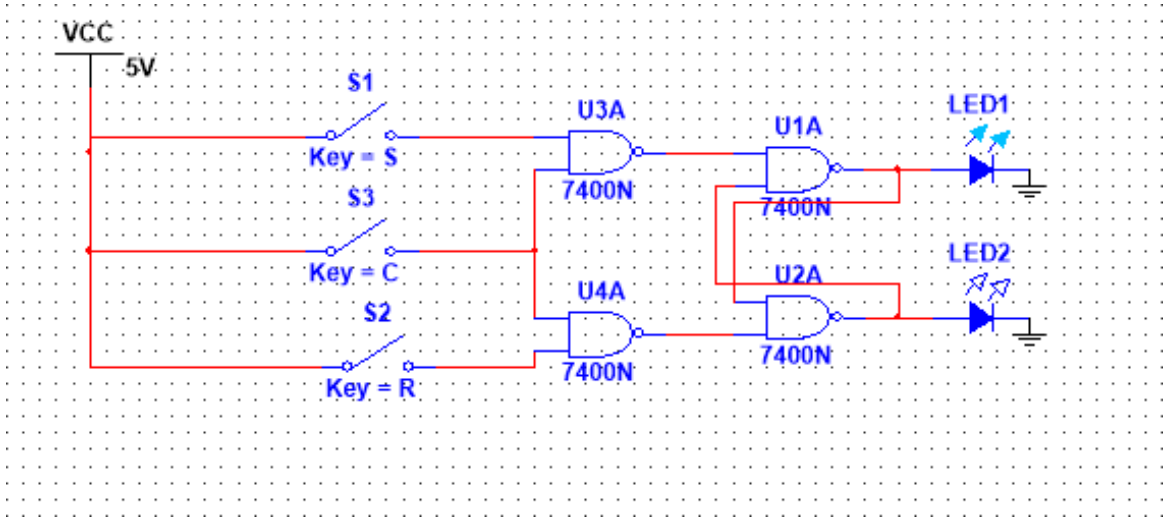


Рис. 2 Схема синхронного RS-триггера.

| S | R | C | $Q_{t-1}$ | $Q_t$ |
|---|---|---|-----------|-------|
| 0 | 0 | 0 | 0         | 0     |
| 0 | 0 | 0 | 1         | 1     |
| 0 | 0 | 1 | 0         | 0     |
| 0 | 0 | 1 | 1         | 1     |
| 0 | 1 | 0 | 0         | 0     |
| 0 | 1 | 0 | 1         | 1     |
| 0 | 1 | 1 | 0         | 0     |
| 0 | 1 | 1 | 1         | 0     |
| 1 | 0 | 0 | 0         | 0     |
| 1 | 0 | 0 | 1         | 1     |
| 1 | 0 | 1 | 0         | 1     |
| 1 | 0 | 1 | 1         | 1     |
| 1 | 1 | 0 | 0         | 0     |
| 1 | 1 | 0 | 1         | 1     |
| 1 | 1 | 1 | 0         | X     |
| 1 | 1 | 1 | 1         | X     |

Табл. 2 Работа синхронного RS-триггера в статическом режиме

Комбинация  $C=S=R=1$  запрещённая.

При  $S=1$ ,  $R=0$  и  $C=1$  ячейка запоминает 1. При  $S=0$ ,  $R=1$  и  $C=1$  ячейка запоминает 0.

При  $S=0$ ,  $R=0$  или  $C=0$  ничего не происходит в ячейке сохраняется предыдущее значение.

### 3. Исследовать работу синхронного D-триггера в статическом режиме.

Синхронный D-триггер имеет один информационный вход D, состояние которого с каждым синхронизирующим импульсом передается на выход, т. е. выходные сигналы представляют собой задержанные входные сигналы.

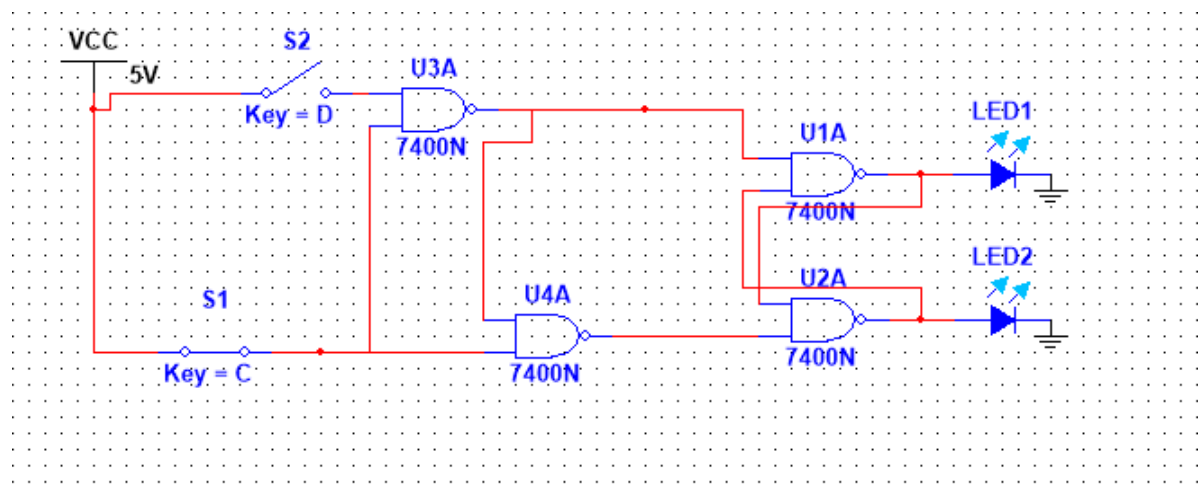


Рис. 3 Схема синхронного D-триггера.

| D | C | $Q_{t-1}$ | $Q_t$ |
|---|---|-----------|-------|
| 0 | 0 | 0         | 0     |
| 0 | 0 | 1         | 1     |
| 0 | 1 | 0         | 0     |
| 0 | 1 | 1         | 0     |
| 1 | 0 | 0         | 0     |
| 1 | 0 | 1         | 1     |
| 1 | 1 | 0         | 1     |
| 1 | 1 | 1         | 1     |

Табл. 3 Работа синхронного D-триггера в статическом режиме.

При  $C = 1$  триггер запоминает состояние D, при  $C = 0$  в ячейке сохраняется предыдущее состояние.

4. Исследовать схему синхронного D-триггера с динамическим управлением записью в статическом режиме.

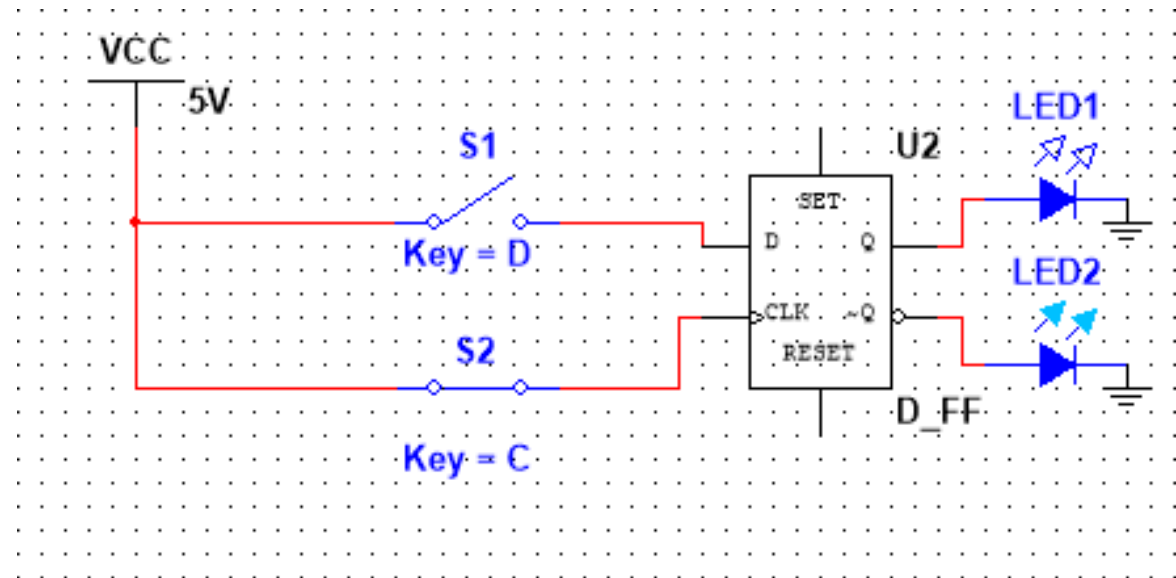


Рис. 4 схема синхронного D-триггера с динамическим управлением записью в статическом режиме.

| D | $C_{\text{Изм}}$ | $Q_{t-1}$ | $Q_t$ |
|---|------------------|-----------|-------|
| 0 | 0\0              | 0         | 0     |
| 0 | 0\0              | 1         | 1     |
| 0 | 1\0              | 0         | 0     |
| 0 | 1\0              | 1         | 1     |
| 0 | 0\1              | 0         | 0     |
| 0 | 0\1              | 1         | 0     |
| 0 | 1\1              | 0         | 0     |
| 0 | 1\1              | 1         | 1     |
| 1 | 0\0              | 0         | 0     |
| 1 | 0\0              | 1         | 1     |
| 1 | 1\0              | 0         | 0     |
| 1 | 1\0              | 1         | 1     |
| 1 | 0\1              | 0         | 1     |
| 1 | 0\1              | 1         | 1     |
| 1 | 1\1              | 0         | 0     |
| 1 | 1\1              | 1         | 1     |

Табл. 4 Работа синхронного D-триггера с динамическим управлением записью в статическом режиме.

Триггер запоминает состояние D, при переключении C с 0 на 1.

**5. Исследовать схему синхронного DV-триггера с динамическим управлением записью в динамическом режиме.**

Синхронный DV-триггер имеет один информационный вход D и один подготовительный разрешающий вход V для разрешения приема информации.  $Q_t = DV + VQ_{t-1} = DVC + (V + C)Q_{t-1}$

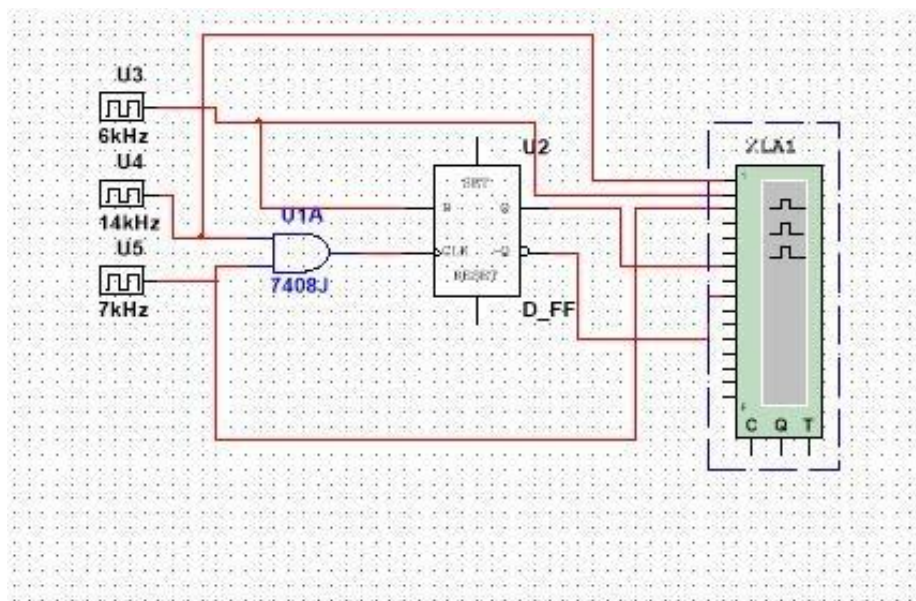


Рис. 5 Схема синхронного DV-триггера с динамическим управлением записью в динамическом режим.

Для добавления пина V используем элемент “И” на вход C.

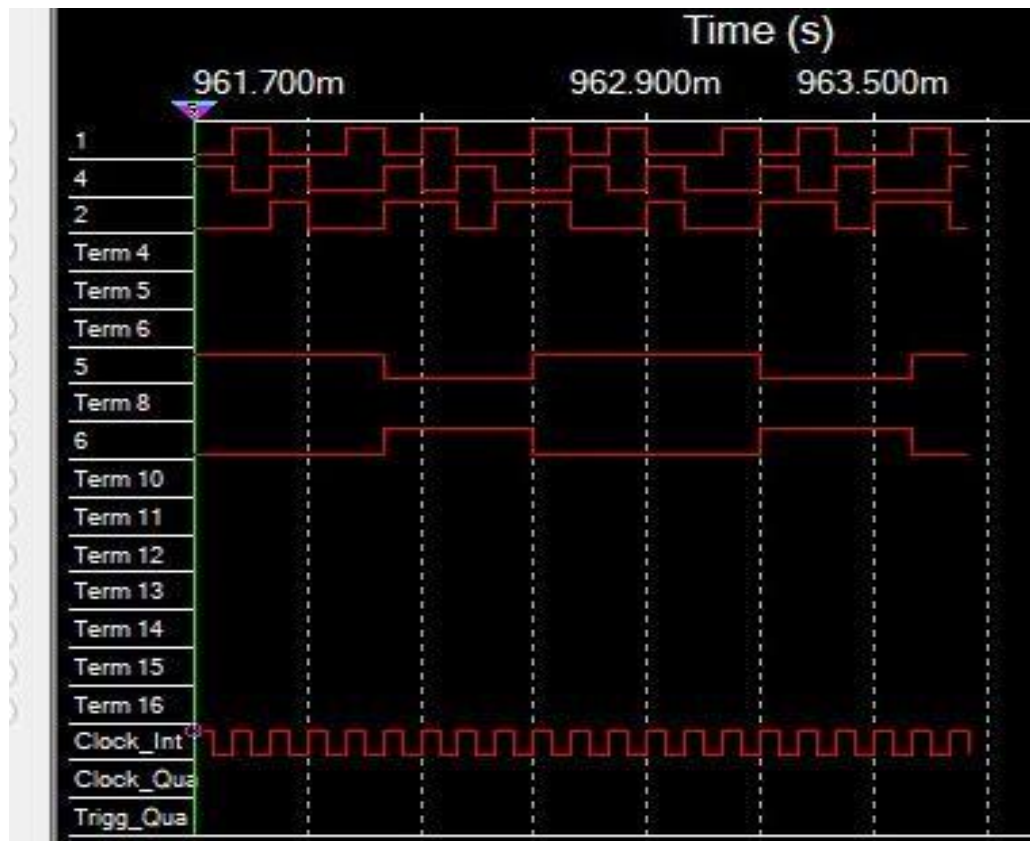


Рис. 6 Работа синхронного DV-триггера с динамическим управлением записью в динамическом режиме в logical analyzer.

DV-триггер, при  $V = 0$  и если  $C$  не изменён с 0 на 1, сохраняет предыдущее внутреннее состояние, т.е.  $Qt = Qt-1$ . При изменении  $C$  с 0 на 1 и при наличии сигнала  $V=1$  разрешения приема информации DV-триггер принимает информационный сигнал, действующий на входе  $D$ .

6. Исследовать работу DV-триггера, включенного по схеме TV-триггера.



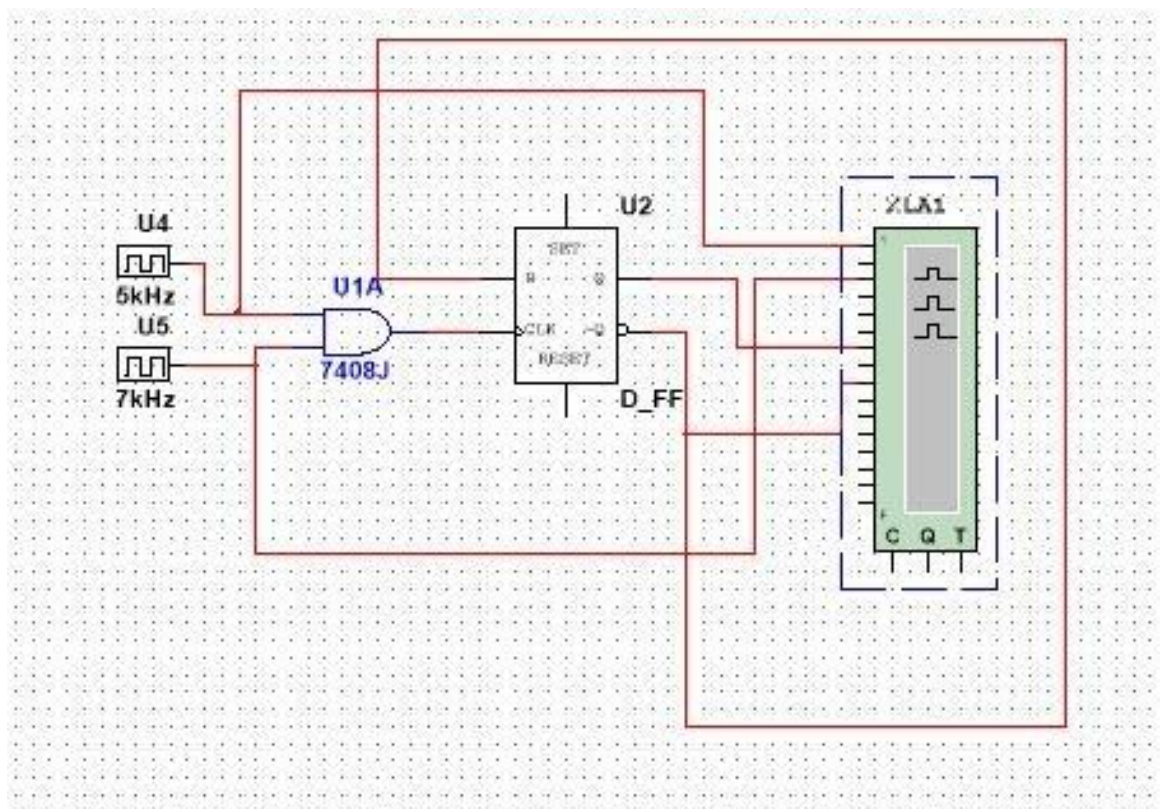


Рис. 7 Схема DV-триггера, включенного по схеме TV-триггера.



Рис. 8 Работа DV-триггера, включенного по схеме TV-триггера logical analyzer.



TV триггер меняет своё состояние при подаче на Т сигнала 1 и при разрешающем сигнале  $V=1$ .

**Вывод:** В ходе выполнения заданий работы мною изучены триггеры различных видов и их устройство; были получены навыки моделирования схем триггеров на основе ЛЭ и макросхем Multisim;