

【書類名】明細書

【発明の名称】電子機器

【技術分野】

【0001】

本発明は、電子機器に関する。

【背景技術】

【0002】

コントローラと半導体メモリとを有した半導体装置が実装された電子機器が提供されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-54142号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の実施形態は、電子機器の薄型化を実現する。

【課題を解決するための手段】

【0005】

~~実施形態の電子機器は、第一固定部と第二固定部とが設けられた筐体と、前記筐体に収容された表示装置と、前記筐体内に位置した記憶装置と、前記記憶装置を制御する制御装置と、前記表示装置と重なる前記筐体内の第一位置で前記第一固定部に固定され、第一導電層を含む複数の導電層を有し、該第一導電層と電氣的に接続された第一露出部が設けられた第一基板と、前記第一基板と並んで前記表示装置と重なりとともに、前記第一位置とは異なる前記筐体内の第二位置で前記第二固定部に固定され、該第二固定部での固定に伴い前記第一露出部と当接し、該第一露出部と電氣的に接続された第二露出部が設けられた第二基板と、を有する。~~

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係る半導体装置のシステム構成を示した図。

【図2】半導体装置がホスト装置に搭載された場合を例示した透視図。

【図3】タブレット型ポータブルコンピュータを示した一部断面側面図。

【図4】第1実施形態に係る半導体装置を例示した図。

【図5】NANDメモリおよびコントローラを示した断面図。

【図6】コントローラのシステム構成を例示したブロック図。

【図7】コネクタ部を示した斜視図。

【図8】コネクタ部を示した斜視図。

【図9】コネクタ部を示した上面断面図。

【図10】メインボードを例示した図。

【図11】コネクタ部を示した斜視図。

【図12】第2実施形態に係る半導体装置を例示した図。

【図13】第2実施形態に係る半導体装置及びメインボードの側面断面図。

【図14】第3実施形態に係る半導体装置及びメインボードの側面断面図。

【図15】第3実施形態に係るコネクタ部、インターフェース部、及びカバーの一例を示した断面図。

【図16】第3実施形態に係るコネクタ部、インターフェース部、及びカバーの他の一例を示した断面図。

【図17】第4実施形態に係るコネクタ部及びインターフェース部の一例を示した斜視図。

【図18】第5実施形態に係るタブレット型ポータブルコンピュータを示した一部断

面側面図。

【図 1 9】第 6 実施形態に係るメインボードを例示した図。

【図 2 0】第 6 実施形態に係る半導体装置及びメインボードを例示した図。

【発明を実施するための形態】

【0 0 0 7】

以下、実施の形態について、図面を参照して説明する。

【0 0 0 8】

本明細書では、いくつかの要素に複数の表現の例を付している。なおこれら表現の例はあくまで例示であり、上記要素が他の表現で表現されることを否定するものではない。また、複数の表現が付されていない要素についても、別の表現で表現されてもよい。

【0 0 0 9】

また、図面は模式的なものであり、厚みと平面寸法との関係や各層の厚みの比率などは現実のものと異なることがある。また、図面相互間において互いの寸法の関係や比率が異なる部分が含まれることもある。

【0 0 1 0】

(第 1 実施形態)

図 1 は、第 1 実施形態に係る半導体装置 1 のシステム構成を示す。半導体装置 1 は、「半導体モジュール」及び「半導体記憶装置」の其々一例である。本実施形態に係る半導体装置 1 は、例えば S S D (Solid State Drive) であるが、これに限られるものではない。

【0 0 1 1】

図 1 に示すように、本実施形態に係る半導体装置 1 は、S A T A (Serial Advanced Technology Attachment) や P C I e (Peripheral Component Interconnect Express) 等の規格に沿ったインターフェースなどのメモリ接続インターフェースを介して、電子機器の一例であるポータブルコンピュータあるいは C P U コアなどのホスト装置 (以下、ホストと略す) 2 0 1 と接続され、ホスト 2 0 1 の外部メモリとして機能する。尚インターフェース 2 は、他の規格に則したものでよい。

【0 0 1 2】

半導体装置 1 は、インターフェースを介してホスト装置 2 0 1 から電源の供給を受ける。ホスト装置 2 0 1 としては、パーソナルコンピュータの C P U、スチルカメラ、ビデオカメラなどの撮像装置の C P U などがあげられる。また、半導体装置 1 は、R S 2 3 2 C インタフェース (R S 2 3 2 C I / F) などの通信インターフェースを介して、デバッグ用機器との間でデータを送受信することができる。尚半導体装置 1 は、例えばノートブック型ポータブルコンピュータやタブレット端末、その他デタッチャブルノート P C (Personal Computer) のような電子機器のストレージデバイスとして使用されるものでもよい。

【0 0 1 3】

図 2 は、半導体装置 1 をデタッチャブルノート P C に実装した場合の図である。また、図 3 は図 2 に示したデタッチャブルノート P C の表示装置側、すなわちタブレット型ポータブルコンピュータ 2 0 1 の開示断面図である。尚デタッチャブルノート P C は、タブレット型ポータブルコンピュータ 2 0 1 と入力装置 2 1 8 とが、接続部 2 1 9 によって接続された構成を有する。図 2 に示すように、半導体装置 1 はデタッチャブルノート P C のタブレット型ポータブルコンピュータ 2 0 1 に実装される。このためデタッチャブルノート P C において入力装置 2 1 8 と表示装置側が別々に分離した場合においても、表示装置側のみをタブレット型ポータブルコンピュータ 2 0 1 として機能させることが可能となる。尚タブレット型ポータブルコンピュータ 2 0 1 は、電子機器の一例であり、例えばユーザが手で持って使用できる大きさを有している。この場合、タブレット型ポータブルコンピュータ 2 0 1 は半導体装置 1 のホスト装置となる。

【0 0 1 4】

タブレット型ポータブルコンピュータ 2 0 1 は、筐体 2 0 2、表示モジュール 2 0 3、

半導体装置 1 およびメインボード 2 0 5 を備えている。筐体 2 0 2 は、保護板 2 0 6、ベース 2 0 7 およびフレーム 2 0 8 を有している。保護板 2 0 6 は、ガラスあるいはプラスチック製の四角い板であり、筐体 2 0 2 の表面を構成している。ベース 2 0 7 は、例えばアルミニウム合金又はマグネシウム合金のような金属製であり、筐体 2 0 2 の底を構成している。

【 0 0 1 5 】

フレーム 2 0 8 は、保護板 2 0 6 とベース 2 0 7 との間に設けられている。フレーム 2 0 8 は、例えばアルミニウム合金又はマグネシウム合金のような金属製であり、実装部 2 1 0 とバンパー部 2 1 1 とを一体に有している。実装部 2 1 0 は、保護板 2 0 6 とベース 2 0 7 との間に介在されている。本実施形態によると、実装部 2 1 0 は、保護板 2 0 6 との間に第 1 の実装スペース 2 1 2 を規定するとともに、ベース 2 0 7 との間に第 2 の実装スペース 2 1 3 を規定している。

【 0 0 1 6 】

バンパー部 2 1 1 は、実装部 2 1 0 の外周縁部に一体に形成されて、第 1 の実装スペース 2 1 2 および第 2 の実装スペース 2 1 3 を周方向に連続して取り囲んでいる。さらに、バンパー部 2 1 1 は、保護板 2 0 6 の外周縁部とベース 2 0 7 の外周縁部との間に跨るように筐体 2 0 2 の厚み方向に延びて、筐体 2 0 2 の外周面を構成している。

【 0 0 1 7 】

表示モジュール 2 0 3 は、筐体 2 0 2 の第 1 の実装スペース 2 1 2 に收容されている。表示モジュール 2 0 3 は、保護板 2 0 6 で覆われているとともに、保護板 2 0 6 と表示モジュール 2 0 3 との間に手書き入力機能を有するタッチパネル 2 1 4 が介在されている。タッチパネル 2 1 4 は、保護板 2 0 6 の裏面に接着されている。

【 0 0 1 8 】

また、図 3 に示すように、筐体 2 0 2 内の第 2 の実装スペースには複数の第 1 固定部 2 3 0 及び複数の第 2 固定部 2 3 1 が設けられている。第 1 固定部 2 3 0 及び第 2 固定部 2 3 1 は、例えばネジ穴を有した突出部であり、メインボード 2 0 5 は複数の第 1 固定部 2 3 0 に、半導体装置 1 は複数の第 2 固定部 2 3 1 にそれぞれネジによって固定される。

【 0 0 1 9 】

尚、第 1 固定部 2 3 0 及び第 2 固定部 2 3 1 の突出部の高さ寸法を揃えることで、半導体装置 1 の基板 1 1 及びメインボード 2 0 5 の基板 2 1 5 が略同一平面上に位置することになる。

【 0 0 2 0 】

半導体装置 1 は、筐体 2 0 2 の第 2 の実装スペース 2 1 3 にメインボード 2 0 5 と一緒に收容されている。半導体装置 1 は、基板 1 1、NAND メモリ 1 2、コントローラ 1 3、及びその他 DRAM 1 4 等の電子部品を備えている。

【 0 0 2 1 】

基板 1 1 は、例えばプリント配線板であり、導体パターン（図示せず）が形成された第 1 面 1 1 a（実装面）を有している。回路部品は、基板 1 1 の実装面 1 1 a に実装されて、導体パターンに半田付けされている。

【 0 0 2 2 】

メインボード 2 0 5 は、基板 2 1 5 および半導体パッケージのような複数の回路部品 2 1 6 を備えており、ネジ穴 2 1 7 に通したネジによって筐体 2 0 2 の第 1 固定部 2 3 0 に固定されている。

【 0 0 2 3 】

基板 2 1 5 は、複数の導体パターン（図示せず）が形成された第 1 面 2 1 5 a（実装面）を有している。回路部品 2 1 6 は、基板 2 1 5 の実装面 2 1 5 a に実装されて、導体パターンに半田付けされている。

【 0 0 2 4 】

本実施形態に係る半導体装置 1 は、実装面 1 1 a のみに NAND メモリ 1 2 等の回路部品が実装される片面実装の装置である。したがって、第 1 面 1 1 a とは反対側に位置する

第2面11bには、外面から突出した回路部品は実装されない。このため図3に示すような、薄型化が望まれているタブレット型ポータブルコンピュータ201に半導体装置1を実装することが可能である。

【0025】

図4は、半導体装置1の具体的な一例を示す。図4において、(a)は平面図、(b)は下面図、(c)は側面図である。半導体装置1は、基板11と不揮発性半導体記憶素子としてのNAND型フラッシュメモリ(以下、NANDメモリと略す)12、コントローラ13、NANDメモリ12よりも高速記憶動作が可能な揮発性半導体記憶素子であるDRAM(Dynamic Random Access Memory)14、オシレータ15(OSC)、EEPROM16(Electrically Erasable and Programmable ROM)、電源回路17、温度センサ18、及び抵抗、コンデンサ等のその他の電子部品19を有する。

【0026】

尚、本実施形態のNANDメモリ12やコントローラ13は、電子部品である半導体パッケージとして実装される。例えばNANDメモリ12の半導体パッケージは、SiP(System in Package)タイプのモジュールであり、複数の半導体チップが1つのパッケージ内に封止されている。コントローラ13は、NANDメモリ12の動作を制御する。

【0027】

基板11は、例えばガラスエポキシ樹脂等の材料で構成された略矩形状の回路基板であり、半導体装置1の外形寸法を規定する。基板11は、第1面11aと、該第1面11aとは反対側に位置した第2面11bとを有する。なお、本明細書において、基板11を構成する面の内、第1面11a及び第2面11b以外の面を「側面」と定義する。第1面11aは、NANDメモリ12、コントローラ13、DRAM14、オシレータ15、EEPROM16、電源部品17、温度センサ18、及び抵抗、コンデンサ等のその他の電子部品19等が実装される部品実装面である。

【0028】

本実施形態に係る基板11は、例えば片面実装基板であり、半導体装置1を構成する全ての部品が第1面11aに実装される。一方で、第2面11bは、部品が実装されない非部品実装面である。これにより、前述したように表面から突出した基板搭載部品が基板11の両面に実装された場合と比較して、本実施形態の半導体装置1では薄型化を図ることができる。

【0029】

尚ここでは片面実装をした例を示しているが、本実施形態の基板11の第2面11bに他の部品や機能を追加しても良い。例えば、製品の性能確認の容易化を図るために、第2面にテスト用のパッドを設けることもできる。この場合、第1面11aの狭い領域にパッドを設けるための高密度設計のための制約や、第1面11a上に実装された他の部品への実装位置の調整等が必要なく、パッド実装の設計自由度が向上する。そして、第1面11aに実装された各部品の裏にあたる第2面11b上にテスト用のパッド電極を設けることが実現するため、引き回しのための配線長を短くすることができ、電氣的損失を回避することができる。

【0030】

基板11は、前述の通り略矩形状を成しており、その短手方向に沿って位置する第1縁部11cと、該第1縁部11cとは反対側に位置した第2縁部11dとを有する。第1縁部11cは、コネクタ部21(基板インターフェース部、端子部、接続部)を有する。コネクタ部21は、例えば接続端子としての複数の凹部21a(金属端子)を有する。コネクタ部21は、ホスト装置201と電氣的に接続される。コネクタ部21は、該コネクタ部21とホスト装置201との間で信号(制御信号及びデータ信号)をやり取りする。

【0031】

本実施形態に係るコネクタ部21は、例えばPCI Express(以下、PCIe)の規格に則したインターフェースである。すなわち、コネクタ部21とホスト装置201の間には、PCIeの規格に則した高速信号(高速差動信号)が流れる。なお、コネクタ部21は、例え

ば他の規格に則したものでよい。半導体装置 1 は、コネクタ部 2 1 を介してホスト装置 2 0 1 から電源の供給を受ける。

【0032】

電源回路 1 7 は、例えば DC - DC コンバータであり、ホスト装置 2 0 1 から供給される電源から半導体パッケージ 1 2 などに必要な所定電圧を生成する。尚、電源回路 1 7 は、ホスト装置 2 0 1 から供給される電源の損失を抑えるために、コネクタ部 2 1 の近傍に設置されることが望ましい。

【0033】

コントローラ 1 3 は、NAND メモリ 1 2 の動作を制御する。すなわち、コントローラ 1 3 は、NAND メモリ 1 2 に対するデータの書き込み、読み出し、及び消去を制御する。

【0034】

DRAM 1 4 は、揮発性メモリの一例であり、半導体メモリ 3 2 の管理情報の保管やデータのキャッシュなどに用いられる。

【0035】

オシレータ 1 5 は、所定周波数の動作信号をコントローラ 1 3 に供給する。EEPROM 1 6 は、制御プログラム等を固定情報として格納している。温度センサ 1 8 は、半導体装置 1 の温度を検出し、コントローラ 1 3 に通知する。

【0036】

図 5 は、本実施形態における NAND メモリ 1 2 としての半導体パッケージ、及びコントローラ 1 3 としての半導体パッケージを開示した断面を示す。コントローラ 1 3 は、パッケージ基板 4 1、コントローラチップ 4 2、ボンディングワイヤ 4 3、封止部（モールド材）4 4、及び複数の半田ボール 4 5 を有する。NAND メモリ 1 2 は、パッケージ基板 3 1、複数の半導体メモリ 3 2、ボンディングワイヤ 3 3、封止部（モールド材）3 4、及び複数の半田ボール 3 5 を有する。

【0037】

基板 1 1 は、上述した通り例えば多層の配線基板であり、図示しない電源層、グランド層、及び内部配線を含み、ボンディングワイヤ 3 3、4 3 及び複数の半田ボール 3 5、4 5 等を介してコントローラチップ 4 2 と複数の半導体メモリ 3 2 とを電氣的に接続する。

【0038】

図 5 に示すように、パッケージ基板 3 1、4 1 には、複数の半田ボール 3 5、4 5 が設けられている。複数の半田ボール 3 5、4 5 は、例えばパッケージ基板 3 1 の第 2 面 3 1 b に格子状に配置されている。なお、複数の半田ボール 3 5 は、パッケージ基板 3 1 の第 2 面 3 1 b の全体にフルで配置される必要はなく、部分的に配置されてもよい。

【0039】

また、パッケージ基板 3 1、4 1 とコントローラチップ 3 2、及び半導体メモリ 4 2 との固定や、複数の半導体メモリ 4 2 同士の固定は、マウントフィルム 3 8、4 8 によって行われる。

【0040】

また、図 4 に示すように、本実施形態におけるコントローラ 1 3 は略矩形状であり、短手方向の第 1 縁部 1 3 a と、該第 1 縁部 1 3 a の反対側に位置する第 2 縁部 1 3 b と、長手方向の第 3 縁部 1 3 c と、該第 3 縁部 1 3 c の反対側に位置する第 4 縁部 1 3 d とを有する。なお、前記第 2 縁部 1 3 b は、コントローラ 1 3 と隣り合って基板 1 1 上に搭載された NAND メモリ 1 2 側に位置し、前記第 1 縁部 1 3 a は、基板 1 1 が有するコネクタ部 2 1 側に位置する。

【0041】

尚、前述した半田ボール 4 5 は、コントローラ 1 3 の第 1 縁部 1 3 a 側に存在する半田ボール 4 5 a と、第 2 縁部 1 3 b 側に存在する半田ボール 4 5 b を含む。また、半田ボール 3 5 は、コントローラ 1 3 側に位置する半田ボール 3 5 a と、該半田ボール 3 5 a の反対側に位置する半田ボール 3 5 b を含む。

【0042】

図6は、コントローラ13のシステム構成の一例を示す。図6に示すように、コントローラ13は、バッファ131、CPU132(Central Processing Unit)、ホストインターフェース部133、及びメモリインターフェース部134を有する。

【0043】

バッファ131は、ホスト装置201から送られてくるデータをNANDメモリ12に書き込む際に、一定量のデータを一時的に記憶したり、NANDメモリ12から読み出されるデータをホスト装置201へ送り出す際に、一定量のデータを一時的に記憶したりする。

【0044】

CPU132は、半導体装置1の全体の制御を司る。CPU132は、例えばホスト装置201から書込コマンド、読出コマンド、消去コマンドを受けてNANDメモリ12の該当領域に対するアクセスを実行したり、バッファ131を通じたデータ転送処理を制御したりする。

【0045】

ホストインターフェース部133は、基板11のコネクタ部21と、CPU132及びバッファ131との間に位置する。ホストインターフェース部133は、コントローラ13とホスト装置201との間のインターフェース処理を行う。ホストインターフェース部133とホスト装置201の間には例えばPCIe高速信号が流れる。

【0046】

尚、ホストインターフェース部133は、コントローラ13内において、基板11のコネクタ部21の方向、すなわち第1縁部13a側に寄せて配置されている。この場合、ホストインターフェース部133と基板11のコネクタ部21との配線を、短くすることが可能になる。

【0047】

例えば前記ホストインターフェース部133が、コントローラ13内において、コネクタ部21の反対方向、すなわち第2縁部13b側に寄せて配置されると、図4からも分かるように、コントローラチップの長手方向の長さ分だけ配線距離も伸びてしまう。配線が長くなることで、寄生容量、寄生抵抗、及び寄生インダクタンス等が増え、信号配線の特性インピーダンスの維持が困難になる。また、信号遅延の原因にもなり得る。

【0048】

以上の観点から、本実施形態において、ホストインターフェース部133は、コントローラ13内において第1縁部13aに寄せて配置されることが望ましく、例えばホスト装置から命令が送られた場合、コネクタ21はホスト装置201から信号を受け取り、基板11の配線パターンから半田ボール45aを介してホストインターフェース部133と信号のやり取りを行う。これによって半導体装置1の動作安定性の向上が図られる。

【0049】

また、ホストインターフェース部133と、基板11のコネクタ部21の間には、電子部品が実装されないことが望ましい。

【0050】

前述の通り、ホストインターフェース部133とコネクタ部21との間の配線距離が長い場合、信号配線のインピーダンス維持が困難になる、また、信号遅延の原因になる、などの問題が生じる。よって、ホストインターフェース部133とコネクタ部21とを接続する配線を最短距離で、すなわち直線的に行うために、ホストインターフェース部133とコネクタ部21との間に電子部品が実装されることは望ましくない。

【0051】

また、電源回路17やDRAM14等の電子部品は、動作時にノイズを伴う可能性がある。これらの電子部品がホストインターフェース部133とコネクタ部21との間に実装されないことで、ホストインターフェース部133とコネクタ部21との間で交換される信号がノイズを拾う可能性を低くし、半導体装置1の動作安定性の向上を図ることができ

る。

【0052】

メモリアンターフェース部134は、NANDメモリ12と、CPU132及びバッファ131との間に位置する。メモリアンターフェース部134は、コントローラ13とNANDメモリ12との間のインターフェース処理を行う。

【0053】

本実施形態では、メモリアンターフェース部134はコントローラ13内において、基板11のコネクタ部21とは反対側の方向、すなわち第2縁部13b側に寄せて配置されている。この場合、メモリアンターフェース部134とNANDメモリ12との配線距離を短くすることが可能になる。

【0054】

コントローラ13から送られる信号は、半田ボール45bを介して基板11の配線パターンへと伝わり、半田ボール35aから半導体メモリ32へと伝えられる。これにより、配線距離が短くなり、半導体装置1の動作安定性の向上が図られる。

【0055】

尚、コントローラ13のメモリアンターフェース部134と、基板11上のNANDメモリ12との間にも、電源回路17やDRAM14等が実装されないことが望ましい。これは、メモリアンターフェース部134とコネクタ部21との間で交換される信号がノイズを拾う可能性を低くし、半導体装置1の動作安定性の向上を図るためである。

【0056】

図7及び図8は、本実施形態に係る半導体装置1におけるコネクタ部21の斜視図である。図7に示すように本実施形態においてコネクタ部21は、例えば複数の第1凹部21aを有する。また、コネクタ部21は、基板11の導電層20が表面上に一部露出した構造を有しており、第1凹部21aの側面において、露出した導電層20の表面に図8のように複数の第1メッキ21bが設けられる。なお、第1メッキ21bは例えば金メッキであるが、これに限られない。また金メッキは必ずしも必要ではなく、導電層20が露出された状態のままで良い。さらに、第1凹部21aの側面において露出される導電層20は必ずしも層状である必要もなく、例えば信号線のような状態で、導電層20と導通した一部が側面から露出されていても良い。

【0057】

またコネクタ部21は、第1メッキ(第1金属部)21bと基板11の側面との間に、導電層20との導通を保った状態で、弾性材料310が備えられた構造を有していても良い。尚、弾性材料310は例えばゴムやウレタン、シリコンエラストマなどが挙げられる。

【0058】

図9に、第1金属部21bと基板11との間に弾性材量を介在させた場合のコネクタ部21の上面断面図を示す。尚、図9では第1金属部21bを第1凹部21aにおいて、基板11の短手方向に沿った位置にのみ設けたが、これに限られない。

【0059】

また、前述のように第1金属部21bは導電層20と電氣的に導通される必要があるが、例えば信号線を弾性材料310の中を通して導通させても良いし、弾性材料310で覆われていない部分において露出した導電層20と第1金属部21bとを当接させても良い。

【0060】

この場合、弾性材料310の弾性力によってインターフェース部221はコネクタ部21によって押圧されることになり、電氣的接続の安定性が向上する。

【0061】

図10は、半導体装置1が接続されるホスト装置201に搭載されるメインボード205を示す図である。メインボード205は基板215を有し、基板215は、第1面215aと、該第1面215aとは反対側に位置した第2面215bとを有する。また、基板

2 1 5 は多層配線板であり、基板 1 1 と同様に導電層 2 2 5 を有する。なお、本明細書において、基板 2 1 5 を構成する面の内、第 1 面 2 1 5 a 及び第 2 面 2 1 5 b 以外の面を「側面」と定義する。

【0062】

メインボード 2 0 5 には、例えば基板 2 1 5 の第 1 面 2 1 5 a から第 2 面 2 1 5 b へと割り貫かれた貫通部 2 2 0 が設けられ、半導体装置 1 と電氣的に接続されるインターフェース部 2 2 1 を有する。なお、基板 2 1 5 において貫通部 2 2 0 を構成する面は、前述の定義より「側面」とであると言える。

【0063】

貫通部 2 2 0 は、図 1 0 に示すように例えば半導体装置 1 の外形と同形を成す。すなわちメインボード 2 0 5 は、貫通部 2 2 0 が基板 1 1 と同形になるように、コネクタ部 2 1 の複数の第 1 凹部と其々噛合する複数の第 1 凸部 2 2 1 a、及び複数の第 2 凹部 2 2 と其々噛合する複数の第 2 凸部 2 2 2 を有する。

【0064】

インターフェース部 2 2 1 は、前述の通り複数の第 1 凸部 2 2 1 a を有する。また、インターフェース部 2 2 1 は、基板 2 1 5 の導電層 2 2 5 が表面上に一部露出した構造を有しており、該第 1 凸部 2 2 1 a の側面において、基板 1 1 の場合と同様に、露出した導電層 2 2 5 の表面に複数の第 2 メッキ 2 2 1 b が施される。なお、第 2 メッキ 2 2 1 b も第 1 メッキ 2 1 b と同様に例えば金メッキであるが、これに限られない。メッキの施された第 1 凹部 2 1 a と、同じくメッキの施された第 1 凸部 2 2 1 a とが噛合し接触することで、半導体装置 1 とホスト装置 2 0 1 とが電氣的に接続される。また金メッキは必ずしも必要ではなく、導電層 2 2 5 が露出された状態のまま、コネクタ部 2 1 と接触しても良い。

【0065】

またインターフェース部 2 2 1 は前述したコネクタ部 2 1 と同様に、第 2 メッキ（第 2 金属部）2 2 1 b と基板 2 1 5 の側面との間に、導電層 2 2 5 との導通を保った状態で、ゴムやウレタン等の弾性材料 3 1 0 が備えられた構造を有していても良い。

【0066】

この場合、弾性材料 3 1 0 の弾性力によってコネクタ部 2 1 はインターフェース部 2 2 1 によって押圧されることになり、電氣的接続の安定性が向上する。

【0067】

尚本実施形態において、一つの第 1 凹部 2 1 a に対して 2 つの第 1 メッキ 2 1 b が設けられることになるが、この時、向かい合う 2 つの第 1 メッキ 2 1 b は同じ種類の信号を扱う、すなわち、1 つの凹部において扱う信号は 1 種類にする方が望ましい。この場合、向かい合う 2 つの第 1 メッキ 2 1 b の一方が、メインボード 2 0 5 の基板 2 1 5 に設けられた第 1 凸部 2 2 1 a の第 2 メッキ 2 2 1 b と接触していればよく、電氣的接続の安定性の向上を図ることができる。

【0068】

また第 1 メッキ 2 1 b は、必ずしも第 1 凹部 2 1 a の側面に設けられる必要は無く、例えば図 1 1 のように基板 1 1 の短手方向に沿って第 1 凹部 2 1 a に配置されていても良い。この場合、基板 2 1 5 の貫通部 2 2 0 において、インターフェース部 2 2 1 の反対側に押圧部 3 0 1 を設けることで、基板 1 1 とメインボード 2 0 5 との電氣的接続の安定性を向上させることができる。また、第 1 メッキ 2 1 b は、第 1 凹部全体を覆うように設けられていてもよく、この場合第 1 凹部 2 1 a を形成する 3 つの面に其々第 1 メッキ 2 1 b が設けられており、いずれか一面が、第 1 凸部 2 2 1 a の第 2 メッキ 2 2 1 b と接触していればよく、電氣的接続の安定性がさらに向上することになる。いずれの場合も第 1 凸部 2 2 1 a には、第 1 凹部 2 1 a に設けられた第 1 メッキ 2 1 b と接触するように第 2 メッキ 2 2 1 b が設けられる。

【0069】

ここで押圧部 3 0 1 は、例えばゴムのような弾性材が挙げられる。該弾性材を基板 2 1 5 の厚さ方向に沿って設けることで、メインボード 2 0 5 に嵌め込まれた基板 1 1（半導

体装置1)は、常にインターフェース部221側へ押される状態となり、より安定した電氣的接触が可能となる。なお、押圧部301はゴムを用いた弾性材に限られず、例えばバネを用いた機構としても良い。また押圧部301は必ずしも基板215に設けられる必要は無く、基板11の第2縁部11d側に設けられても良い。

【0070】

また図4に示すように、基板11は複数のネジ穴11eを有している。メインボード205と同様に、基板11も筐体202の第2固定部231に対してネジ止めすることで、基板11の厚さ方向に対する半導体装置1の固定が可能になる。さらに、メインボード205の複数の第1凸部221a及び複数の第2凸部221bが、基板11の複数の第1凹部21a及び複数の第2凹部22と其々噛合することで、半導体装置1は基板11の面方向に対しても固定され、第2固定部231に半導体装置1を固定する際、より安定した作業が可能になる。

【0071】

本実施形態では、第1固定部230にメインボード205が固定された状態で半導体装置1を第2固定部231に固定すると同時に、コネクタ部21とインターフェース部221が電氣的に接続される。

【0072】

尚、本実施形態において半導体装置1及びメインボード205の固定は、必ずしもネジを用いて行われる必要は無く、例えばピン止めによって行われても良いし、接着剤のようなものを用いても良い。固定方法と合わせて、第1固定部230及び第2固定部231の有する機構や形状は変更される。

【0073】

いずれの場合においても、第1固定部230及び第2固定部231の突出部の高さ寸法がそろっていることで、半導体装置1の固定に伴いコネクタ部21とインターフェース部221が当接され、電氣的に接続される。尚本実施形態において、第1凹部21a及び第1凸部221aは必ずしも設けられる必要は無く、コネクタ部21及びインターフェース部221は、単に基板11、基板215の側面に複数の第1メッキ21b及び複数の第2メッキ221bが其々設けられる構成でも良い。

【0074】

また本実施形態において、第2凹部22及び第2凸部222は必ずしも設けられる必要は無いが、第2凹部22及び第2凸部222が存在する場合、上述した半導体装置1のネジ止めの際により安定した作業が可能になる。

【0075】

さらに、本実施形態において、基板11に凸部が設けられ、基板215に凹部が設けられても良いし、凹部と凸部が基板11及び基板215に混在していても良い。

【0076】

ここで、半導体装置をメインボードに嵌め込まず、メインボードの表面上に設けられたスロットに半導体装置を挿し込む場合を考える。この場合、メインボードに設けられたスロットに半導体装置を挿し込むことで、半導体装置とホスト装置が電氣的に接続される。このような場合では、スロットに挿し込まれた半導体装置とメインボードとが略平行に並んで配置されることになる。ホスト装置に実装する場合、例えば図5に示したように、半導体装置に実装される半導体パッケージの実装分の高さも踏まえた実装スペースを要する。

【0077】

また、NANDメモリとコントローラが一つのパッケージに纏められたeMMC (Embedded Multi Media Card) をメインボードに実装して使用することも可能である。この場合、ホスト装置の薄型化は可能になるが、一般にeMMCは動作速度がSSDほど速くはなく、また、部品の交換が非常に困難である。

【0078】

そこで本実施形態では、半導体装置1はメインボード205の貫通部220に嵌め込ま

れる構成を成す。このような構成によれば、メインボード205、及び基板11は略同一平面上に存在することになる。よって、ホスト装置201の厚さ方向に関して、メインボード205を実装するために要するスペース内に半導体装置1が収まることになり、ホスト装置201の薄型化が可能になる。

【0079】

さらに本実施形態において、半導体装置1とメインボード205は互いに重なり合わない。このため、半導体装置1に搭載された部品（例えばコントローラ13）から発生した熱が、空气中を伝わりメインボード205に及ぼす影響を緩和できる。

【0080】

また、基板11に実装されたNANDメモリ12、コントローラ13等の半導体パッケージの高さも、メインボード205に実装された複数の回路部品216と同程度であることから、基板11に実装された部品の突出分を考慮して実装スペースを増やす必要はなく、メインボード205、及び半導体装置1を実装するスペースの省スペース化が可能であり、ホスト装置201の薄型化が可能である。

【0081】

さらに、本実施形態の半導体装置1は片面実装の装置である。よって裏面に突出した電子部品を有していないという点においても、半導体装置1が実装されるホスト装置201の実装スペースを小さくし、ひいてはホスト装置201の薄型化が可能になる。

【0082】

また、前述の通り半導体装置1に実装された電子部品を、直接メインボード205を成す基板215に実装する場合でもホスト装置201の薄型化は可能である。しかし、本実施形態においては、半導体装置1は取り外しが容易である。したがって、部品の不具合時の性能検査や、チップ交換の容易性という観点からも、基板215に直接NANDメモリ12、コントローラ13等の部品を実装する場合よりも優れていると言える。

【0083】

また、本実施形態において半導体装置1は、スロット等に挿し込まれる構造ではない。したがって、メインボード205と半導体装置1との接続部は、基板11の第1縁部11aのみに沿って構成される必要はなく、例えば隣り合う二つの縁部に設けられても良い。この場合、コネクタ部21の周辺における配線の集中を抑制することが可能になり、半導体装置1において配線の引き回し等の自由度が高くなる。このため、NANDメモリ12、コントローラ13、及びDRAM14等の電子部品をよりコンパクトに配置することも可能になるため、半導体装置1の小型化も可能になる。

【0084】

さらにメインボード205においても同様に、半導体装置1とホスト装置201とがデータのやり取りを行うための配線を一つのインターフェース部221に集束させる必要がなく、メインボード205においても配線の引き回しや部品実装の自由度が高くなる。

【0085】

また、本実施形態においてコネクタ部21及びインターフェース部221は、互いを接続するための部品を実装せずに基板11及び基板215の側面に設けられる。このような構成においては、ホスト装置201を実現するために用いられる部品点数を減らすことができるだけでなく、部品実装用のスペース及びそれに伴う配線を考慮する必要がなく、半導体装置1及びメインボード205の小型化や、設計自由度の向上に繋がる。

【0086】

さらに、本実施形態において半導体装置1を筐体202に固定すると同時に電氣的な接続が行われる。したがって、電氣的接続を行うための、例えば挿抜を行うためのスペースを設計時に考慮する必要がなく、ホスト装置201の小型化にも繋がる。

【0087】

以上、第1実施形態について説明したが、半導体装置1の実施形態はこれに限られない。次に、第2実施形態に係る半導体装置について説明する。なお、第1実施形態の構成と同一または類似の機能を有する構成は、同一の符号を付してその説明を省略する。また、

下記に説明する以外の構成は、第1実施形態と同一である。

【0088】

(第2実施形態)

本実施形態に係る半導体装置1を図12に示す。図12において、(a)は平面図、(b)は下面図、(c)は側面図である。また、図13は本実施形態に係る半導体装置1及びメインボード205の側面断面図である。

【0089】

本実施形態におけるコネクタ部51は、図12及び図13に示すように段51aを有する。基板11は多層基板であるため、コネクタ部51を成す領域の層の数を他の領域より少なく、すなわちコネクタ部51を薄く加工することで、図13に示すような段51aが実現可能である。

【0090】

また、基板11の段51aにおいて、基板11の第1面11aと略平行の面に第1メッキ(第1金属部)51bが設けられ、第1メッキ51bは第一実施形態と同様に基板11の導電層20と電氣的に接続されている。

【0091】

また、メインボード205はインターフェース部251を有する。インターフェース部251は、図13に示すように段251aを有する。基板11と同様に、メインボード205を成す基板215も多層基板である。したがって、本実施形態における基板11と同様に一部を薄くすることで段251aを設けることが可能である。

【0092】

さらに、段251aにおいて、半導体装置1を貫通部220に嵌め込んだ時に第1メッキ51bと接する面に、第2メッキ(第2金属部)251bが設けられる。このメッキ同士が接触することで、半導体装置1とホスト装置201とが電氣的に接続される。

【0093】

メインボード205と同様に、基板11も筐体202に対してネジ止めすることで、基板11の厚さ方向に対する半導体装置1の固定が可能になる。さらに、メインボード205の段251a及び複数の第2凸部221bが、基板11の段51a及び複数の第2凹部22と其々噛合することで、半導体装置1は基板11の面方向に対しても固定される。

【0094】

尚、段51b、251bにネジ穴を設けて筐体202に対してネジ止めを行っても良い。この場合、ネジによって第1メッキ51bが第2メッキ251b側へ押圧されることになるため、電氣的接続の安定化を図ることができる。この場合に用いられるネジは、プラスチックなどの絶縁材料製のものが望ましい。

【0095】

尚、本実施形態において基板11及びメインボード205には、第1実施形態と同様に第2凹部22、及び第2凸部222が設けられている。しかし、半導体装置1の固定方法はこれに限られず、例えばコネクタ部51、及びインターフェース部251に設けられた段と同様の構造を有しても良い。

【0096】

また本実施形態でも第一実施形態と同様に、第1金属部51bと基板11との間に弾性材料を介在させても良い。本実施形態の場合、ネジ止め方向と弾性材料の押圧方向が略一致するため、より安定した電氣的接続が可能になる。

【0097】

本実施形態においても、半導体装置1はメインボード205と略同一平面上に位置する構成を成しており、半導体装置1、及びメインボード205を実装するスペースを小さくすることが可能であり、ホスト装置201の薄型化に繋がる。

【0098】

また、本実施形態においても基板215の貫通部220に半導体装置1を嵌め込む例を示したが、これに限られない。また、本実施形態においても第2固定部231に半導体装

置 1 を固定するに伴い、半導体装置 1 とメインボード 2 0 5 は電氣的に接続される。

【 0 0 9 9 】

(第 3 実施形態)

本実施形態に係る半導体装置 1 及びメインボード 2 0 5 の側面断面図を図 1 4 に示す。コネクタ部は、前述した第 1 及び第 2 実施形態のように必ずしも基板 1 1 の側面に設けられている必要はなく、コネクタ部品として基板 1 1 の第 1 面 1 1 a に実装されていても良い。同様に、メインボード 2 0 5 に設けられるインターフェース部も、基板 2 1 5 の実装面 2 1 5 a に実装されていても良い。

【 0 1 0 0 】

本実施形態では、コネクタ部 6 1 及びインターフェース部 2 6 1 は共に、実装面 2 1 5 a にコネクタ部品として実装されている。コネクタ部 6 1 及びインターフェース部 2 6 1 は部品上面 (実装面 2 1 5 a の反対側の面) に金属部 6 1 a、金属部 2 6 1 a を其々有する。また、図 1 4 に示すようにコネクタ部 6 1 及びインターフェース部 2 6 1 は、カバー 3 0 2 によって覆われる。

【 0 1 0 1 】

コネクタ部 6 1、インターフェース部 2 6 1、及びカバー 3 0 2 の断面図を図 1 5 に示す。図 1 5 に示すようにカバー 3 0 2 は、内側に導電部 3 0 2 a が設けられており、コネクタ部 6 1 に設けられた金属部 6 1 a とインターフェース部 2 6 1 に設けられた金属部 2 6 1 a とが、カバー 3 0 2 に設けられた導電部 3 0 2 a を介して電氣的に接続される。

【 0 1 0 2 】

本実施形態において、金属部 6 1 a 及び金属部 2 6 1 a は例えば複数設けられ、互いを接続するために設けられた複数の導電部 3 0 2 a によって其々接続されるような構成でも良いし、図 1 6 に示すように、カバー 3 0 2 でコネクタ部 6 1 及びインターフェース部 2 6 1 を覆う際に、雄端子状の金属部 6 1 a 及び 2 6 1 a が、雌端子状の導電部 3 0 2 a に挿し込まれ、カバー 3 0 2 の内部に設けられた導電層 (図示せず) によって其々電氣的に接続されるような構成でも良い。

【 0 1 0 3 】

また、本実施形態におけるコネクタ部 6 1 及びインターフェース部 2 6 1 のメッキは、互いが直接接触する様に側面に設けられていても良く、この場合、半導体装置 1 を第 2 固定部 2 3 1 に固定するに伴いコネクタ部 6 1 及びインターフェース部 2 6 1 が当接され、電氣的に接続されることになる。尚、カバー 3 0 2 によってコネクタ部 6 1 及びインターフェース部 2 6 1 は互いに押圧された状態で固定され、電氣的接触の安定性が保たれる。

【 0 1 0 4 】

尚本実施形態の場合、第 1 及び第 2 実施形態におけるコネクタ部、インターフェース部とは異なり、接続部が基板 1 1 及び基板 2 1 5 に対して其々の実装面側に突出した構成となる。しかし、図 1 4 に示すように、基板 1 1 及び基板 2 1 5 には、NANDメモリ 1 2 をはじめとした様々な電子部品が実装されているため、これらが突出した高さの範囲内でコネクタ部 6 1、及びインターフェース部 2 6 1 を設ければ、実装スペースの広さを変更する必要もなく、第 1 及び第 2 実施形態と同様に、ホスト装置 2 0 1 の薄型化が可能である。

【 0 1 0 5 】

(第 4 実施形態)

本実施形態に係る半導体装置 1 のコネクタ部 7 1、及びメインボード 2 0 5 のインターフェース部 2 7 1 を図 1 7 に示す。

【 0 1 0 6 】

図 1 7 に示すように半導体装置 1 に設けたコネクタ部 7 1 は、複数の雄端子 7 1 a を有している。また、基板 2 1 5 の実装面 2 1 5 a に設けたインターフェース部 2 7 1 は、前述した雄端子 7 1 a と同数の複数の雌端子 2 7 1 a を有しており、雄端子 7 1 a が雌端子 2 7 1 a に挿し込まれることによって電氣的接続が成される。

【 0 1 0 7 】

本実施形態における電氣的接続は、ピン状の端子を挿し込むことによって成されるため、導電性物質（例えばメッキ）同士を単に接触させた構造よりも電氣的に安定な構造となる。

【0108】

さらに、本実施形態においてコネクタ部71及びインターフェース部271は其々基板11及び基板215の実装面側に突出した構造となっているが、前述したように、基板11及び基板215には、NANDメモリ12をはじめとした様々な電子部品が実装されているため、これらが突出した高さの範囲内でコネクタ部71、及びインターフェース部271を設ければ、実装スペースの広さを変更する必要もなく、結果的にホスト装置201の薄型化を可能にするという効果を奏する。

【0109】

（第5実施形態）

本実施形態において、半導体装置1をタブレット型ポータブルコンピュータ201に実装した図を図18に示す。本実施形態において基板11の実装面11aは、メインボード205の基板215の実装面215aとは反対側に位置する。したがって本実施形態の半導体装置1は、突出した部品が表示モジュールの反対側を向くことになる。

【0110】

以上の構成において、半導体装置1は表示モジュールにおける発熱の影響を回避することができ、半導体装置1の動作安定性を向上させることが可能になる。また、コントローラ13とタブレット型ポータブルコンピュータ201の筐体202とが離間されていることで、コントローラ13から放熱された該熱のタブレット型ポータブルコンピュータ201の表面への拡散が抑制され、タブレット型ポータブルコンピュータ201の表面温度の上昇を防ぐことができる。このため、タブレット型ポータブルコンピュータ201の利用者の安全性が保たれ、利便性を向上させることができる。

【0111】

また、本実施形態においても基板11と基板215は略同一平面上に位置する。したがって、タブレット型ポータブルコンピュータ201の厚さ方向に関して、メインボード205を実装するために要するスペース内に半導体装置1が収まることになり、タブレット型ポータブルコンピュータ201の薄型化が可能になる。

【0112】

尚、本実施形態におけるコネクタ部とインターフェース部との接続部は、第1乃至第5実施形態に示したいずれの構成を有していても良い。

【0113】

（第6実施形態）

本実施形態におけるメインボード205を図19に示す。図19に示すように、本実施形態では略矩形形状の基板216に切欠き部290を設けている。この切欠き部290の位置に半導体装置1を図20のように実装される。

【0114】

尚、本実施形態におけるコネクタ部とインターフェース部との接続部は、第1乃至第5実施形態に示したいずれの構成を有していても良い。図19及び図20においては、第1実施形態で示したコネクタ部21とインターフェース部221を用いた例を示している。

【0115】

このような構成において、基板11及び基板215が略同一平面上に並んだ構造となるため、ホスト装置201の厚さ方向に関して、メインボード205を実装するために要するスペース内に半導体装置1が収まることになり、ホスト装置201の薄型化が可能になる。

【0116】

また、本実施形態においては切欠き部290を設けたが、この構成も必ずしも必要でなく、部品が実装された基板11及び基板215を並べて、第1固定部230及び第2固定部231に其々固定するだけでも良い。この場合も、第1固定部230及び第2固定部2

31の突出部の高さ寸法をそろえることでホスト装置201の薄型化を可能にする。また、半導体装置1の固定に伴い、半導体装置1とメインボード205が電氣的に接続される。

【0117】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0118】

1 半導体装置、11 基板、12 NANDメモリ、13 コントローラ、14 DRAM、15 オシレータ、16 EEPROM、17 電源回路、18 温度センサ、19 その他の電子部品、20 導電層、21 コネクタ部、21a 第1凹部、21b 第1メッキ(第1金属部)、22 第2凹部、31 パッケージ基板、32 半導体メモリ、33 ボンディングワイヤ、34 封止部、35 半田ボール、38 マウントフィルム、41 パッケージ基板、42 コントローラチップ、43 ボンディングワイヤ、44 封止部、45 半田ボール、48 マウントフィルム、51 コネクタ部、51a 段、51b 第1メッキ(第1金属部)、61 コネクタ部、61a 金属部、71 コネクタ部、201 ホスト装置(タブレット型ポータブルコンピュータ)、202 筐体、203 表示モジュール、204 半導体装置、205 メインボード、206 保護板、207 ベース、208 フレーム、210 実装部、211 バンパー部、212 第1の実装スペース、213 第2の実装スペース、214 パネル、215 基板、216 回路部品、217 ネジ穴、218 入力装置、219 接続部、220 貫通部、221 インターフェース部、221a 第1凸部、221b 第2メッキ、222 第2凸部、225 導電層、230 第1固定部、231 第2固定部、251 インターフェース部、251a 段、251b 第2メッキ(第2金属部)、251c ネジ穴、261 インターフェース部、261a 金属部、271 インターフェース部、290 切欠き部、301 押圧部、302 カバー、302a 導電部、310 弾性材料。

【書類名】特許請求の範囲

【請求項 1】

第一固定部と第二固定部とが設けられた筐体と、
前記筐体に収容された表示装置と、
前記筐体内に位置した記憶装置と、
前記記憶装置を制御する制御装置と、
前記表示装置と重なる前記筐体内の第一位置で前記第一固定部に固定され、第一導電層を含む複数の導電層を有し、該第一導電層と電氣的に接続された第一露出部が設けられた第一基板と、

前記第一基板と並んで前記表示装置と重なるとともに、前記第一位置とは異なる前記筐体内の第二位置で前記第二固定部に固定され、該第二固定部での固定に伴い前記第一露出部と当接し、該第一露出部と電氣的に接続された第二露出部が設けられた第二基板と、
を有する電子機器。

【請求項 2】

前記第二基板は、第二導電層を含む複数の導電層を有し、
前記第二露出部は、前記第二導電層の少なくとも一部を覆った金属部を含み、
前記第二位置での前記第二基板の固定に伴い、該金属部と該第一露出部とが当接されることで、前記第一基板と前記第二基板とが電氣的に接続されることを特徴とする請求項 1 に記載の電子機器。

【請求項 3】

前記筐体内に、前記第二基板を第二位置に位置決めする位置決め部が設けられた請求項 1 又は請求項 2 に記載の電子機器。

【請求項 4】

前記位置決め部は、
前記第二基板に設けられ、前記第二露出部と電氣的に接続された第一接続部を有する第一部品であり、
前記第二基板の固定に伴い、該第一接続部の少なくとも一部が前記第一露出部の少なくとも一部と当接し、電氣的に接続されることを特徴とする請求項 3 に記載の電子機器。

【請求項 5】

前記第一露出部は前記第一基板の第一側面に位置し、
前記第二露出部は前記第二基板の第二側面に位置したことを特徴とする請求項 1 乃至請求項 4 のいずれか一項に記載の電子機器。

【請求項 6】

前記位置決め部は、前記金属部と前記第二基板との間に介在した第一弾性部であり、
前記第一露出部は、前記第二位置での前記第二基板の固定に伴い、該第一弾性部によって押圧を受けるとともに前記金属部と当接され、前記金属部と前記第一露出部とが電氣的に接続されることを特徴とする請求項 5 に記載の電子機器。

【請求項 7】

前記位置決め部は、前記第一基板の少なくとも一部に設けられ、前記第二位置での前記第二基板の固定に伴い、前記第二露出部を前記第一露出部に向かって押圧する第一弾性部であることを特徴とする請求項 5 に記載の電子機器。

【請求項 8】

前記第二基板は、少なくとも 1 つの突出部を前記第二側面に有し、
前記位置決め部によって、該突出部を構成する少なくとも一部の前記第二側面が前記第一側面の少なくとも一部に向かって押圧されることを特徴とする請求項 6 又は請求項 7 に記載の電子機器。

【請求項 9】

前記第二側面は、前記第一側面と少なくとも一部が対向したことを特徴とする請求項 5 乃至請求項 8 に記載の電子機器。

【請求項 10】

第一固定部と第二固定部とが設けられた筐体と、
第一導電部が設けられ、前記第一固定部に固定された第一基板と、
前記第二固定部との固定に伴い、前記第一導電部と電氣的に接続された第二導電部が設けられた第二基板と、
を有する電子機器。

【書類名】要約書

【要約】

【課題】半導体装置の組み込み先製品である電子機器の薄型化を実現する。

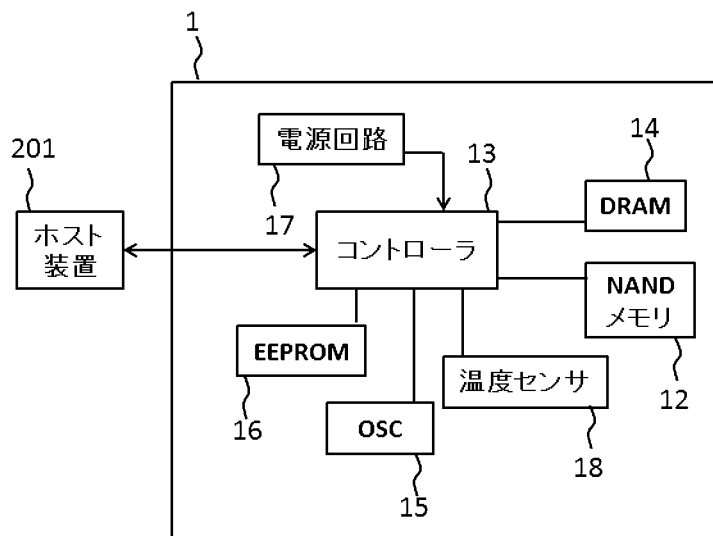
~~【解決手段】実施形態の電子機器は、第一固定部と第二固定部とが設けられた筐体と、前記筐体に収容された表示装置と、前記筐体内に位置した記憶装置と、前記記憶装置を制御する制御装置と、前記表示装置と重なる前記筐体内の第一位置で前記第一固定部に固定され、第一導電層を含む複数の導電層を有し、該第一導電層と電氣的に接続された第一露出部が設けられた第一基板と、前記第一基板と並んで前記表示装置と重なるとともに、前記第一位置とは異なる前記筐体内の第二位置で前記第二固定部に固定され、該第二固定部での固定に伴い前記第一露出部と当接し、該第一露出部と電氣的に接続された第二露出部が設けられた第二基板と、を有する。~~

【選択図】図1

【書類名】図面

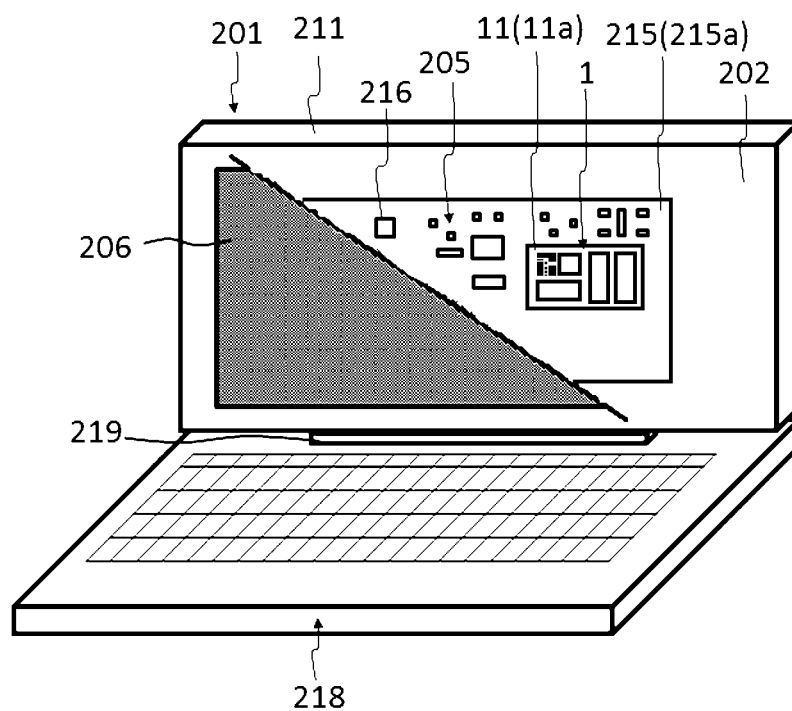
【図1】

図1



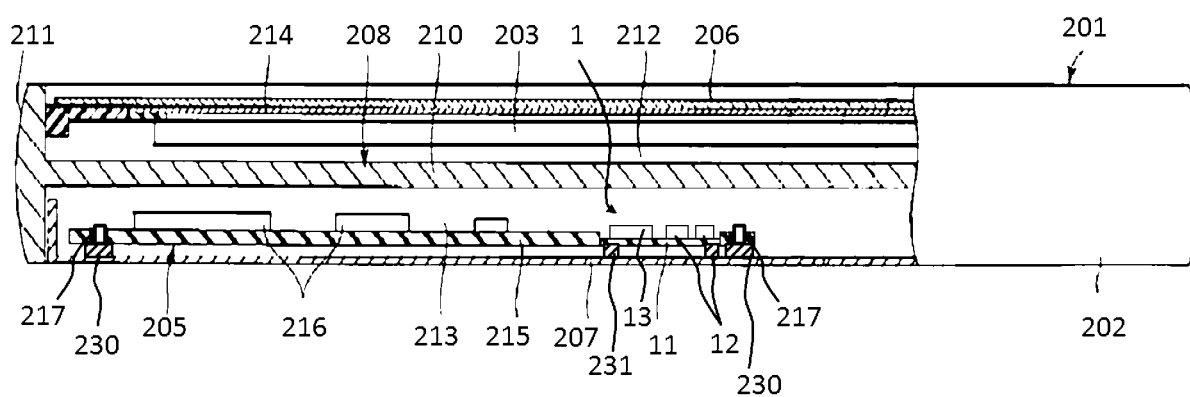
【図2】

図2



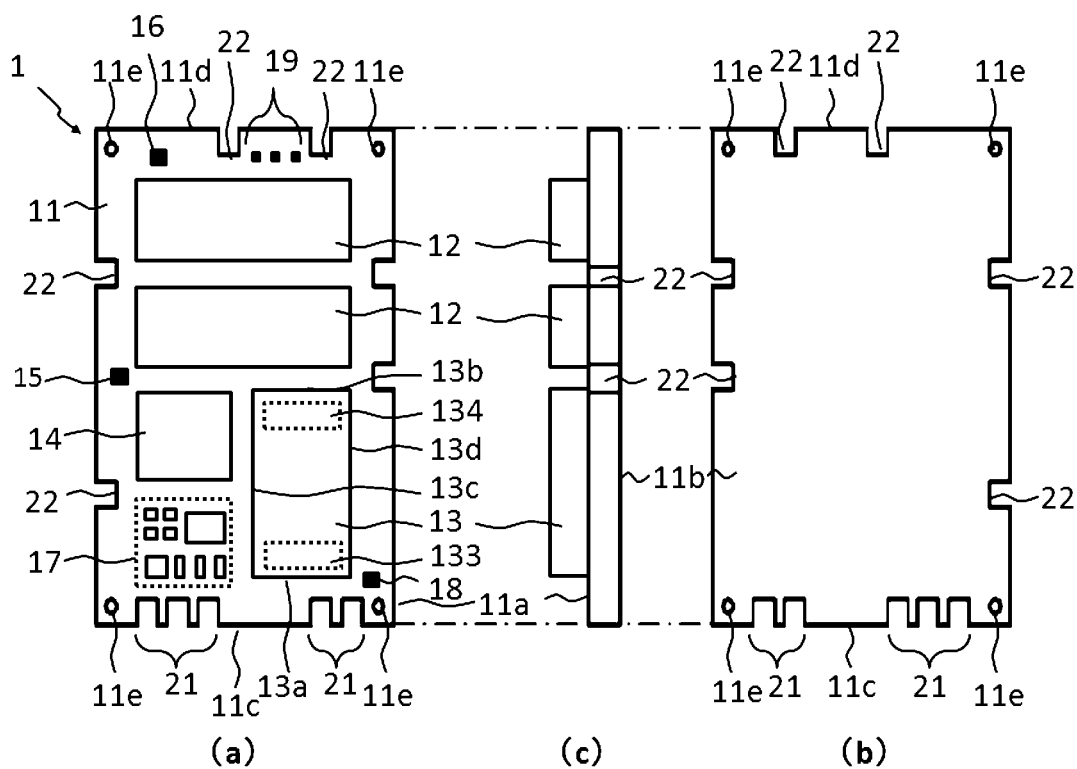
【図3】

図3



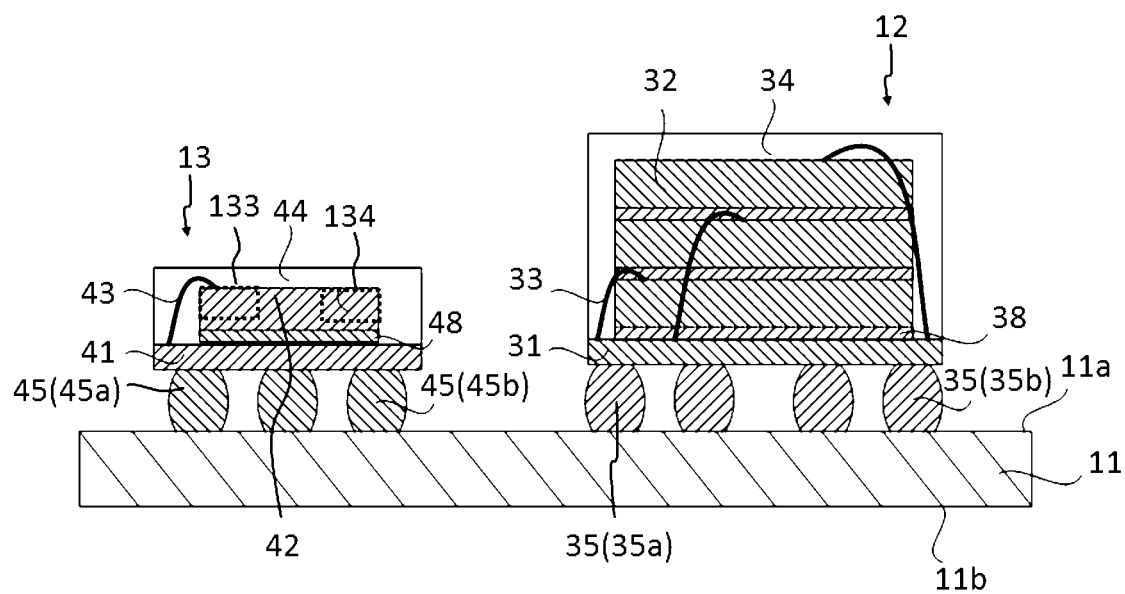
【図 4】

图 4



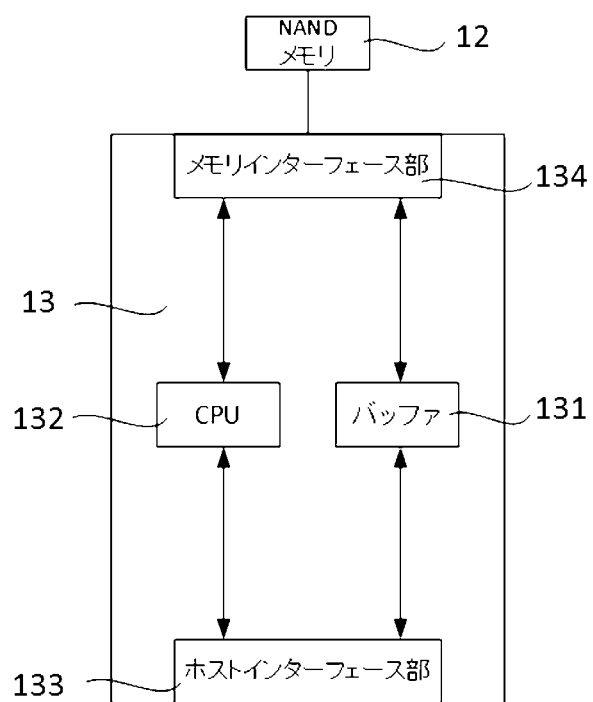
【圖 5】

図5



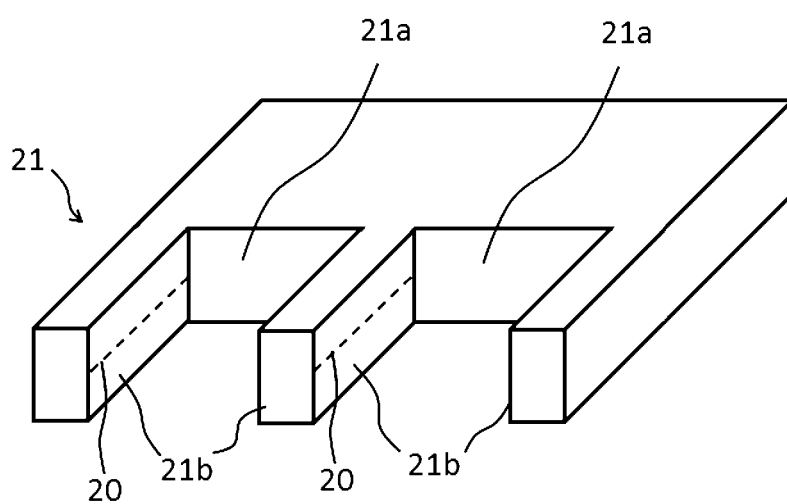
【図6】

図6



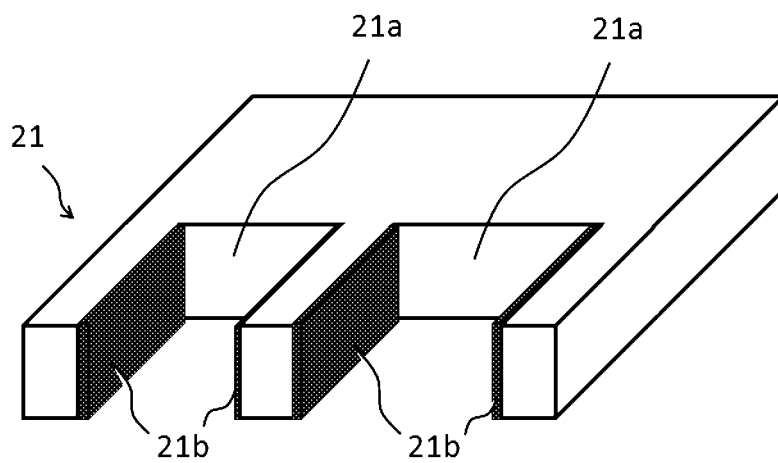
【図7】

図7



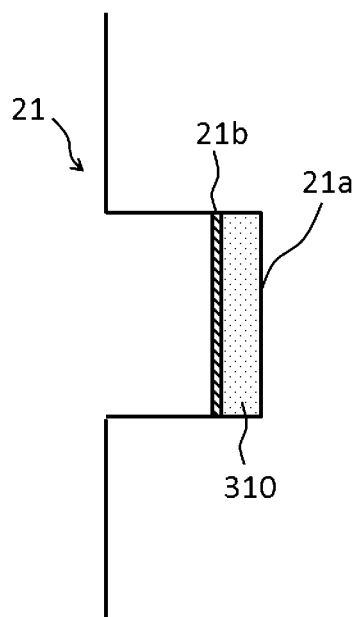
【図8】

図8



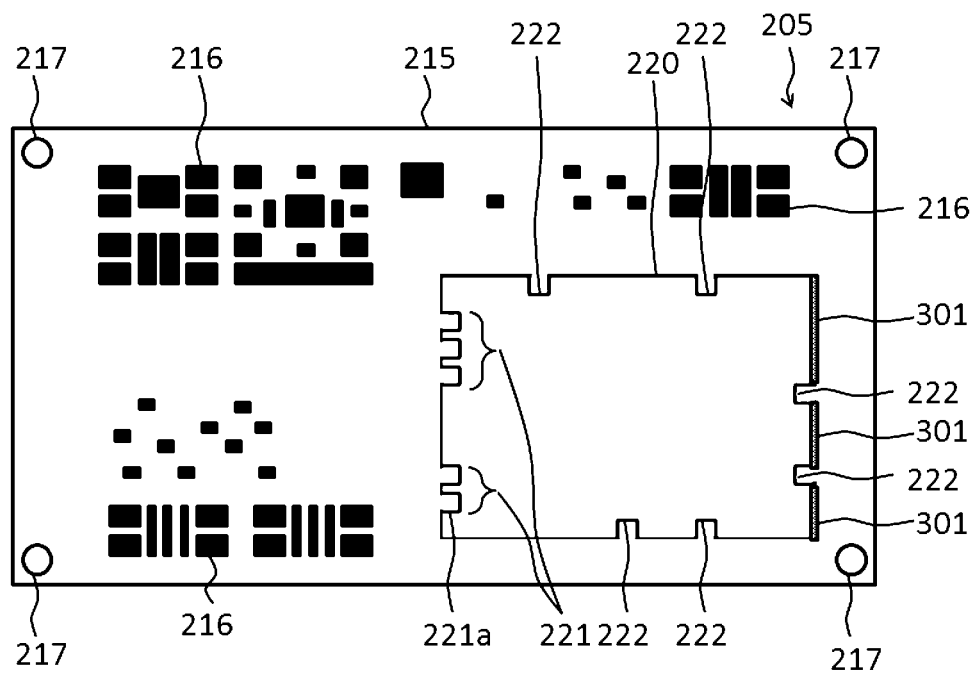
【図9】

図9



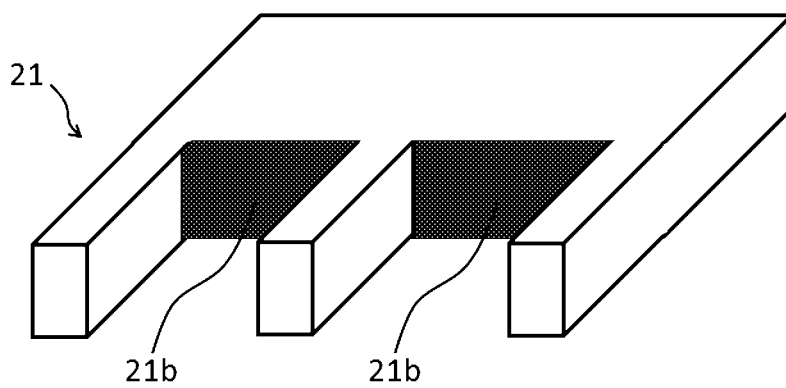
【図10】

図10

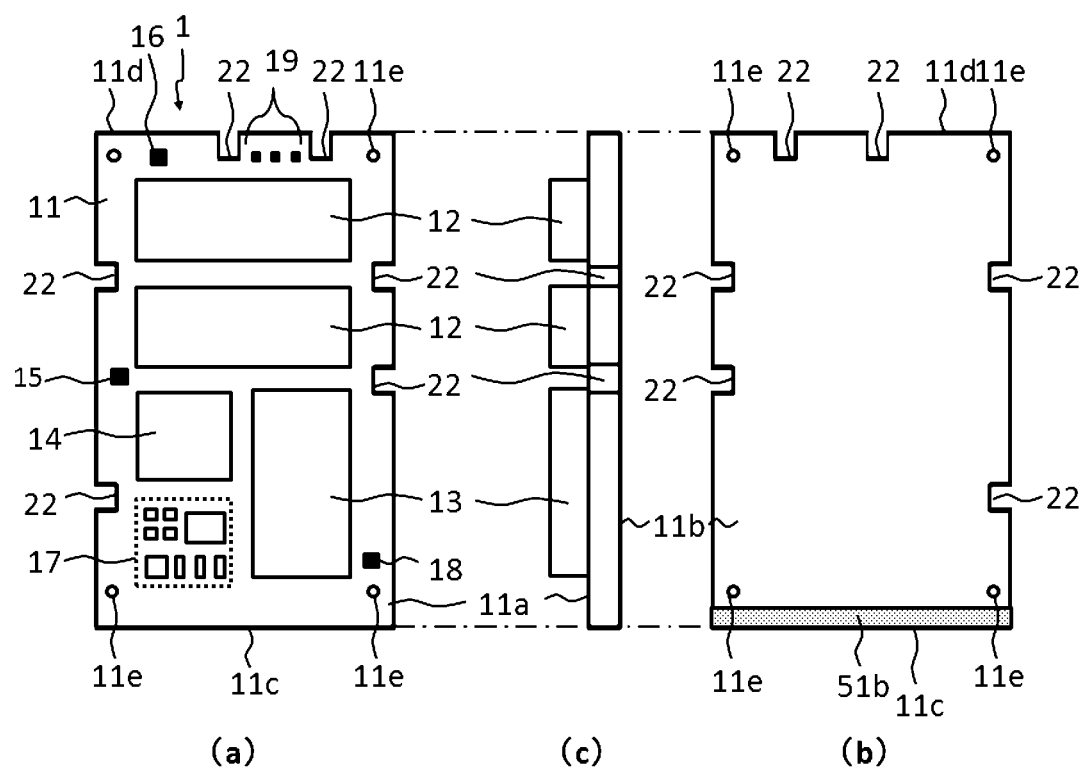
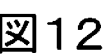


【図11】

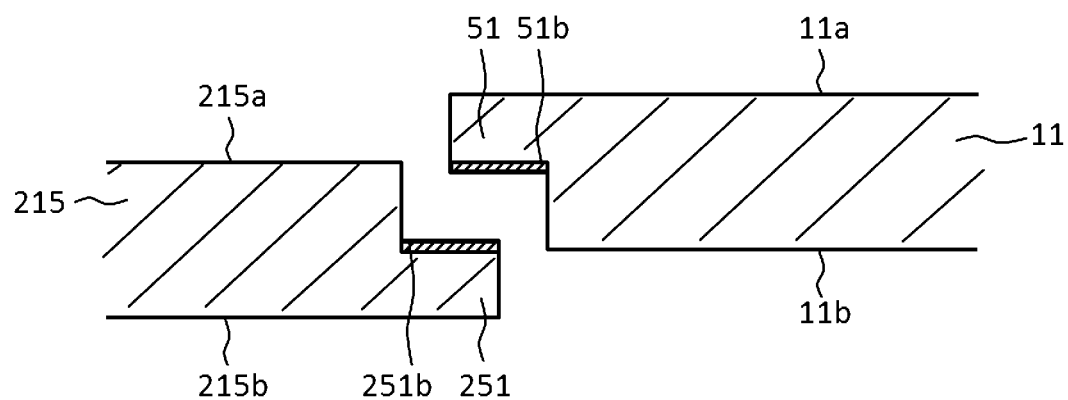
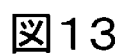
図11



【圖 12】

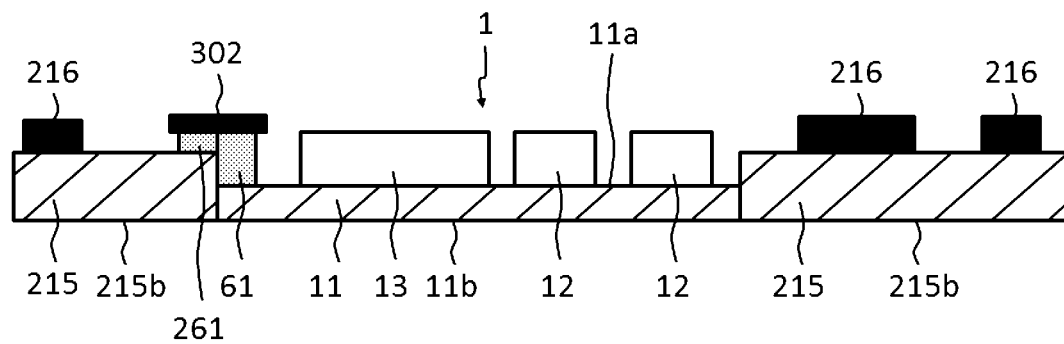


【图 13】



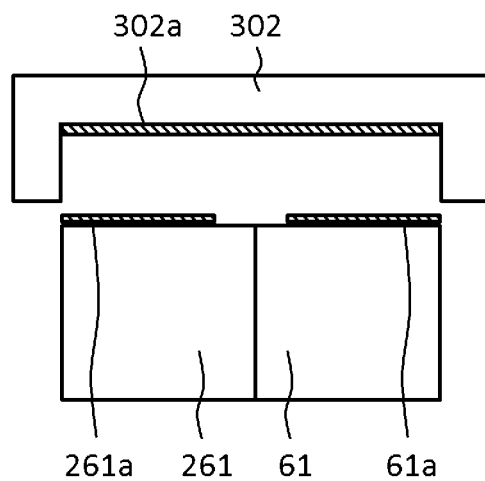
【図14】

図14



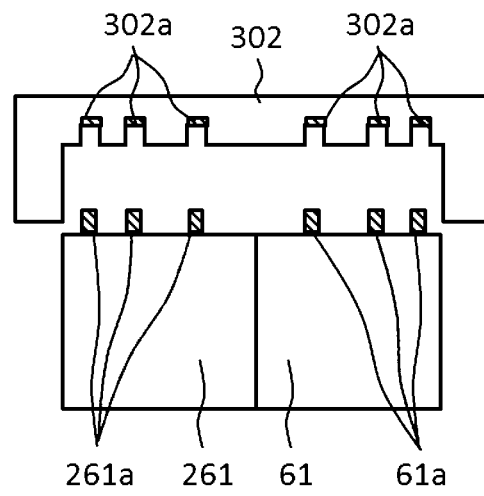
【図15】

図15



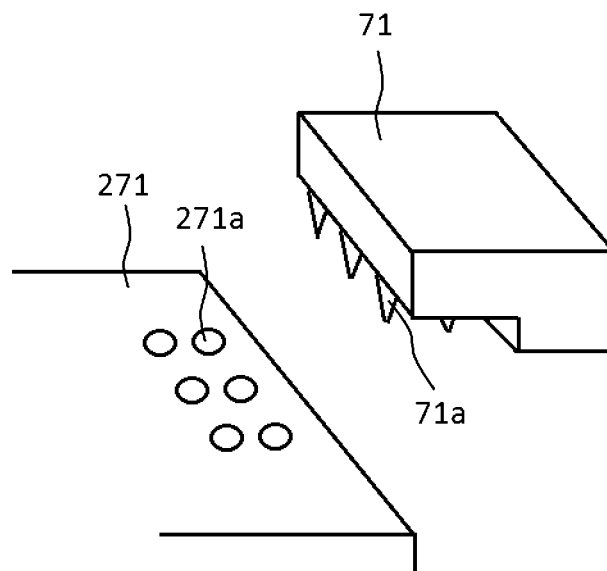
【図16】

図16



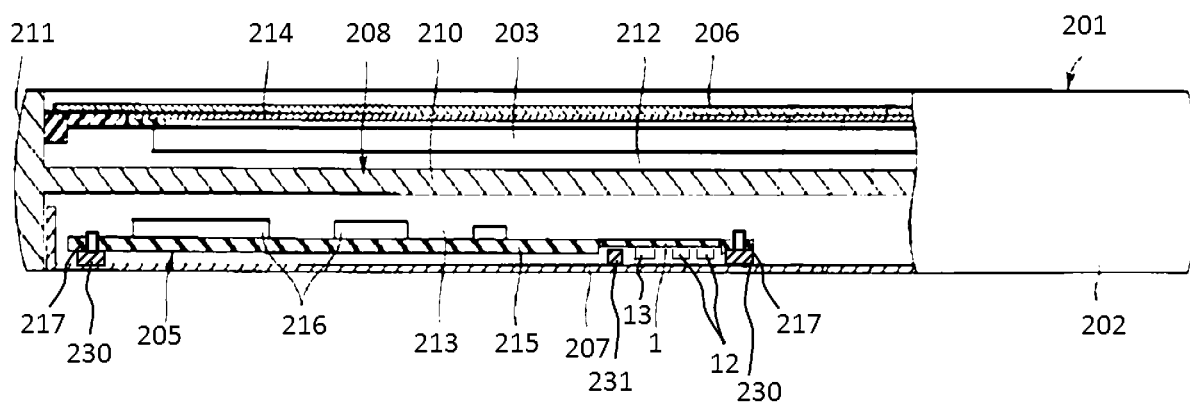
【図17】

図17



【図18】

図18



【図19】

図19

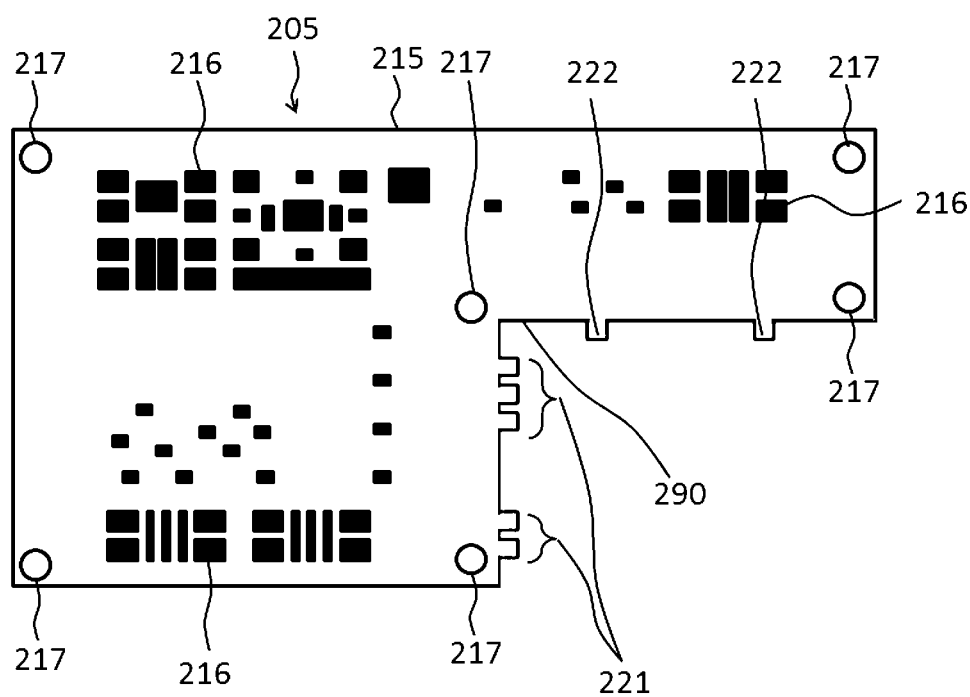


図20

