

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

半導体ウェハに形成された複数の半導体素子は、半導体ウェハに設けられたダイシング領域に沿ってダイシングすることによって、複数の半導体チップに分割される。ダイシングによって形成された半導体チップの端部にリーク電流が流れ、半導体チップが破壊する場合がある。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-177039号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、半導体チップの端部に流れるリーク電流を抑制することが可能な半導体装置を提供することにある。

【課題を解決するための手段】

【0005】

実施形態の半導体装置は、第1の面、第2の面及び端面を有し、前記第1の面と前記端面との角部に設けられたn型領域を有するp型半導体基板と、前記第1の面上に設けられた窒化物半導体層と、前記窒化物半導体層上に設けられた電極と、を備える。

【図面の簡単な説明】

【0006】

【図1】第1の実施形態の半導体装置を示す模式図。

【図2】第1の実施形態の半導体装置の製造方法を示す模式断面図。

【図3】第1の実施形態の半導体装置の製造方法を示す模式断面図。

【図4】第1の実施形態の半導体装置の製造方法を示す模式断面図。

【図5】第1の実施形態の半導体装置の製造方法を示す模式断面図。

【図6】第1の実施形態の半導体装置の製造方法を示す模式断面図。

【図7】第1の実施形態の半導体装置の製造方法を示す模式断面図。

【図8】第1の実施形態の半導体装置の製造方法を示す模式断面図。

【図9】第1の実施形態の半導体装置の製造方法を示す模式断面図。

【図10】第1の実施形態の半導体装置の製造方法を示す模式断面図。

【図11】第2の実施形態の半導体装置を示す模式図。

【発明を実施するための形態】

【0007】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0008】

また、本明細書中、「Ga<sub>n</sub>N系半導体」とは、Ga<sub>n</sub>N（窒化ガリウム）、Al<sub>n</sub>N（窒化アルミニウム）、In<sub>n</sub>N（窒化インジウム）、および、それらの中間組成を備える半導体の総称である。

【0009】

（第1の実施形態）

本実施形態の半導体装置は、第1の面、第2の面及び端面を有し、第1の面と端面との

角部に設けられたn領域を有するp型半導体基板と、第1の面上に設けられた窒化物半導体層と、窒化物半導体層上に設けられた電極と、を備える。

#### 【0010】

図1は、本実施形態の半導体装置を示す模式図である。図1(a)は半導体装置の断面図、図1(b)は半導体装置の上面図である。

#### 【0011】

本実施形態の半導体装置は、半導体チップ100である。半導体チップ100は、p型シリコン基板(p型半導体基板)10、Ga<sub>2</sub>N系半導体層(窒化物半導体層)12、ソース電極14、ドレイン電極16、ゲート電極18を備える。p型シリコン基板10は、p型領域10a、n型領域20を有する。Ga<sub>2</sub>N系半導体層12は、第1のGa<sub>2</sub>N系半導体膜12a、第2のGa<sub>2</sub>N系半導体膜12bを有する。

#### 【0012】

半導体チップ100には、半導体素子が形成される。半導体素子は、例えば、HEMT(High Electron Mobility Transistor)である。

#### 【0013】

p型シリコン基板10は、第1の面P1、第2の面P2及び端面Eを有する。p型シリコン基板10は、p型不純物を含む。p型不純物は、例えば、ボロン(B)である。p型シリコン基板10のp型不純物濃度は、例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。また、例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $5 \times 10^{15} \text{ cm}^{-3}$ 以下である。

#### 【0014】

p型シリコン基板10は、第1の面P1と端面Eとの角部にn型領域20を有する。n型領域20は、n型不純物を含む。n型不純物は、例えば、リン(P)又は砒素(As)である。n型領域20のn型不純物濃度は、p型シリコン基板10のp型不純物濃度よりも高い。n型領域20のn型不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

#### 【0015】

なお、p型シリコン基板10のp型不純物濃度、n型領域20のn型不純物濃度は、SIMS(Secondary Ion Mass Spectrometry)により測定することが可能である。

#### 【0016】

p型シリコン基板10内にn型領域20が形成されることにより、p型シリコン基板10内にPINダイオードが形成される。p型シリコン基板10のp型領域10aがPINダイオードのアノード電極、n型領域20がPINダイオードのカソード電極となる。

#### 【0017】

図1(b)に示すように、n型領域20は、第1の面P1において、p型領域10aを囲むように設けられる。なお、p型領域10aは、p型半導体基板10の一部であり、その一部が第1の面に接するp型の導電性を備える領域である。

#### 【0018】

n型領域20とp型領域10aとの間の接合は、p型シリコン基板10の端面Eで終端される。

#### 【0019】

Ga<sub>2</sub>N系半導体層12は、第1のGa<sub>2</sub>N系半導体膜12aと第2のGa<sub>2</sub>N系半導体膜12bとの積層構造を備える。第2のGa<sub>2</sub>N系半導体膜12bは、第1のGa<sub>2</sub>N系半導体膜12a上に設けられる。第2のGa<sub>2</sub>N系半導体膜12bのバンドギャップエネルギーは、第1のGa<sub>2</sub>N系半導体膜12aのバンドギャップエネルギーよりも大きい。

#### 【0020】

第1のGa<sub>2</sub>N系半導体膜12aは、例えば、窒化ガリウム(GaN)膜である。第2のGa<sub>2</sub>N系半導体膜12bは、例えば、窒化アルミニウムガリウム(AlGaN)膜である。

**【0021】**

第2のGaN系半導体膜12bの表面に、HEMTのソース電極14、ドレイン電極16、及び、ゲート電極18が設けられる。ソース電極14、ドレイン電極16、及び、ゲート電極18は、例えば、金属である。

**【0022】**

ソース電極14、ドレイン電極16、及び、ゲート電極18上には、例えば、図示しない保護膜が設けられる。保護膜は、例えば、シリコン酸化膜である。第2のGaN系半導体膜12bとゲート電極18との間に、図示しないゲート絶縁膜が設けられても構わない。

**【0023】**

p型シリコン基板10の幅(図1(b)中の $W_1$ )は、GaN系半導体層12の幅(図1(b)中の $W_2$ )よりも広い。言い換えれば、半導体チップ100の端部において、p型シリコン基板10の一部がGaN系半導体層12に対して突出している。

**【0024】**

GaN系半導体層12の一部が、n型領域20上に設けられる。GaN系半導体層12の端部が、n型領域20上に設けられる。言い換えれば、GaN系半導体層12の端部とn型領域20は第1の面P1でオーバーラップしている。

**【0025】**

図2-図10は、本実施形態の半導体装置の製造方法を示す模式断面図である。

**【0026】**

まず、p型シリコン基板10上にGaN系半導体層12が設けられた半導体ウェハを準備する(図2)。p型シリコン基板10は、第1の面P1と第2の面P2を備える。

**【0027】**

p型シリコン基板10の膜厚は、例えば、1mm以上2mm以下である。GaN系半導体層12の膜厚は、例えば、 $5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下である。

**【0028】**

GaN系半導体層12は、p型シリコン基板10の第1の面P1上に設けられる。GaN系半導体層12は、p型シリコン基板10上にエピタキシャル成長により形成される。GaN系半導体層12は、例えば、GaN膜とAlGaN膜の積層構造を備えている。GaN膜とAlGaN膜との界面に形成される2次元電子ガス(2DEG)が、HEMTのキャリアとなる。

**【0029】**

次に、GaN系半導体層12上に、複数の半導体素子を形成する。半導体素子は、例えば、HEMTである。例えば、GaN系半導体層12の表面に、HEMTのソース電極14、ドレイン電極16、及び、ゲート電極18を形成する(図3)。ソース電極14、ドレイン電極16、及び、ゲート電極18上には、例えば、図示しない保護膜を形成する。保護膜は、例えば、シリコン酸化膜である。

**【0030】**

次に、ダイシング領域のGaN系半導体層12をシリコン基板10が露出するまで選択的にエッチングする(図4)。ダイシング領域とは、複数の半導体素子をダイシングにより複数の半導体チップに分割するための所定の幅を備える予定領域である。ダイシング領域は、GaN系半導体層12の表面側に設けられる。ダイシング領域には、半導体素子のパターンは形成されない。ダイシング領域は、例えば、GaN系半導体層12の表面側に、半導体素子を区切るように格子状に設けられる。

**【0031】**

GaN系半導体層12のエッチングは、例えば、RIE(Reactive Ion Etching)により行われる。GaN系半導体層12のエッチングは、例えば、図示しないレジストをマスクに行われる。GaN系半導体層12のエッチングは、その他のドライエッチング、あるいは、ウェットエッチングにより行うことも可能である。

**【0032】**

次に、ダイシング領域に露出したp型シリコン基板10に、n型不純物をイオン注入する(図5)。n型不純物をイオン注入することによりn型領域20が形成される。n型不純物は、例えば、リン(P)である。n型不純物は砒素(As)であっても構わない。n型不純物は、例えば、レーザアニールにより活性化することが可能である。

#### 【0033】

次に、GaN系半導体層12の上に支持部材24を貼り合わせる(図6)。支持部材24は、例えば、接着層26を用いてGaN系半導体層12に接着される。

#### 【0034】

支持部材24は、半導体ウェハを薄く削った際に、半導体ウェハを補強する機能を備える。支持部材24は、例えば、ガラス基板である。

#### 【0035】

次に、p型シリコン基板10を、p型シリコン基板10の第2の面P2側から除去し薄くする(図7)。p型シリコン基板10の厚さを、例えば、100 $\mu$ m以上200 $\mu$ m以下まで薄くする。

#### 【0036】

p型シリコン基板10の除去は、いわゆる、バックグラインディングである。シリコン基板10の除去は、例えば、ダイヤモンドホイールを用いた研削により行う。

#### 【0037】

次に、p型シリコン基板10の第2の面P2側に樹脂シート32を貼りつける(図8)。樹脂シート32は、例えば、ダイシングテープである。樹脂シート32は、例えば、ハンドリングのために金属のフレームに固定されている。

#### 【0038】

次に、半導体ウェハから支持部材24を剥離する(図9)。

#### 【0039】

次に、GaN系半導体層12の間のp型シリコン基板10を、第1の面P1側からブレードダイシングにより切断する(図10)。p型シリコン基板10をダイシング領域に沿って切断する。

#### 【0040】

その後、p型シリコン基板10から樹脂シート32を剥離することにより、分割された複数の半導体チップ(半導体装置)100が得られる。

#### 【0041】

上記製造方法により、図1に示す本実施形態の半導体チップ100が容易に製造可能である。

#### 【0042】

その後、個々の半導体チップ100は、実装され半導体パッケージとなる。例えば、リードフレーム上に接着され、モールド樹脂で封止される。

#### 【0043】

以下、本実施形態の半導体装置の作用及び効果について説明する。

#### 【0044】

半導体チップの端部を流れるリーク電流で、半導体チップが破壊する場合がある。半導体チップの破壊は、例えば、半導体チップの上面に形成された電極と、半導体基板がショートすることにより生ずる。

#### 【0045】

本実施形態のようなHEMTの場合、例えば、高い正の電圧が印加されるドレイン電極16と、例えば、グラウンド電位に固定されたp型シリコン基板10との間にリーク電流が流れることにより発熱が生じ、絶縁膜の絶縁破壊が起こる。

#### 【0046】

リーク電流は、例えば、GaN系半導体層12の端部の表面や、p型シリコン基板10の端面Eに存在する水分或いは導電性のパーティクルを伝って、半導体チップ100の端部の表面を流れる。或いは、ダイシングの際にGaN系半導体層12の端部に生じたクラ

ックを通して、半導体チップ100の端部を流れる。GaN系半導体はシリコンに比べて硬くて脆いため、シリコンに比べダイシング時にクラックが生じやすい。また、シリコン基板上に形成されたGaN系半導体は、特にその応力差からクラックが生じやすい。

【0047】

本実施形態では、p型シリコン基板10の角部にn型領域20を形成することで、PINダイオードが設けられる。ドレイン電極16に印加された高い正の電圧が、GaN系半導体層12の端部を介してp型シリコン基板10の端部の角部に印加されたとしても、PINダイオードは逆バイアスとなる。

【0048】

したがって、ドレイン電極16とp型シリコン基板10との間にリーク電流が流れることが防止される。よって、半導体チップ100の破壊が抑制される。

【0049】

また、GaN系半導体層12の端部とn型領域20を、第1の面P1でオーバーラップさせることが望ましい。GaN系半導体層12の端部とn型領域20が重なることで、GaN系半導体層12の端部に生じたクラックを通してリーク電流が流れることが、効果的に抑制できる。

【0050】

また、本実施形態では、GaN系半導体層12が、p型シリコン基板10のp型領域10aと直接接している。例えば、p型シリコン基板10がグラウンド電位に固定される場合、GaN系半導体層12とp型領域10aが接することにより、基板部に形成されるダイオードが保護素子として働き、GaN系半導体層12に形成されるHEMTの耐圧が向上する。

【0051】

以上、本実施形態の半導体チップ100によれば、半導体チップ100の端部に流れるリーク電流が抑制される。よって、半導体チップ100の破壊が抑制され、信頼性の向上した半導体チップ100が実現される。

【0052】

(第2の実施形態)

本実施形態の半導体装置は、ソース電極とp型半導体基板を電氣的に接続する第1の配線と、ドレイン電極とn型領域を電氣的に接続する第2の配線と、を更に備える点で、第1の実施形態と異なっている。第1の実施形態と重複する内容については、記述を省略する。

【0053】

図11は、本実施形態の半導体装置を示す模式図である。図11(a)は半導体装置の断面図、図11(b)は半導体装置の等価回路である。

【0054】

本実施形態の半導体装置は、半導体チップが実装された半導体パッケージ200である。半導体パッケージ200は、p型シリコン基板(p型半導体基板)10、GaN系半導体層(窒化物半導体層)12、ソース電極14、ドレイン電極16、ゲート電極18、リードフレーム(金属層)40、金属電極42、第1の配線44、第2の配線46を備える。p型シリコン基板10は、p型領域10a、n型領域20を有する。GaN系半導体層12は、第1のGaN系半導体膜12a、第2のGaN系半導体膜12bを有する。

【0055】

半導体パッケージ200内の半導体チップには、半導体素子が形成される。半導体素子は、例えば、HEMTである。半導体チップは、例えば、図示しないモールド樹脂で封止されている。

【0056】

p型シリコン基板10は、金属のリードフレーム40に図示しない接着層を用いて接着される。接着層は、例えば、はんだ又は導電性ペーストである。

【0057】

金属電極42は、n型領域20上に設けられる。金属電極42とn型領域20との間は、オーミック接触であることが望ましい。

#### 【0058】

第1の配線44は、ソース電極14とリードフレーム40とを接続する。第1の配線44は、例えば、金のボンディングワイヤである。第1の配線44により、ソース電極14とp型シリコン基板10が電氣的に接続される。

#### 【0059】

第2の配線46は、ドレイン電極16と金属電極42とを接続する。第2の配線46は、例えば、金のボンディングワイヤである。第2の配線46により、ドレイン電極16とn型領域20とが電氣的に接続される。

#### 【0060】

半導体パッケージ200は、図11(b)に示すように、HEMTに対して並列にPINダイオードが設けられている。PINダイオードのアノード電極10aがHEMTのソース電極14に接続されている。PINダイオードのカソード電極20がHEMTのドレイン電極16に接続されている。

#### 【0061】

例えば、HEMTのドレイン電極16に大きなサージ電流が流れ込み、ゲート絶縁膜等の破壊が生ずる場合がある。本実施形態の半導体モジュール200によれば、PINダイオードの降伏電圧を適切に設定することにより、ドレイン電極16に大きなサージ電流が流れこんだ場合でも、PINダイオードを介してソース電極14に電流を逃がすことが可能である。したがって、半導体モジュール200の破壊が抑制される。

#### 【0062】

本実施形態の半導体パッケージ200によれば、第1の実施形態と同様の作用により、半導体パッケージ200の端部に流れるリーク電流が抑制される。よって、半導体パッケージ200の破壊が抑制され、信頼性の向上した半導体パッケージ200が実現される。

#### 【0063】

更に、HEMTに対して並列にPINダイオードを設ける構成にすることにより、サージ電流による半導体モジュール200の破壊が抑制される。よって、更に信頼性の向上した半導体パッケージ200が実現される。

#### 【0064】

なお、第1及び第2の実施形態では、半導体素子が、HEMTである場合を例に説明したが、半導体素子はHEMTに限定されるものではない。横型のダイオード等、その他の半導体素子を適用することも可能である。

#### 【0065】

また、第1及び第2の実施形態では、基板として、シリコン基板を例に説明したが、シリコン基板以外の半導体基板、例えば、炭化珪素(SiC)基板等、その他の基板を適用することが可能である。

#### 【0066】

本発明のいくつかの実施形態及び実施例を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

#### 【符号の説明】

#### 【0067】

- 10            p型シリコン基板（p型半導体基板）
- 10a          p型領域
- 12           GaN系半導体層（窒化物半導体層）

- 1 2 a 第1のG a N系半導体膜
- 1 2 b 第2のG a N系半導体膜
- 1 4 ソース電極
- 1 6 ドレイン電極 (電極)
- 1 8 ゲート電極
- 2 0 n型領域
- 4 4 第1の配線
- 4 6 第2の配線
- 1 0 0 半導体チップ (半導体装置)
- 2 0 0 半導体モジュール (半導体装置)

【書類名】 特許請求の範囲

【請求項 1】

第 1 の面、第 2 の面及び端面を有し、前記第 1 の面と前記端面との角部に設けられた n 型領域を有する p 型半導体基板と、  
前記第 1 の面上に設けられた窒化物半導体層と、  
前記窒化物半導体層上に設けられた電極と、  
を備える半導体装置。

【請求項 2】

前記 p 型半導体基板の幅が前記窒化物半導体層の幅よりも広い請求項 1 記載の半導体装置。

【請求項 3】

前記窒化物半導体層上に設けられるソース電極及びゲート電極を更に備え、  
前記電極がドレイン電極であり、  
前記窒化物半導体層が、第 1 の GaN 系半導体膜と、前記第 1 の GaN 系半導体膜上に設けられ、前記第 1 の GaN 系半導体膜よりもバンドギャップエネルギーの大きい第 2 の GaN 系半導体膜を有する請求項 1 又は請求項 2 記載の半導体装置。

【請求項 4】

前記 n 型領域の n 型不純物濃度が、前記 p 型半導体基板の p 型不純物濃度よりも高い請求項 1 乃至請求項 3 いずれか一項記載の半導体装置。

【請求項 5】

前記 p 型半導体基板の p 型不純物濃度が  $1 \times 10^{14} \text{ cm}^{-3}$  以上  $5 \times 10^{15} \text{ cm}^{-3}$  以下である請求項 1 乃至請求項 4 いずれか一項記載の半導体装置。

【請求項 6】

前記窒化物半導体層の一部が前記 n 型領域上に設けられる請求項 1 乃至請求項 5 いずれか一項記載の半導体装置。

【請求項 7】

前記ソース電極と前記 p 型半導体基板を電氣的に接続する第 1 の配線と、前記ドレイン電極と前記 n 型領域を電氣的に接続する第 2 の配線と、を更に備える請求項 3 記載の半導体装置。

【請求項 8】

前記 p 型半導体基板は p 型シリコン基板である請求項 1 乃至請求項 7 いずれか一項記載の半導体装置。



【書類名】 要約書

【要約】

【課題】 半導体チップの端部に流れるリーク電流を抑制することが可能な半導体装置を提供する。

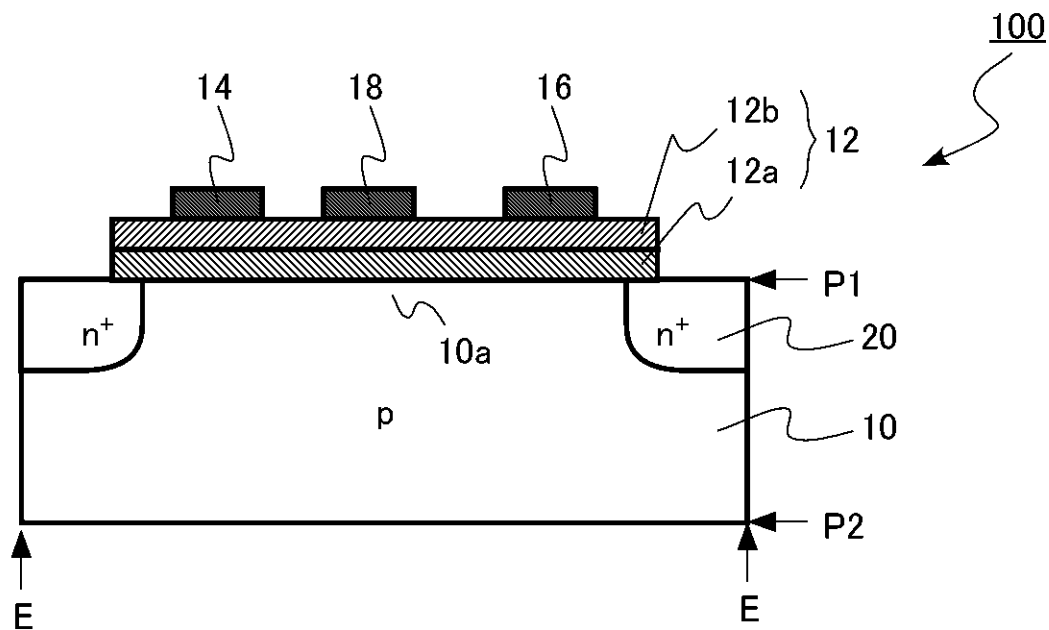
【解決手段】 実施形態の半導体装置は、第1の面、第2の面及び端面を有し、第1の面と端面との角部に設けられたn型領域を有するp型半導体基板と、第1の面上に設けられた窒化物半導体層と、窒化物半導体層上に設けられた電極と、を備える。

【選択図】 図1

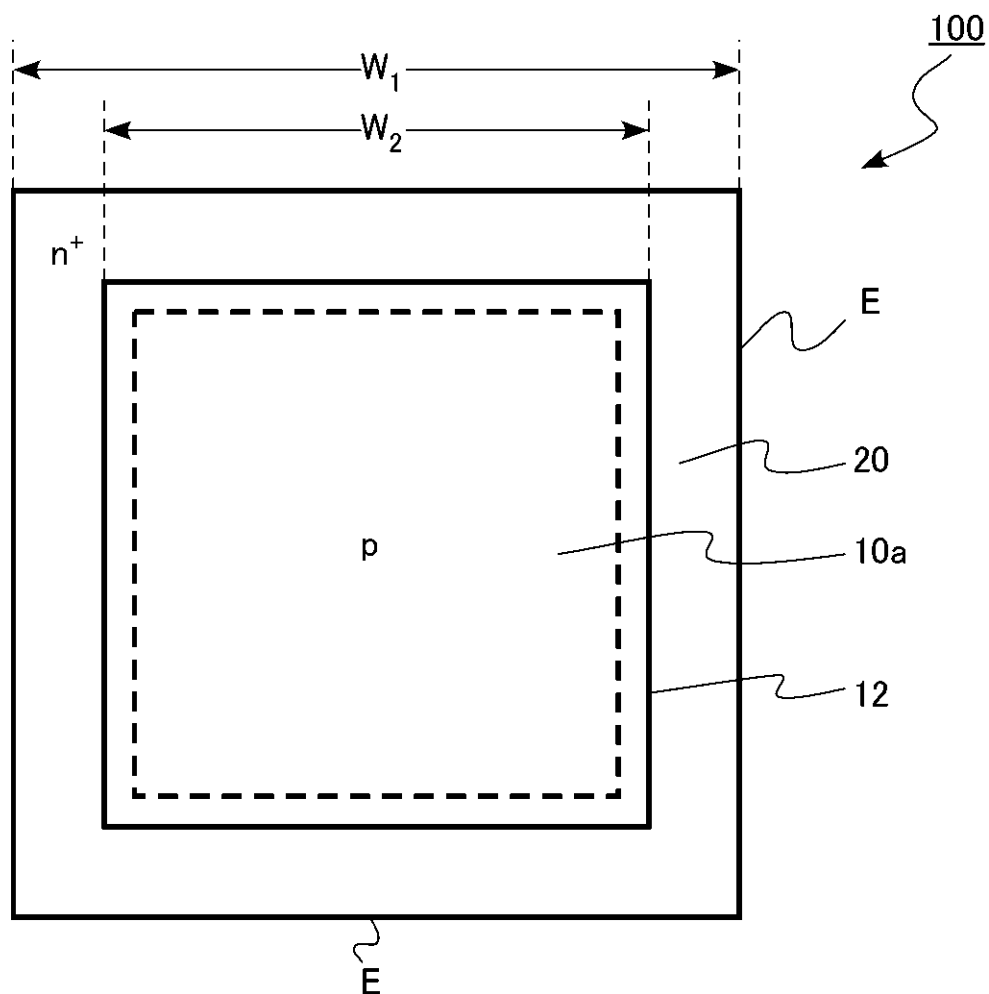
【書類名】図面

【図1】

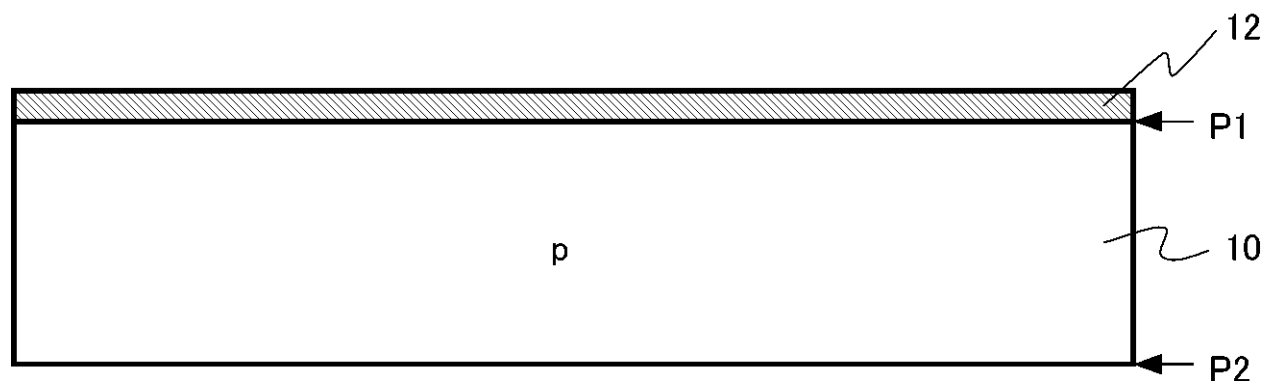
(a)



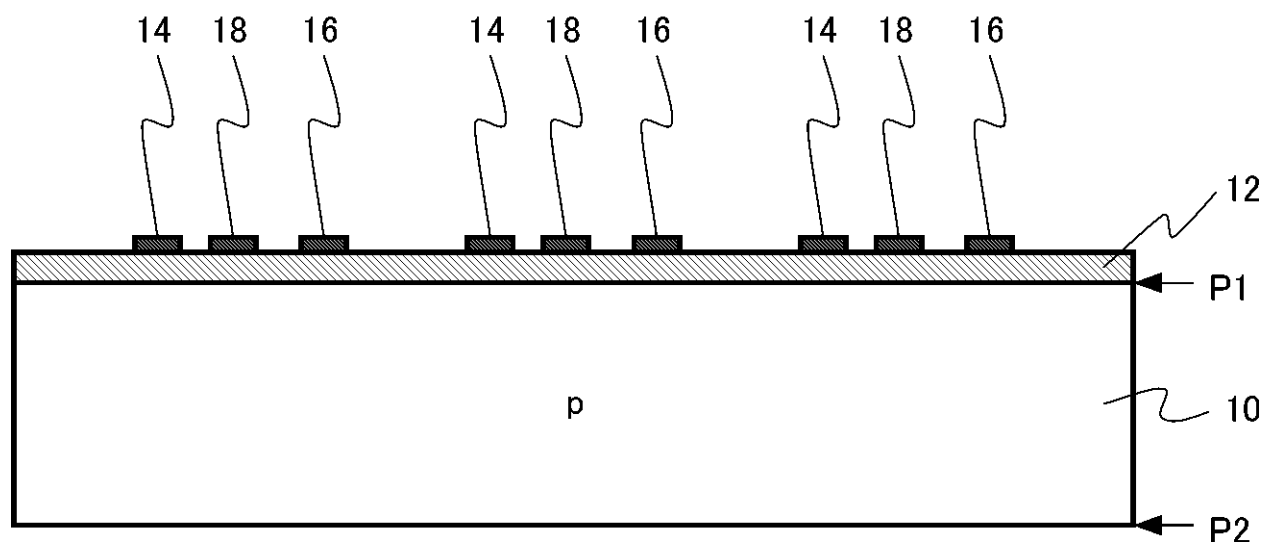
(b)



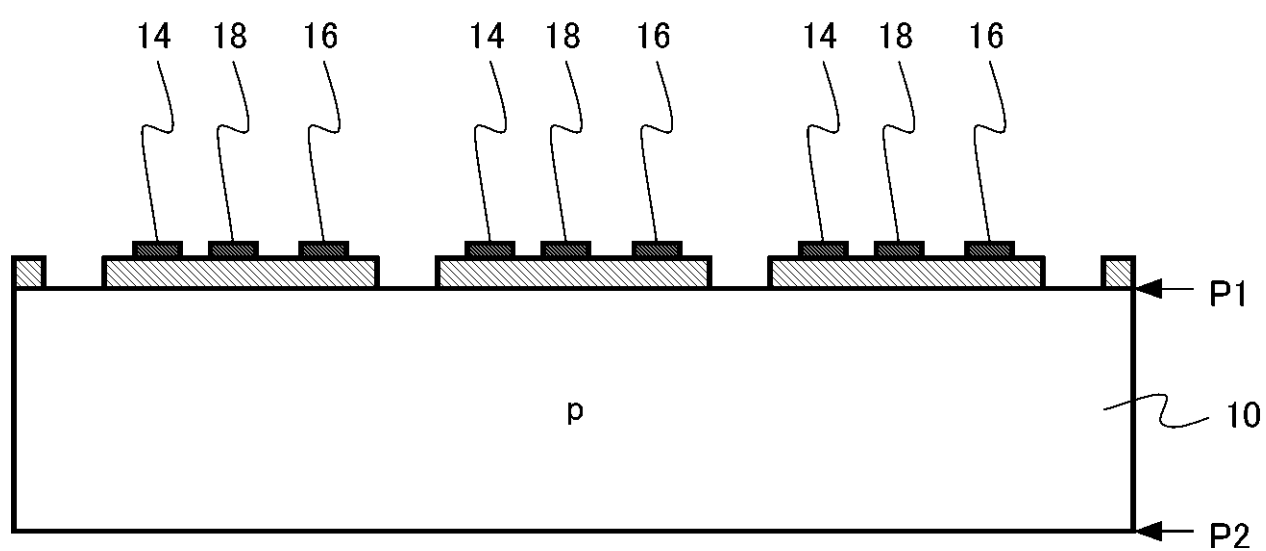
【図2】



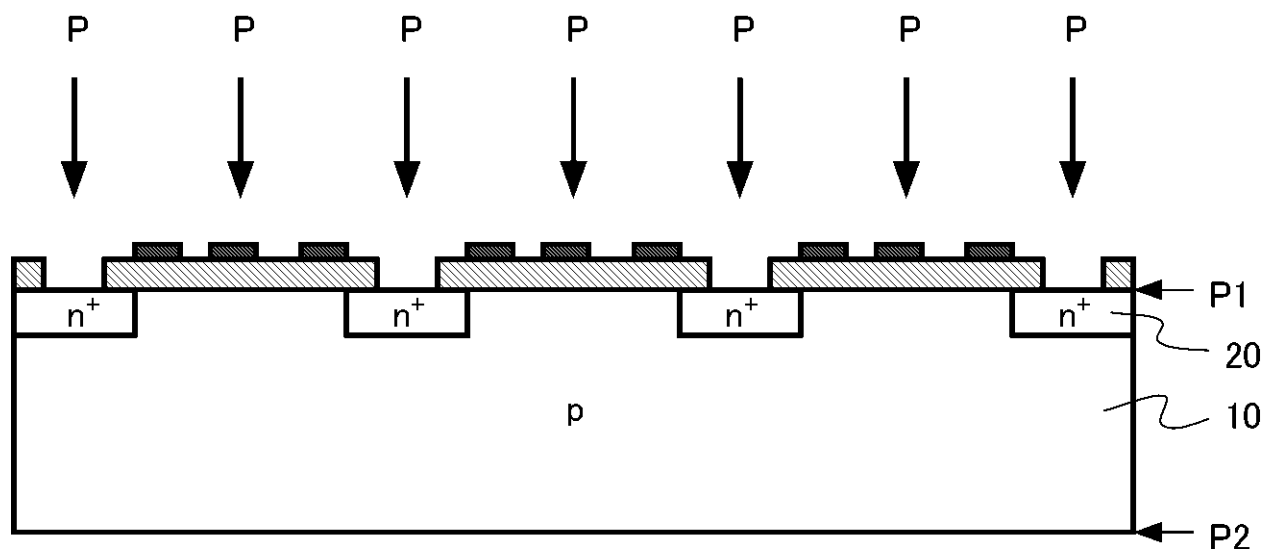
【図3】



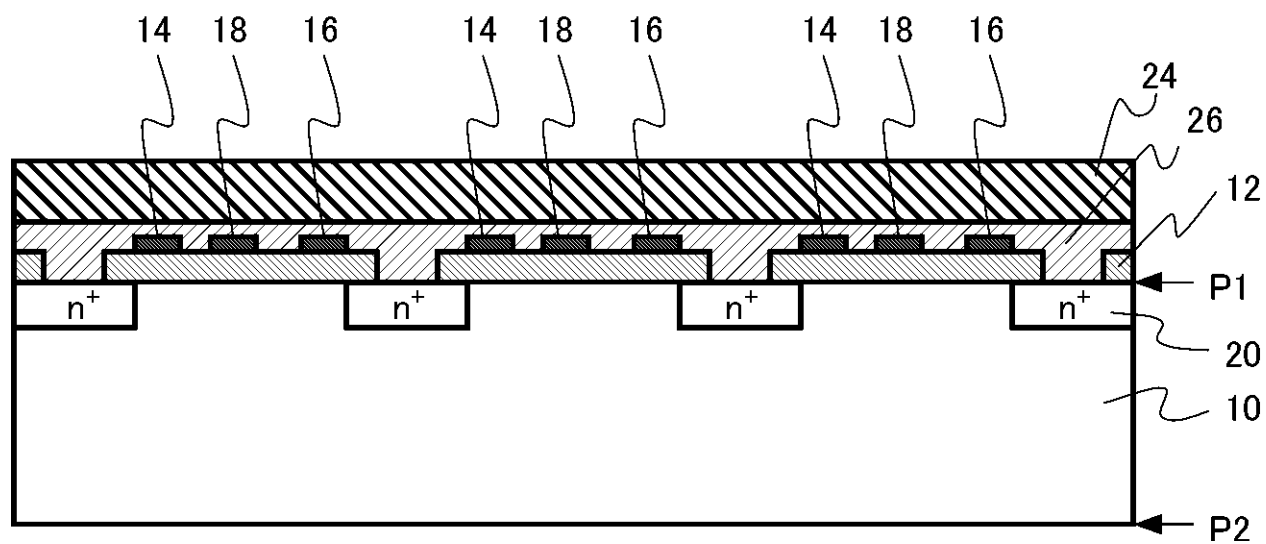
【図4】



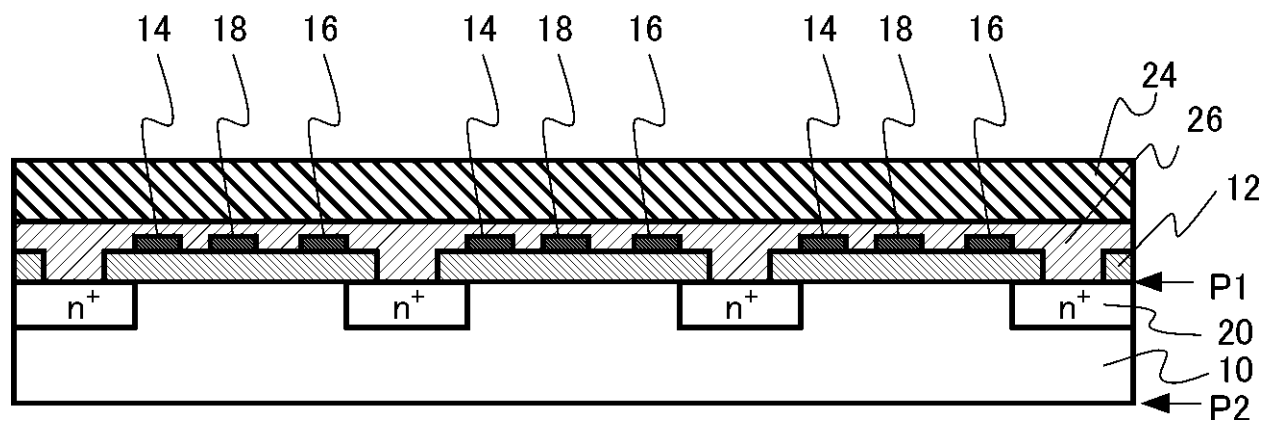
【図 5】



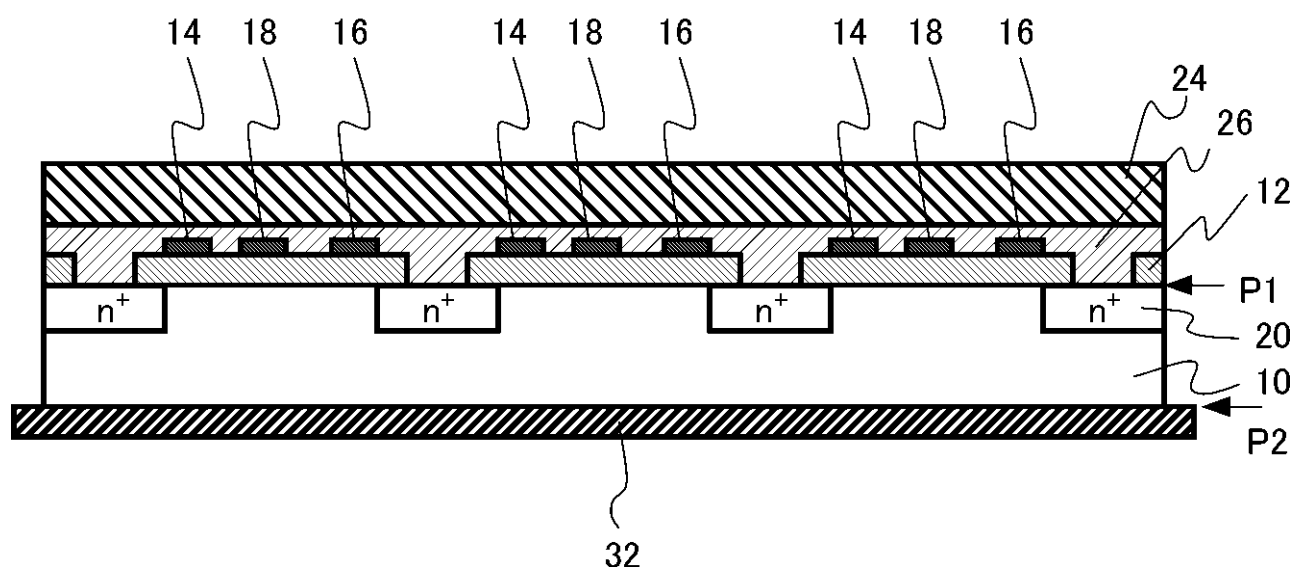
【図 6】



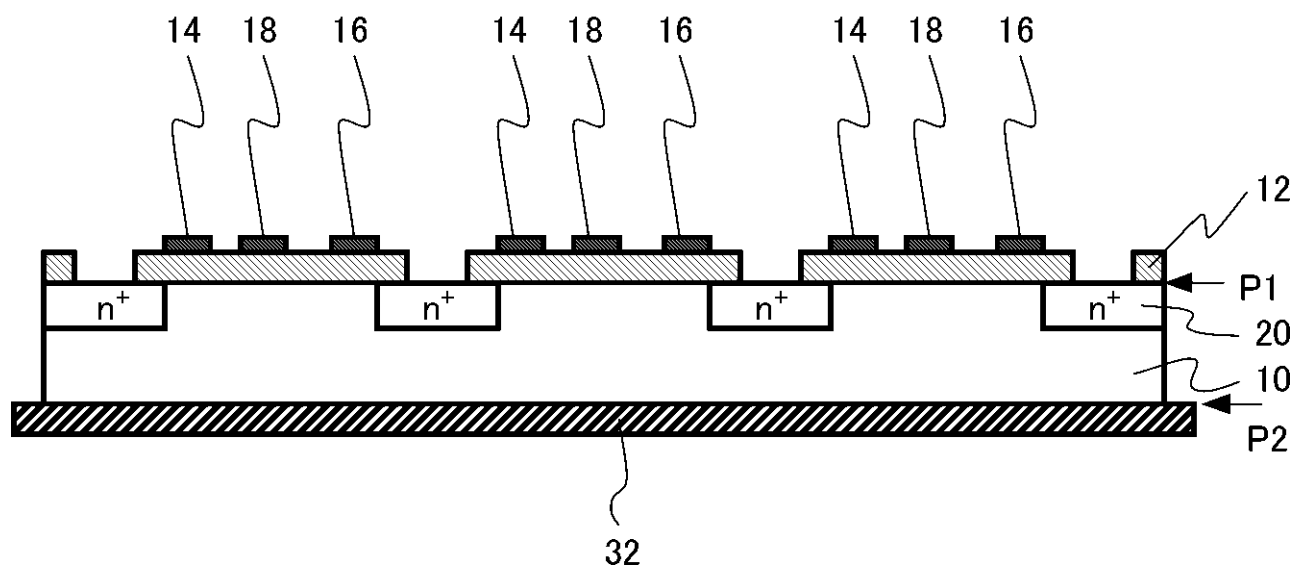
【図 7】



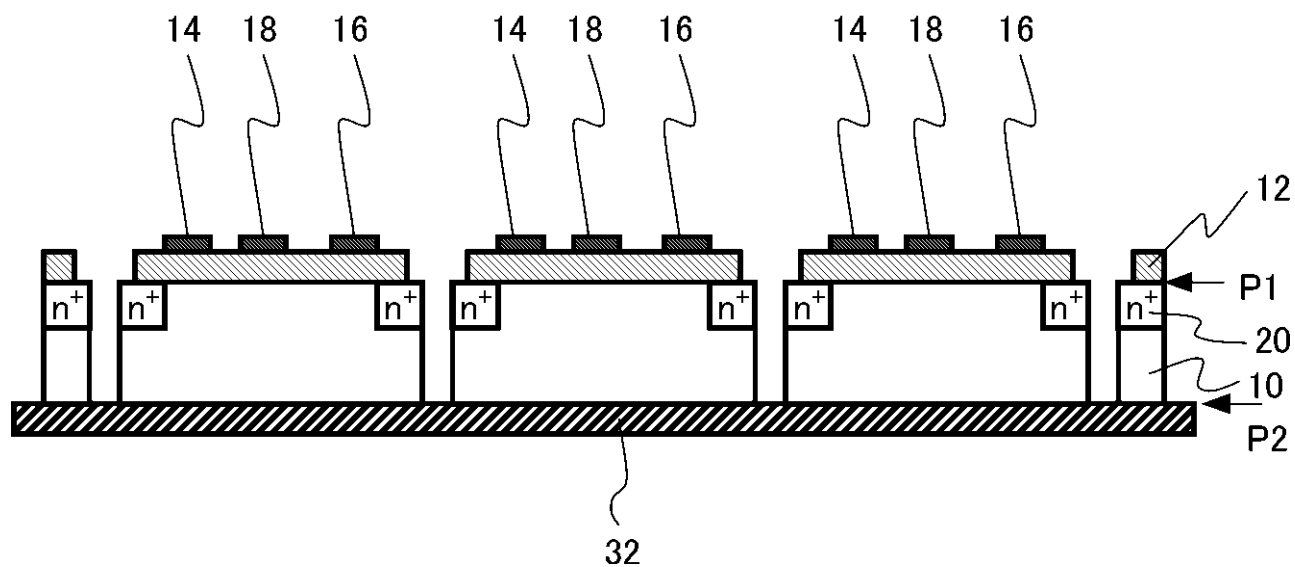
【図8】



【図9】

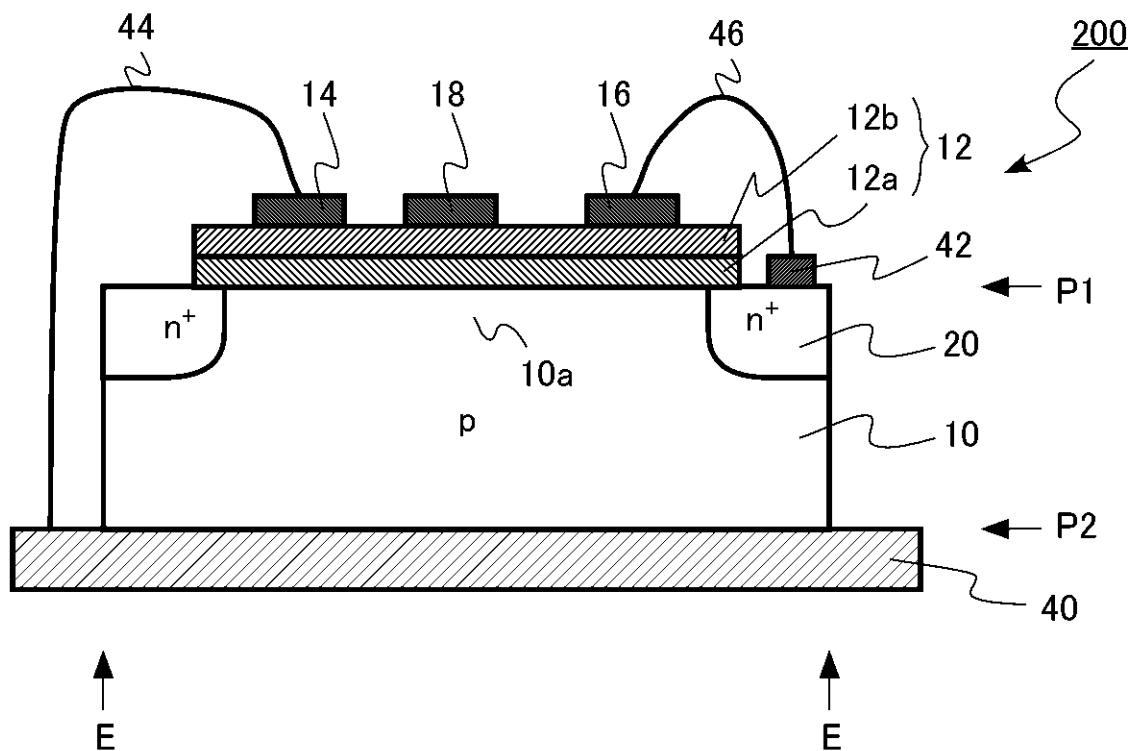


【図10】



【図 1 1】

(a)



(b)

