

【書類名】明細書

【発明の名称】半導体装置及びDC-DCコンバータ

【技術分野】

【0001】

本発明の実施形態は、半導体装置及びDC-DCコンバータに関する。

【背景技術】

【0002】

近年、絶縁型交流直流変換電源装置（以下、絶縁型AC-DCコンバータと称す）及び絶縁型直流直流変換電源装置（以下、絶縁型DC-DCコンバータと称す）において、スイッチング周波数を高めることにより、装置の小型化が進められている。一方で、装置の小型化のためには、電力変換ロスにより生じる発熱を抑えることが必要であり、従来90%程とされていた電力変換効率を95%以上に高める必要がある。しかし、一般に、スイッチング電源では、スイッチング周波数を上げるとスイッチングロスが増えるため、装置の小型化は容易ではない。

【0003】

そこで、電流共振制御方式を導入することにより、ゼロボルトスイッチング（ZVS）を実現し、スイッチングロスを抑える技術が注目されている。電流共振制御方式では、出力電源電圧のフィードバック信号を受けて、スイッチング周波数を変調することにより、出力電源電圧を一定に保持している。その概要は、絶縁トランスの一次側の洩れインダクタンスと直列に接続された容量により構成された共振回路の共振状態を、スイッチング周波数を変調することにより制御し、電圧変換係数を変更して、絶縁トランスの二次側の出力電圧を制御するというものである。このとき、ハイ側スイッチング素子とロー側スイッチング素子を共に非導通状態に保つ期間（これをデッドタイムという）を設けることにより、共振電流の作用により、デッドタイムにおいてスイッチングノードの電位が自律的にハイ電位からロー電位へ、または、ロー電位からハイ電位へ変化する。この自律的な電位遷移が完了した後にハイ側又はロー側スイッチング素子を導通状態にすることにより、スイッチングロスを抑え、高効率化が可能となる。これをソフトスイッチングと呼ぶ。

【0004】

しかし、スイッチング素子を導通状態にするタイミングが遅れると、スイッチング素子に並列に接続されたダイオードが動作し、そのオン抵抗によるスイッチングロスが生じる。逆に、スイッチング素子を導通状態にするタイミングが速すぎると、ハードスイッチング動作となり、大きな一次ノイズが発生すると同時に、貫通電流が流れ大きなスイッチングロスが生じる。最悪の場合、スイッチングロスによる発熱によりスイッチング素子が破壊する可能性がある。つまり、デッドタイムを適切な長さに設定することは、電流共振制御方式のAC-DCコンバータ及びDC-DCコンバータでは重要な技術課題である。

【0005】

ところで、ソフトスイッチング動作によるスイッチングノードの自律的な電圧遷移の時間は、共振電流の大小によって変化する。例えば、一次電源（供給電源）の電圧の変化や二次電源（出力電源）の負荷電流の変化に伴い、出力電圧のフィードバック制御の影響により共振電流が変化するため、スイッチングノードの電圧遷移時間は時々刻々と変化する。

。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特許第5298679号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

実施形態は、変換効率を改善できる半導体装置及びDC-DCコンバータを提供する。

【課題を解決するための手段】

【0008】

実施形態によれば、半導体装置は、入力電圧が供給される第1入力ノードとスイッチングノードとの間に接続された第1スイッチ素子と、基準入力電圧が供給される第2入力ノードと前記スイッチングノードとの間に接続された第2スイッチ素子と、前記第1入力ノード又は前記第2入力ノードに一端が接続された容量と、前記スイッチングノードと前記容量の他端との間に接続された1次側コイル及び2次側コイルを有するトランスと、前記2次側コイルの電圧を整流及び平滑して出力電圧を生成する整流平滑回路と、を備えるDC-DCコンバータを制御する。前記半導体装置は、駆動回路と、計測回路と、デッドタイム遅延回路と、を備える。前記計測回路は、前記スイッチングノードの電圧遷移時間を計測する。前記デッドタイム遅延回路は、前記電圧遷移時間に応じたデッドタイムを含んだ第1タイミング信号と、前記デッドタイムを含んだ第2タイミング信号を生成する。前記駆動回路は、前記第1タイミング信号に基づいて前記第1スイッチ素子を駆動する第1駆動信号と、前記第2タイミング信号に基づいて前記第2スイッチ素子を駆動する第2駆動信号を生成する。

【図面の簡単な説明】

【0009】

- 【図1】 第1の実施形態に係る絶縁型AC-DCコンバータのブロック図である。
- 【図2】 図1の絶縁型AC-DCコンバータの各信号の波形図である。
- 【図3】 第2の実施形態に係る絶縁型AC-DCコンバータのブロック図である。
- 【図4】 図3の絶縁型AC-DCコンバータの各信号の波形図である。
- 【図5】 第3の実施形態に係る絶縁型AC-DCコンバータのブロック図である。
- 【図6】 第4の実施形態に係るスイッチングノード遷移時間計測回路の回路図である。

。

- 【図7】 図6のスイッチングノード遷移時間計測器の各信号の波形図である。
- 【図8】 第5の実施形態に係るデッドタイム遅延回路の回路図である。
- 【図9】 図8のデッドタイム遅延回路の各信号の波形図である。
- 【図10】 立ち上がり及び立ち下がりデッドタイム設定電圧VDTR, VDTFと、立ち上がり及び立ち下がりデッドタイムtDTR, tDTFとの関係を示すグラフである。
- 【図11】 デッドタイムの設定方法を示すフローチャートである。
- 【図12】 クロック信号CLKと、ハイ側タイミング信号HGpと、ロー側タイミング信号LGpと、スイッチングノードの電圧SNとを示す波形図である。

【発明を実施するための形態】

【0010】

以下に、図面を参照して本発明の実施形態について説明する。これらの実施形態は、本発明を限定するものではない。

【0011】

(第1の実施形態)

図1は、第1の実施形態に係る絶縁型AC-DCコンバータのブロック図である。絶縁型AC-DCコンバータは、整流回路3と、入力容量17と、絶縁型DC-DCコンバータ100と、を備える。絶縁型DC-DCコンバータ100は、ロー側スイッチングトランジスタ(第2スイッチ素子)5と、ハイ側スイッチングトランジスタ(第1スイッチ素子)6と、共振容量8と、絶縁トランス10と、ダイオード(第1整流素子)12Aと、ダイオード(第2整流素子)12Bと、出力容量13と、フィードバック回路15と、制御回路16と、を備える。

【0012】

整流回路3は、ダイオードブリッジで構成され、交流入力電源1から供給された交流電圧VACを整流し、入力電圧VINを生成する。入力容量17は、入力電圧VINを平滑する。

【0013】

入力電圧 $V_{IN}$ は、第1入力ノード2Bに供給される。基準入力電圧（接地電圧）は、第2入力ノード2Aに供給される。

【0014】

ロー側スイッチングトランジスタ5は、第2入力ノード2Aとスイッチングノード4との間に接続されている。

【0015】

ハイ側スイッチングトランジスタ6は、第1入力ノード2Bとスイッチングノード4との間に接続されている。

【0016】

共振容量8は、第2入力ノード2Aに一端が接続され、共振ノード7に他端が接続されている。共振容量8の一端は、第2入力ノード2Aに代えて、第1入力ノード2Bに接続されてもよい。また、共振容量8に加えて、第1入力ノード2Bに一端が接続され、共振ノード7に他端が接続された追加の共振容量が設けられていてもよい。

【0017】

絶縁トランス10は、1次側コイル10A及び2次側コイル10Bを有する。1次側コイル10Aは、スイッチングノード4と共振ノード7（共振容量8の他端）との間に接続されている。

【0018】

ダイオード12Aは、2次側コイル10Bの一端に接続されたアノードと、第1出力ノード11Bに接続されたカソードと、を有する

ダイオード12Bは、2次側コイル10Bの他端に接続されたアノードと、第1出力ノード11Bに接続されたカソードと、を有する。

【0019】

第2出力ノード11Aは、2次側コイル10Bの midpoint に接続されている。出力容量13は、第1出力ノード11Bと第2出力ノード11Aとの間に接続されている。出力電圧 $V_{OUT}$ は、第1出力ノード11Bと第2出力ノード11Aとの間の電圧である。

【0020】

ダイオード12A、12B及び出力容量13は、2次側コイル10Bの電圧を全波整流及び平滑して出力電圧 $V_{OUT}$ を生成する整流平滑回路70として機能する。

【0021】

フィードバック回路15は、出力電圧 $V_{OUT}$ に応じたフィードバック信号FBを生成する。フィードバック回路15は、出力電圧 $V_{OUT}$ が供給される端子と、フィードバック信号FBを出力する端子との間が絶縁されている。

【0022】

制御回路16は、ハイ側スイッチングトランジスタ6のゲート端子を駆動するハイ側ゲート信号（第1駆動信号）HGと、ロー側スイッチングトランジスタ5のゲート端子を駆動するロー側ゲート信号（第2駆動信号）LGと、を生成する。制御回路16は、フィードバック信号FBに応じてハイ側ゲート信号HGとロー側ゲート信号LGの周波数を制御することにより、出力電圧 $V_{OUT}$ を一定の設定電圧に保つ。また、制御回路16は、スイッチングノード4の電圧遷移時間を計測して、その電圧遷移時間に応じたデッドタイムをハイ側ゲート信号HGとロー側ゲート信号LGとの間に設定する。制御回路16は、半導体集積回路（半導体装置）として構成されてもよい。

【0023】

図2は、図1の絶縁型AC-DCコンバータの各信号の波形図である。

【0024】

交流電圧 $V_{AC}$ は、例えば、実効電圧100V、周波数50Hzの交流電圧である。交流電圧 $V_{AC}$ が整流された入力電圧 $V_{IN}$ の電荷は、入力容量17に蓄えられる。これにより、入力電圧 $V_{IN}$ は、周波数100Hzで脈動するピーク値が約140Vの平滑された波形となる。

【0025】

ロー側スイッチングトランジスタ5とハイ側スイッチングトランジスタ6は、例えば、数百KHzから数MHzの周波数で導通状態と非導通状態とを交互に繰り返す。これにより、スイッチングノード4の電圧SNは概ね矩形波となる。電圧SNの波形図は、入力電圧VINの波形図の時刻T1からT2の間で時間軸を拡大したものである。

#### 【0026】

スイッチングノード4の矩形波の電圧SNを受けて、絶縁トランス10の1次側コイル10Aには、図2示されるような三角波の電流IL1が流れる。この三角波の電流IL1を受けて、共振ノード7の電圧LCは、図2に示されるような連続した2次曲線の波形となる。共振ノード7の電圧LCの周期はスイッチングノード4の電圧SNの周期と等しく、その位相は180度回転している。また、電圧LCの振幅は、共振現象によるため、スイッチング周期に強く依存して変動する。絶縁トランス10の1次側コイル10Aに印加されるスイッチング波形の電圧振幅VLCは、入力電圧VINと、共振ノード7の電圧LCの絶対値|LC|との和の半分の電圧となり、それはスイッチング周期を変更することにより制御することが出来る。

#### 【0027】

ここで、絶縁トランス10の2次側コイル10Bとダイオード12A、12Bは、全波整流器を構成している。前述の絶縁トランス10の1次側コイル10Aに印加されるスイッチング波形の電圧振幅VLCと出力電圧VOUTとの比は、絶縁トランス10の1次側コイル10Aの巻き線数と2次側コイル10Bの巻き線数との比と等しくなる。この性質を利用して、フィードバック回路15により出力電圧VOUTを観察してフィードバック信号FBを生成し、フィードバック信号FBを制御回路16に返して、ロー側ゲート信号LGおよびハイ側ゲート信号HGの周波数（スイッチング周波数）を制御することにより、出力電圧VOUTを一定に保つことができる。

#### 【0028】

さらに詳しくスイッチングノード4の電圧SNの波形を観察すると、図2の時刻t1からt6の間で時間軸を拡大した波形図に示されるように、電圧SNは、立ち上がり波形および立ち下がり波形が斜めの台形波となっている。

#### 【0029】

時刻t2においてロー側ゲート信号LGがハイ状態からロー状態に遷移すると、ロー側スイッチングトランジスタ5は導通状態から非導通状態に遷移する。この時、ハイ側ゲート信号HGはロー状態であるから、ハイ側スイッチングトランジスタ6も非導通状態である。それに関わらず、時刻t2の後、スイッチングノード4の電圧SNは上昇する。この理由は、図2に示されるように、この時の絶縁トランス10の1次側コイル10Aの電流IL1が負であるため、この電流IL1によりスイッチングノード4が充電されるためである。やがて、時刻t2から電圧遷移時間slew1後の時刻t3において、スイッチングノード4の電圧SNは、第1入力ノード2Bの入力電圧VINに達する。このタイミングで、ハイ側ゲート信号HGをロー状態からハイ状態に変化させ、ハイ側スイッチングトランジスタ6を導通状態にする。この動作により、スイッチングロスを最小に抑えることが可能となり、変換効率を高めることが出来る。このような動作を実現するため、スイッチングノード4の電圧遷移時間slew1を計測して、次にハイ側ゲート信号HGをロー状態にしてからロー側ゲート信号LGをハイ状態にするまでの時間、つまり、デッドタイムDT2として設定する。

#### 【0030】

同様に、ハイ側ゲート信号HGがハイ状態からロー状態に遷移する場合（時刻t4）においても、ハイ側スイッチングトランジスタ6とロー側スイッチングトランジスタ5が共に非導通状態に保持される時間（デッドタイムDT2）を設けると、スイッチングノード4の電圧SNは自律的に下降する。これは、この時の絶縁トランス10の1次側コイル10Aの電流IL1が正であり、この電流IL1によりスイッチングノード4が放電されるためである。やがて、時刻t4から遷移時間slew2後の時刻t5において、スイッチングノード4の電圧SNは第2入力ノード2Aの基準入力電圧（0V）に達する。このタ

イミングで、ロー側ゲート信号LGをロー状態からハイ状態に変化させ、ロー側スイッチングトランジスタ5を導通状態にする。この動作により、スイッチングロスを最小に抑えることが可能となり、変換効率を高めることが出来る。このような動作を実現するため、スイッチングノード4の電圧遷移時間  $slew_2$  を計測して、次にロー側ゲート信号LGをロー状態にしてから、ハイ側ゲート信号HGをハイ状態にするまでの時間、つまり、デッドタイムDT3として設定する。

#### 【0031】

このような動作が繰り返し行われ、電圧遷移時間  $slew[n]$  ( $n$ は正の整数) に応じて次のデッドタイムDT  $[n+1]$  が逐次調整される。従って、スイッチングノード4の電圧遷移時間  $slew[n]$  の変化にデッドタイムDT  $[n+1]$  を追従させることができる。

#### 【0032】

即ち、制御回路16は、スイッチングノード4の電圧SNが高電圧(入力電圧VIN)から低電圧(基準入力電圧)に遷移する電圧遷移時間  $slew[n]$  ( $n$ は、2, 4, 6, ...) を、ロー側ゲート信号LGが活性状態(ハイ状態)から非活性状態(ロー状態)に遷移した時から、ハイ側ゲート信号HGが非活性状態から活性状態に遷移するまでのデッドタイムDT  $[n+1]$  として設定する。

#### 【0033】

また、制御回路16は、スイッチングノード4の電圧SNが低電圧から高電圧に遷移する電圧遷移時間  $slew[n]$  ( $n$ は、1, 3, 5, ...) を、ハイ側ゲート信号HGが活性状態から非活性状態に遷移した時から、ロー側ゲート信号LGが非活性状態から活性状態に遷移するまでのデッドタイムDT  $[n+1]$  として設定する。

#### 【0034】

以上で説明した第1の実施形態によれば、スイッチングノード4の電圧遷移時間  $slew[n]$  に応じたデッドタイムDT  $[n+1]$  をハイ側ゲート信号HGとロー側ゲート信号LGとの間に設定するので、動作条件の変化などによって電圧遷移時間  $slew[n]$  が変化しても、適切なタイミングでハイ側スイッチングトランジスタ6又はロー側スイッチングトランジスタ5を導通状態にすることができる。そのため、動作条件の変化などによらず、ソフトスイッチングを行うことができる。従って、変換効率を改善でき、高効率の絶縁型AC-DCコンバータ及び絶縁型DC-DCコンバータ100を提供することができる。

#### 【0035】

なお、デッドタイムDT  $[n+1]$  は、電圧遷移時間  $slew[n]$  に応じた時間であればよく、電圧遷移時間  $slew[n]$  と等しくなくてもよい。例えば、デッドタイムDT  $[n+1]$  は、電圧遷移時間  $slew[n]$  に所定時間を加算した時間でもよく、電圧遷移時間  $slew[n]$  から所定時間を減算した時間でもよい。但し、この所定時間が短い程、より変換効率を改善できる。

#### 【0036】

(第2の実施形態)

第2の実施形態では、全波整流に代えて半波整流を行う。

#### 【0037】

図3は、第2の実施形態に係る絶縁型AC-DCコンバータのブロック図である。図3では、図1と共通する構成部分には同一の符号を付しており、以下では相違点を中心に説明する。

#### 【0038】

第2の実施形態では、ダイオード12Bが設けられておらず、ダイオード12Aと2次側コイル10Bが半波整流器を構成している点において、第1の実施形態と異なる。即ち、ダイオード12Aは、2次側コイル10Bの一端に接続されたアノードと、第1出力ノード11Bに接続されたカソードと、を有する。第2出力ノード11Aは、2次側コイル10Bの他端に接続されている。ダイオード12A及び出力容量13は、2次側コイル1

0 Bの電圧を半波整流及び平滑して出力電圧VOUTを生成する整流平滑回路70として機能する。

#### 【0039】

この構成の利点は、2次側コイル10Bの midpoint が不要となり、絶縁トランス10の構成が簡略化されるため、装置を小型化できること、及び、製造コストを削減できることにあ

#### 【0040】

また、非対称制御を導入することにより、制御性を高めることができるという利点もある。ここで、非対称制御とは、ハイ側スイッチングトランジスタ6のオン時間とロー側スイッチングトランジスタ5のオン時間との比（スイッチングデューティ）を変更することにより、出力電圧VOUTを制御する手法である。第1の実施形態で説明したように、通常、共振制御方式では、ハイ側スイッチングトランジスタ6のオン時間とロー側スイッチングトランジスタ5のオン時間とを等しくして、それらのスイッチング周波数を変更することにより、出力電圧VOUTを制御する（周波数制御）。これに対し、第2の実施形態では、半波整流器を用いることにより、周波数制御と非対称制御の両方を用いることが可能となり、出力電圧VOUTの制御可能範囲を広げることが出来る。

#### 【0041】

しかし、一方で、半波整流器を用いることにより、図4に示すように、スイッチングノード4の電圧SNの立ち上がり波形と立ち下がり波形とが非対称になる。即ち、電圧SNの立ち上がり電圧遷移時間  $slewR1$ ,  $slewR2$  と立ち下がり電圧遷移時間  $slewF1$ ,  $slewF2$  とが異なる。この時間差は、負荷電流が増大した場合、又は、スイッチングデューティを大きくした場合に大きくなる。さらに、半波整流器が流す電流の影響により、絶縁トランス10の1次側コイル10Aに流れる電流IL1の立ち上がり波形と立ち下がり波形とが非対称になる。

#### 【0042】

そこで、本実施形態では、ロー側ゲート信号LGを非活性状態に遷移させてからハイ側ゲート信号HGを活性状態に遷移させるまでの立ち上がりデッドタイムDTR[n]と、ハイ側ゲート信号HGを非活性状態に遷移させてからロー側ゲート信号LGを活性状態に遷移させるまでの立ち下がりデッドタイムDTF[n]とを個別に制御している。

#### 【0043】

具体的には、制御回路16は、スイッチングノード4の電圧SNが低電圧から高電圧に遷移する立ち上がり電圧遷移時間  $slewR[n]$ （nは正の整数）を、次にロー側ゲート信号LGが活性状態から非活性状態に遷移した時から、ハイ側ゲート信号HGが非活性状態から活性状態に遷移するまでの立ち上がりデッドタイムDTR[n+1]として設定する。

#### 【0044】

また、制御回路16は、スイッチングノード4の電圧SNが高電圧から低電圧に遷移する立ち下がり電圧遷移時間  $slewF[n]$ を、ハイ側ゲート信号HGが活性状態から非活性状態に遷移した時から、ロー側ゲート信号LGが非活性状態から活性状態に遷移するまでの立ち下がりデッドタイムDTF[n+1]として設定する。

#### 【0045】

これにより、動作条件の変化などによって立ち上がり電圧遷移時間  $slewR[n]$  及び立ち下がり電圧遷移時間  $slewF[n]$  が独立に変化しても、適切なタイミングでハイ側スイッチングトランジスタ6又はロー側スイッチングトランジスタ5を導通状態にすることができる。そのため、動作条件の変化などによらず、ソフトスイッチングを行うことができる。

#### 【0046】

従って、第2の実施形態によれば、安価で使用条件の許容範囲が広く、高効率の絶縁型AC-DCコンバータ及び絶縁型DC-DCコンバータ100を提供することができる。

#### 【0047】

なお、第1の実施形態と同様に、立ち上がりデッドタイムDTR[n]は、立ち上がり電圧遷移時間slewR[n]に応じた時間であればよく、立ち上がり電圧遷移時間slewR[n]と等しくなくてもよい。立ち下がりデッドタイムDTF[n]と立ち下がり電圧遷移時間slewF[n]との関係も同様である。

#### 【0048】

(第3の実施形態)

第3の実施形態は、第2の実施形態の制御回路16の具体的な構成に関する。

#### 【0049】

図5は、第3の実施形態に係る絶縁型AC-DCコンバータのブロック図である。図5では、図3と共通する構成部分には同一の符号を付しており、以下では相違点を中心に説明する。

#### 【0050】

フィードバック回路15は、出力電圧VOUTを受け、出力電圧VOUTが設定電圧より高い場合に低電圧となり、出力電圧VOUTが設定電圧より低い場合に高電圧になるフィードバック信号FB（即ちネガティブフィードバック信号）を出力する。

#### 【0051】

制御回路16は、クロック信号制御回路18と、電圧制御発振器（クロック生成回路）20と、スイッチングノード遷移時間計測回路（計測回路）22（STD: Switching Time Detector）と、デッドタイム遅延回路23（DTD: Dead Time Delay）と、駆動回路24（OCD: Off-Chip Driver）と、を備える。

#### 【0052】

フィードバック信号FBは、クロック信号制御回路18に供給される。クロック信号制御回路18は、フィードバック信号FBに基づいて、スイッチング周波数指示信号VSF及びスイッチングデューティ指示信号VSDを生成する。

#### 【0053】

スイッチング周波数指示信号VSFの電圧は、例えば、フィードバック信号FBが4Vより高いときに1Vになり、フィードバック信号FBが2.5Vより低いときに2.5Vになり、フィードバック信号FBが2.5Vから4Vの間のときに「 $5V - V_{FB}$ 」で表される電圧となるように変換される。 $V_{FB}$ は、フィードバック信号FBの電圧を表す。

#### 【0054】

スイッチングデューティ指示信号VSDの電圧は、例えば、フィードバック信号FBが1Vより低いときに4Vになり、フィードバック信号FBが2.5Vより高いときに2.5Vになり、フィードバック信号FBが1Vから2.5Vの間のときに「 $5V - V_{FB}$ 」で表される電圧となるように変換される。

#### 【0055】

電圧制御発振器20は、スイッチング周波数指示信号VSFとスイッチングデューティ指示信号VSDに従って、周波数とデューティ比とが変調された矩形波のクロック信号CLKを生成する。電圧制御発振器20の内部では、例えば1Vと4Vとの間で変化する三角波が生成されている。三角波の傾きはスイッチング周波数指示信号VSFの電圧により制御され、これにより三角波の周波数が変調される。この三角波の電圧とスイッチングデューティ指示信号VSDの電圧とを比較して、三角波の電圧が低い時にローレベルとなり、三角波の電圧が高い時にハイレベルとなる矩形のクロック信号CLKを出力する。クロック信号CLKの周波数は、例えば、スイッチング周波数指示信号VSFが1Vのときに1MHzとなり、スイッチング周波数指示信号VSFが2.5Vのときに2.5MHzとなる。また、クロック信号CLKのデューティ比は、例えば、スイッチングデューティ指示信号VSDが2.5Vのときに50%となり、スイッチングデューティ指示信号VSDが4Vのときに100%となる。

#### 【0056】

また、第2の実施形態で説明したように、制御回路16は、スイッチングノード4の電圧SNの遷移を観察して、デッドタイムを最適化する機能を有する。

**【0057】**

ところが、スイッチングノード4の電圧 $S_N$ は、交流電圧 $V_{AC}$ を整流回路3で整流して得られる入力電圧 $V_{IN}$ と同じ電圧、つまり、交流電圧 $V_{AC}$ の振幅に応じた100V程度から400V程度の高電圧となるため、その電圧遷移をそのまま観察することは困難である。そこで、分圧器21Bにより、スイッチングノード4の電圧 $S_N$ を100分の1程度に分圧して、1V程度から4V程度に降圧した分圧スイッチングノード電圧 $S_{Nx}$ を制御回路16に入力する。同様に、入力電圧 $V_{IN}$ を同じ分圧比の分圧器21Aで分圧して、得られた分圧入力電圧 $V_{INx}$ を制御回路16に入力する。

**【0058】**

スイッチングノード遷移時間計測回路22は、分圧入力電圧 $V_{INx}$ をさらに分圧して、分圧入力電圧 $V_{INx}$ の $1/3$ の電圧である第1電圧( $V_{INx}/3$ )と、分圧入力電圧 $V_{INx}$ の $2/3$ の電圧である第2電圧( $2V_{INx}/3$ )とを生成する。

**【0059】**

スイッチングノード遷移時間計測回路22は、これら第1電圧( $V_{INx}/3$ )及び第2電圧( $2V_{INx}/3$ )と、分圧スイッチングノード電圧 $S_{Nx}$ とを比較することにより、分圧スイッチングノード電圧 $S_{Nx}$ が、第1電圧( $V_{INx}/3$ )と第2電圧( $2V_{INx}/3$ )との間を遷移する第1時間を計測する。従って、第1時間の3倍が、スイッチングノード4の電圧遷移時間である。このようにして、スイッチングノード遷移時間計測回路22は、スイッチングノード4の電圧遷移時間を計測する。

**【0060】**

具体的には、スイッチングノード遷移時間計測回路22は、分圧スイッチングノード電圧 $S_{Nx}$ が第1電圧( $V_{INx}/3$ )から第2電圧( $2V_{INx}/3$ )まで増加する第1時間を計測し、その第1時間に比例した立ち上がりデッドタイム設定電圧(第1デッドタイム設定電圧) $VDTR$ を生成する。同様に、スイッチングノード遷移時間計測回路22は、分圧スイッチングノード電圧 $S_{Nx}$ が第2電圧( $2V_{INx}/3$ )から第1電圧( $V_{INx}/3$ )まで減少する第1時間に比例した立ち下がりデッドタイム設定電圧(第2デッドタイム設定電圧) $VDTF$ を生成する。

**【0061】**

デッドタイム遅延回路23は、電圧制御発振器20により生成されたクロック信号 $CLK$ に同期して、ハイ側タイミング信号 $HGp$ 及びロー側タイミング信号 $LGp$ を生成する。

**【0062】**

このとき、デッドタイム遅延回路23は、立ち上がりデッドタイム設定電圧 $VDTR$ 及び立ち下がりデッドタイム設定電圧 $VDTF$ に基づいて、第1時間の3倍の時間をスイッチングノード4の電圧遷移時間として、この電圧遷移時間に応じたデッドタイムをハイ側タイミング信号 $HGp$ とロー側タイミング信号 $LGp$ との間(即ち、ハイ側ゲート信号 $HG$ とロー側ゲート信号 $LG$ との間)に設定する。

**【0063】**

具体的には、デッドタイム遅延回路23は、立ち上がりデッドタイム設定電圧 $VDTR$ に比例した遅延時間を、クロック信号 $CLK$ の立ち上がりエッジからハイ側タイミング信号 $HGp$ の立ち上がりエッジまでの間に設ける。この際、ロー側タイミング信号 $LGp$ の立ち下がりエッジはクロック信号 $CLK$ の立ち上がりエッジとほぼ同時であるため、この遅延時間が立ち上がりデッドタイムとなる。

**【0064】**

同様に、デッドタイム遅延回路23は、立ち下がりデッドタイム設定電圧 $VDTF$ に比例した遅延時間を、クロック信号 $CLK$ の立ち下がりエッジからロー側タイミング信号 $LGp$ の立ち上がりエッジまでの間に設ける。この際、ハイ側タイミング信号 $HGp$ の立ち下がりエッジはクロック信号 $CLK$ の立ち下がりエッジとほぼ同時であるため、この遅延時間が立ち下がりデッドタイムとなる。

**【0065】**



駆動回路24は、ロー側タイミング信号LGpに同期したロー側ゲート信号LGを生成し、ハイ側タイミング信号HGpに同期したハイ側ゲート信号HGを生成する。ハイ側ゲート信号HGとロー側ゲート信号LGとの間のデッドタイムは、ハイ側タイミング信号HGpとロー側タイミング信号LGpとの間のデッドタイムと等しい。駆動回路24は、ハイ側スイッチングトランジスタ6をハイ側ゲート信号HGで駆動し、ロー側スイッチングトランジスタ5をロー側ゲート信号LGで駆動する。

#### 【0066】

クロック信号制御回路18は、出力電圧VOUTが予め定められた設定電圧に近づくように、クロック信号CLKの周波数とデューティ比を制御する。そして、制御回路16は、ロー側スイッチングトランジスタ5およびハイ側スイッチングトランジスタ6の導通状態と非導通状態との時間比率（スイッチングデューティ）と、スイッチング周波数とを変調することにより、出力電圧VOUTを一定の設定電圧に安定化する。

#### 【0067】

ところで、駆動回路24が駆動するロー側スイッチングトランジスタ5とハイ側スイッチングトランジスタ6は、高耐压で高電流駆動力を持つパワートランジスタである。したがって、駆動回路24には、相応の高い電流駆動能力が必要とされ、また、必要に応じて電圧シフト機能が必要となる。それに伴い、ロー側タイミング信号LGp又はハイ側タイミング信号HGpを受けてからロー側ゲート信号LG又はハイ側ゲート信号HGが変化を始めるまでの遅延時間が発生する。

#### 【0068】

ここで、比較例として、駆動回路の駆動力や遅延時間のバランスを敢えて崩すことによりデッドタイムを設けるという手法が考えられるが、本実施形態ではその必要はない。このような比較例では、入力される交流電圧VAC、入力電圧VINや環境温度などの使用条件が変化すると、デッドタイムが最適値から外れるという不具合が多く発生し、効率が低下する。

#### 【0069】

これに対して、本実施形態によれば、安定したデッドタイムを設定することができる。そのため、広い使用条件許容範囲の絶縁型AC-DCコンバータ及び絶縁型DC-DCコンバータ100を提供することができる。

#### 【0070】

なお、第1電圧及び第2電圧は、上記電圧に限らない。第1電圧は、分圧入力電圧VINxより低ければよく、第2電圧は、分圧入力電圧VINxより低く第1電圧より高ければよい。この場合、デッドタイム遅延回路23は、分圧入力電圧を第2電圧と第1電圧との差で除算した第1の値を、第1時間に乗算し、乗算結果を電圧遷移時間とすればよい。

#### 【0071】

また、クロック信号制御回路18は、クロック信号の周波数とデューティ比の少なくとも何れかを制御してもよい。

#### 【0072】

また、第1の実施形態の制御回路16についても、本実施形態と同様に構成できる。

#### 【0073】

(第4の実施形態)

第4の実施形態は、スイッチングノード遷移時間計測回路22の構成に関する。

#### 【0074】

図6は、第4の実施形態に係るスイッチングノード遷移時間計測回路22の回路図である。スイッチングノード遷移時間計測回路22は、スイッチングノード遷移時間計測器（比較回路）50と、スイッチングノード立ち上がり時間・電圧変換器（第1充電回路）51Rと、スイッチングノード立ち下がり時間・電圧変換器（第2充電回路）51Fと、最長デッドタイム設定定電流源回路52と、第1サンプルホールド回路53Rと、第2サンプルホールド回路53Fと、を備える。

#### 【0075】

スイッチングノード遷移時間計測器50は、分圧スイッチングノード電圧 $SN_x$ と第1電圧( $V_{IN_x}/3$ )とを比較し、分圧スイッチングノード電圧 $SN_x$ が第1電圧( $V_{IN_x}/3$ )より低いときにハイ状態となり、第1電圧( $V_{IN_x}/3$ )以上のときにロー状態となるタイミング信号 $SNL_p$ を生成する。

【0076】

また、スイッチングノード遷移時間計測器50は、分圧スイッチングノード電圧 $SN_x$ と第2電圧( $2V_{IN_x}/3$ )とを比較し、分圧スイッチングノード電圧 $SN_x$ が第2電圧( $2V_{IN_x}/3$ )以上のときにハイ状態となり、第2電圧( $2V_{IN_x}/3$ )より低いときにロー状態となるタイミング信号 $SNH_p$ を生成する。

【0077】

スイッチングノード遷移時間計測器50は、ボルテージフォロア30と、分圧器31と、比較器32と、比較器33と、を備える。

【0078】

ボルテージフォロア30には、分圧入力電圧 $V_{IN_x}$ が供給される。ボルテージフォロア30は、分圧入力電圧 $V_{IN_x}$ と同電位の出力電圧 $V_{IN_x}$ を出力する。

【0079】

分圧器31は、この出力電圧 $V_{IN_x}$ を分圧して、第1電圧( $V_{IN_x}/3$ )と第2電圧( $2V_{IN_x}/3$ )を生成する。分圧器31は、それぞれ値が等しい直列接続された3つの抵抗を有する。

【0080】

比較器32は、第1電圧( $V_{IN_x}/3$ )が供給される非反転入力端子と、分圧スイッチングノード電圧 $SN_x$ が供給される反転入力端子と、を有し、タイミング信号 $SNL_p$ を生成する。

【0081】

同様に、比較器33は、第2電圧( $2V_{IN_x}/3$ )が供給される反転入力端子と、分圧スイッチングノード電圧 $SN_x$ が供給される非反転入力端子と、を有し、タイミング信号 $SNH_p$ を生成する。

【0082】

スイッチングノード立ち上がり時間・電圧変換器51Rは、タイミング信号 $SNL_p$ がハイ状態からロー状態に遷移した瞬間から、タイミング信号 $SNH_p$ がロー状態からハイ状態に遷移した瞬間までの時間に比例した、スイッチングノード立ち上がり遷移時間計測電圧 $VDTRY_y$ を出力する。

【0083】

同様に、スイッチングノード立ち下がり時間・電圧変換器51Fは、タイミング信号 $SNH_p$ がハイ状態からロー状態に遷移した瞬間から、タイミング信号 $SNL_p$ がロー状態からハイ状態に遷移した瞬間までの時間に比例した、スイッチングノード立ち下がり遷移時間計測電圧 $VDTF_y_y$ を出力する。

【0084】

スイッチングノード立ち上がり時間・電圧変換器51Rは、PMOSトランジスタ(第2スイッチ)34Rと、NMOSトランジスタ(第1スイッチ)35Rと、NMOSトランジスタ36Rと、容量(第1容量)37Rと、を備える。

【0085】

PMOSトランジスタ34Rは、最長デッドタイム設定定電流源回路52から第1定電流 $I_1$ が供給されるソース(一端)と、容量37Rの一端に接続されるドレイン(他端)と、タイミング信号 $SNH_p$ が供給されるゲートと、を有している。PMOSトランジスタ34Rは、タイミング信号 $SNH_p$ がロー状態の場合(分圧スイッチングノード電圧 $SN_x$ が第2電圧未満の場合)に導通する。PMOSトランジスタ34Rは、タイミング信号 $SNH_p$ がハイ状態の場合(分圧スイッチングノード電圧 $SN_x$ が第2電圧以上の場合)に非導通になる。

【0086】

NMOSトランジスタ35Rは、容量37Rの両端子間に接続され、そのゲート端子にタイミング信号SNL<sub>p</sub>が供給されている。NMOSトランジスタ35Rは、タイミング信号SNL<sub>p</sub>がハイ状態の場合（分圧スイッチングノード電圧SN<sub>x</sub>が第1電圧未満の場合）に導通し、容量37Rを0Vにディスチャージする。NMOSトランジスタ35Rは、タイミング信号SNL<sub>p</sub>がロー状態の場合（分圧スイッチングノード電圧SN<sub>x</sub>が第1電圧以上の場合）に非導通になる。

【0087】

NMOSトランジスタ36Rは、PMOSトランジスタ34Rのソースに接続されたドレインと、接地されたソースと、タイミング信号SNH<sub>p</sub>が供給されるゲートと、を有している。

【0088】

容量37Rの一端の電圧がスイッチングノード立ち上がり遷移時間計測電圧VDTR<sub>y</sub>であり、容量37Rの他端は接地されている。

【0089】

スイッチングノード立ち上がり時間・電圧変換器51Rは、分圧スイッチングノード電圧SN<sub>x</sub>が第1電圧以上、第2電圧未満である期間、第1定電流I<sub>1</sub>により容量37Rを充電する。

【0090】

スイッチングノード立ち下がり時間・電圧変換器51Fは、PMOSトランジスタ（第4スイッチ）34Fと、NMOSトランジスタ（第3スイッチ）35Fと、NMOSトランジスタ36Fと、容量（第2容量）37Fと、を備える。

【0091】

PMOSトランジスタ34Fは、最長デッドタイム設定定電流源回路52から第2定電流I<sub>2</sub>が供給されるソース（一端）と、容量37Fの一端に接続されるドレイン（他端）と、タイミング信号SNL<sub>p</sub>が供給されるゲートと、を有している。PMOSトランジスタ34Fは、タイミング信号SNL<sub>p</sub>がロー状態の場合（分圧スイッチングノード電圧SN<sub>x</sub>が第1電圧以上の場合）に導通する。PMOSトランジスタ34Fは、タイミング信号SNL<sub>p</sub>がハイ状態の場合（分圧スイッチングノード電圧SN<sub>x</sub>が第1電圧未満の場合）に非導通になる。

【0092】

NMOSトランジスタ35Fは、容量37Fの両端子間に接続され、そのゲート端子にタイミング信号SNH<sub>p</sub>が供給されている。NMOSトランジスタ35Fは、タイミング信号SNH<sub>p</sub>がハイ状態の場合（分圧スイッチングノード電圧SN<sub>x</sub>が第2電圧以上の場合）に導通し、容量37Fを0Vにディスチャージする。NMOSトランジスタ35Fは、タイミング信号SNH<sub>p</sub>がロー状態の場合（分圧スイッチングノード電圧SN<sub>x</sub>が第2電圧未満の場合）に非導通になる。

【0093】

NMOSトランジスタ36Fは、PMOSトランジスタ34Fのソースに接続されたドレインと、接地されたソースと、タイミング信号SNL<sub>p</sub>が供給されるゲートと、を有している。

【0094】

容量37Fの一端の電圧がスイッチングノード立ち下がり遷移時間計測電圧VDTF<sub>y</sub>であり、容量37Fの他端は接地されている。

【0095】

スイッチングノード立ち下がり時間・電圧変換器51Fは、分圧スイッチングノード電圧SN<sub>x</sub>が第1電圧以上、第2電圧未満である期間、第2定電流I<sub>2</sub>により容量37Fを充電する。

【0096】

最長デッドタイム設定定電流源回路52は、最長デッドタイム設定抵抗39の抵抗値R<sub>DTL</sub>に比例する第1定電流I<sub>1</sub>及び第2定電流I<sub>2</sub>を出力する。第1定電流I<sub>1</sub>の値は

、第2定電流  $I_2$  の値と等しい。最長デッドタイム設定定電流源回路52は、定電流源38と、最長デッドタイム設定抵抗39と、差動増幅器40と、抵抗41と、PMOSトランジスタ42、43R、43Fと、を備える。

#### 【0097】

定電流源38は、 $10\mu A$ の定電流を最長デッドタイム設定抵抗39に流して最長デッドタイム設定電圧VDTLを生成する。最長デッドタイムについては、第5の実施形態で説明する。

#### 【0098】

差動増幅器40は、最長デッドタイム設定電圧VDTLと同じ大きさの電圧を抵抗41に印加する。そのときに抵抗41に流れる電流をPMOSトランジスタ42、43R、43Fで構成される電流ミラー回路により3倍に増幅して、第1定電流  $I_1$  及び第2定電流  $I_2$  とする。PMOSトランジスタ43Rは、第1定電流  $I_1$  を流す第1定電流源として機能する。PMOSトランジスタ43Fは、第2定電流  $I_2$  を流す第2定電流源として機能する。

#### 【0099】

例えば、最長デッドタイムを長めの  $100ns$  に設定するには最長デッドタイム設定抵抗39の抵抗値RDTLを  $40k\Omega$  とし(条件1)、短めの  $10ns$  に設定するには抵抗値RDTLを  $400k\Omega$  とする(条件2)。最長デッドタイム設定抵抗39に  $10\mu A$  の定電流を流すと、最長デッドタイム設定電圧VDTLは、条件1で  $400mV$  となり、条件2で  $4V$  となる。

#### 【0100】

この電圧VDTLを  $40k\Omega$  の抵抗41に印加したときに流れる電流は、条件1で  $10\mu A$  となり、条件2で  $100\mu A$  となる。この電流を電流ミラー回路(PMOSトランジスタ42、43R、43F)で3倍に増幅して、第1及び第2定電流  $I_1$ 、 $I_2$  を条件1で  $30\mu A$  に設定し、条件2で  $300\mu A$  に設定する。

#### 【0101】

各容量37R、37Fの大きさを  $1pF$  として、容量37R、37Fのそれぞれを、最長デッドタイムを  $100ns$  に設定したときの  $30\mu A$  の第1及び第2定電流  $I_1$ 、 $I_2$  で、最長デッドタイム  $100ns$  の3分の1の時間で充電すると、その電圧は  $1V$  になる。スイッチングノード4の電圧遷移時間がその半分の  $50ns$  ならば  $0.5V$  まで充電され、 $10\%$  の  $10ns$  ならば  $0.1V$  まで充電される。

#### 【0102】

同様に、 $1pF$  の容量37R、37Fを、それぞれ、最長デッドタイムを  $10ns$  に設定したときの  $300\mu A$  の第1及び第2定電流  $I_1$ 、 $I_2$  で、最長デッドタイム  $10ns$  の3分の1の時間で充電すると、その電圧は  $1V$  になる。スイッチングノード4の電圧遷移時間がその半分の  $5ns$  ならば  $0.5V$  まで充電され、 $10\%$  の  $1ns$  ならば  $0.1V$  まで充電される。このように、設定された最長デッドタイムに対するスイッチングノード4の電圧遷移時間の比率に応じた電圧が、容量37R、37Fに表れる。

#### 【0103】

第1サンプルホールド回路53Rは、分圧スイッチングノード電圧  $SN_x$  が第2電圧以上である場合、容量37Rに充電された電圧をサンプルし、分圧スイッチングノード電圧  $SN_x$  が第2電圧未満である場合、サンプルされた電圧をホールドし、サンプルされた電圧を立ち上がりデッドタイム設定電圧VDTRとして出力する。

#### 【0104】

第2サンプルホールド回路53Fは、分圧スイッチングノード電圧  $SN_x$  が第1電圧未満である場合、容量37Fに充電された電圧をサンプルし、分圧スイッチングノード電圧  $SN_x$  が第1電圧以上である場合、サンプルされた電圧をホールドし、サンプルされた電圧を立ち下がりデッドタイム設定電圧VDTFとして出力する。

#### 【0105】

第1サンプルホールド回路53Rは、トランスファークゲート44R、45R、46Rと

、出力差動増幅 4 8 R と、ホールド容量 4 7 R と、初期化定電流源 4 9 R と、を有する。

【0106】

第2サンプルホールド回路 5 3 F は、トランスファークゲート 4 4 F、4 5 F、4 6 F と、出力差動増幅 4 8 F と、ホールド容量 4 7 F と、初期化定電流源 4 9 F と、を有する。

【0107】

スイッチングノード遷移時間計測器 2 2 の内部動作を、図 7 を参照して説明する。図 7 は、図 6 のスイッチングノード遷移時間計測器 2 2 の各信号の波形図である。

【0108】

図 7 に示すように、分圧スイッチングノード電圧  $SN_x$  は、0 V から、ゆっくりした速度で分圧入力電圧  $V_{INx}$  にまで立ち上がる。その後、立ち上がり速度よりもやや速い速度で再び 0 V に立ち下がる。図 7 には、このように 0 V と分圧入力電圧  $V_{INx}$  との間で遷移する 3 回の台形波形が示されている。台形波形の立ち上がり速度と立ち下がり速度は、絶縁トランス 1 0 の 1 次側コイル 1 0 A に流れる共振電流の大きさの影響を受け、この例では、スイッチング回数が増える毎に速くなっている。

【0109】

図 7 には、更に、タイミング信号  $SNL_p$  と、タイミング信号  $SNH_p$  と、立ち上がりスイッチングノード遷移時間計測電圧  $VDTRY_y$  (破線) と、立ち上がりデッドタイム設定電圧  $VDTR$  (実線) と、立ち下がりスイッチングノード遷移時間計測電圧  $VDTF_y_y$  (破線) と、立ち下がりデッドタイム設定電圧  $VDTF$  (実線) と、が示されている。

【0110】

また、第1サンプルホールド回路 5 3 R と第2サンプルホールド回路 5 3 F のサンプリング動作期間 S とホールド動作期間 H とが示されている。

【0111】

初期状態では、分圧スイッチングノード電圧  $SN_x$  は 0 V である。これにより、タイミング信号  $SNL_p$  はハイ状態になり、タイミング信号  $SNH_p$  はロー状態となる。

【0112】

立ち上がりスイッチングノード遷移時間計測器 5 1 R では、ハイ状態のタイミング信号  $SNL_p$  を受けて、NMOS トランジスタ 3 5 R は、導通状態となり、容量 3 7 R をディスチャージし、立ち上がりスイッチングノード遷移時間測定電圧  $VDTRY_y$  を 0 V に保持する。ところが、次段の第1サンプルホールド回路 5 3 R は、ロー状態のタイミング信号  $SNH_p$  を受けて、それを構成するトランスファークゲート 4 4 R が遮断状態となり、トランスファークゲート 4 5 R は導通状態となり、トランスファークゲート 4 6 R は遮断状態となる。そのため、第1サンプルホールド回路 5 3 R は、ホールド状態となり、立ち上がりスイッチングノード遷移時間測定電圧  $VDTRY_y$  を取り込まず、出力差動増幅器 4 8 R はホールド容量 4 7 R に蓄えられた以前の電圧を立ち上がりデッドタイム設定電圧  $VDTR$  として出力し続ける。ここで、この動作以前にスイッチング動作が停止していた場合には、トランスファークゲート 4 5 R を介して、初期化定電流源 4 9 R からの 5 0 n A の微小電流により、ホールド容量 4 7 R は高電位に充電され、結局、立ち上がりデッドタイム設定電圧  $VDTR$  は高電圧となる。つまり、初期状態の立ち上がりデッドタイムは最長時間となる。

【0113】

一方、立ち下がりスイッチングノード遷移時間計測器 5 1 F では、ハイ状態のタイミング信号  $SNL_p$  を受けて、NMOS トランジスタ 3 6 F は導通状態となり定電流源ノードを 0 V に保持し、PMOS トランジスタ 3 4 F は遮断状態となる。また、ロー状態のタイミング信号  $SNH_p$  を受けて、NMOS トランジスタ 3 5 F も遮断状態となるため、容量 3 7 F の立ち下がりスイッチングノード遷移時間計測電圧  $VDTF_y_y$  はフローティング状態となる。

【0114】

ここで、次段の第2サンプルホールド回路 5 3 F は、ハイ状態のタイミング信号  $SNL$

pを受けて、それを構成するトランスファークロスタック44Fが導通状態となり、トランスファークロスタック45Fは遮断状態となり、トランスファークロスタック46Fは導通状態となる。そのため、第2サンプルホールド回路53Fは、サンプリング状態となり、立ち下がりスイッチングノード遷移時間計測電圧VDTF<sub>yy</sub>を取り込み、出力差動増幅48Fは立ち下がりデッドタイム設定電圧VDTFとして立ち下がりスイッチングノード遷移時間計測電圧VDTF<sub>yy</sub>を出力し、同時に、トランスファークロスタック46Fを介して、ホールド容量47Fを立ち下がりスイッチングノード遷移時間計測電圧VDTF<sub>yy</sub>に充電する。

#### 【0115】

ここで、この動作以前にスイッチング動作が停止していた場合には、トランスファークロスタック44Fを介して、初期化定電流源49Fからの50nAの微小電流により、容量47Fは高電圧に充電され、立ち下がりスイッチングノード遷移時間計測電圧VDTF<sub>yy</sub>と立ち下がりデッドタイム設定電圧VDTFは、ともに高電圧となる。つまり、初期状態の立ち下がりデッドタイムは最長時間となる。

#### 【0116】

スイッチング動作により分圧スイッチングノード電圧SN<sub>x</sub>が上昇し、分圧入力電圧VIN<sub>x</sub>の3分の1の第1電圧より高くなった瞬間(時刻t21)から、タイミング信号SNL<sub>p</sub>がロー状態になる。スイッチングノード立ち上がり時間・電圧変換器51Rは、これを受けて、そのNMOSトランジスタ35Rは遮断状態となり、最長デッドタイム設定定電流源回路52からの第1定電流I1により、PMOSトランジスタ34Rを介して、容量37Rが充電され、その立ち上がりスイッチングノード遷移時間計測電圧VDTR<sub>yy</sub>が上昇しはじめる。しかし、次段の第1サンプルホールド回路53Rはホールド状態を継続するため、その出力である立ち上がりデッドタイム設定電圧VDTRは以前の状態を保持する。

#### 【0117】

一方、スイッチングノード立ち下がり時間・電圧変換器51Fは、タイミング信号SNL<sub>p</sub>がロー状態になったことを受けて、そのPMOSトランジスタ34Fが導通状態となり、NMOSトランジスタ36Fが遮断状態となるため、容量37Fが充電され、立ち下がりスイッチングノード遷移時間計測電圧VDTF<sub>yy</sub>が変動する。ところが、それと同時に次段の第2サンプルホールド回路53Fはホールド状態になり、立ち下がりスイッチングノード遷移時間計測電圧VDTF<sub>yy</sub>の電圧を取り込まず、ホールド容量47Fに蓄えられた電圧を立ち下がりデッドタイム設定電圧VDTFとして出力し続ける。

#### 【0118】

さらに、分圧スイッチングノード電圧SN<sub>x</sub>が上昇し、分圧入力電圧VIN<sub>x</sub>の3分の2の第2電圧より高くなった瞬間(時刻t22)から、タイミング信号SNH<sub>p</sub>がハイ状態になる。スイッチングノード立ち上がり時間・電圧変換器51Rは、これを受けて、PMOSトランジスタ34Rが遮断状態となり、容量37Rの充電を終了する。この動作により、立ち上がりスイッチングノード遷移時間計測電圧VDTR<sub>yy</sub>は、スイッチングノード4の電圧遷移時間に比例した電圧となる。なお、それと同時にNMOSトランジスタ36Rが導通状態となり、状態の急変による最長デッドタイム設定定電流源回路52に発生するノイズを軽減する。それと同時に、次段の第1サンプルホールド回路53Rはサンプリング状態となり、立ち上がりスイッチングノード遷移時間計測電圧VDTR<sub>yy</sub>を取り込み、その電圧をホールド容量47Rに充電するとともに、立ち上がりデッドタイム設定電圧VDTRとして出力する。

#### 【0119】

一方、立ち下がりスイッチングノード遷移時間計測器51Fはタイミング信号SNH<sub>p</sub>がハイ状態になったことを受けて、NMOSトランジスタ35Fが導通状態となり、容量37Fをディスチャージして、立ち下がりスイッチングノード遷移時間計測電圧VDTF<sub>yy</sub>は0Vに初期化される。しかし、次段の第2サンプルホールド回路53Fはホールド状態を継続し、立ち下がりデッドタイム設定電圧VDTFは以前の電圧を保持しつづける。

**【0120】**

その後、スイッチング動作に伴い、分圧スイッチングノード電圧 $S N_x$ が降下する。その後の動作は、上記と対称であるため、説明を省略する。

**【0121】**

このように、本実施形態によれば、スイッチングノード4の電圧遷移時間に比例した立ち上がりデッドタイム設定電圧 $V D T R$ 及び立ち下がりデッドタイム設定電圧 $V D T F$ を、電圧 $S N$ の立ち上がりと立ち下がりのそれぞれに対して得ることができる。また、回路の対称性が良いため、立ち上がり時間と立ち下がり時間の計測値に誤差が発生し難い。

**【0122】**

また、入力電圧 $V I N$ の3分の1の第1電圧と3分の2の第2電圧との間をスイッチングノード4の電圧 $S N$ が遷移する時間を計測しているため、駆動回路24やロー側及びハイ側スイッチングトランジスタ5、6などで生じる遅延の影響を受けず高精度である。

**【0123】**

また、最長デッドタイムの設定が可能であり、最長デッドタイムに対するスイッチングノード4の電圧遷移時間の比率に応じた立ち上がり及び立ち下がりデッドタイム設定電圧 $V D T R$ 、 $V D T F$ を得ることができるので、使用条件に合わせて計測精度を調整することができる。

**【0124】**

つまり、本実施形態によれば、入力電圧範囲や環境温度などの広い使用条件で安定して動作する絶縁型 $A C-D C$ コンバータ及び絶縁型 $D C-D C$ コンバータ100を提供することができる。

**【0125】**

(第5の実施形態)

第5の実施形態は、デッドタイム遅延回路23の詳細構成に関する。

**【0126】**

前述のように、デッドタイム遅延回路23は、フィードバック信号 $F B$ の電圧に従って周波数およびデューティ比が変調されたクロック信号 $C L K$ を受けて、それと同相のハイ側タイミング信号 $H G p$ とそれに対して逆相のロー側タイミング信号 $L G p$ を出力するバッファ回路である。その時、ハイ側タイミング信号 $H G p$ の立ち上がりエッジには立ち上がりデッドタイム設定電圧 $V D T R$ に応じた遅延時間が設けられ、ロー側タイミング信号 $L G p$ の立ち上がりエッジには立ち下がりデッドタイム設定電圧 $V D T F$ に応じた遅延時間が設けられる。

**【0127】**

図8は、第5の実施形態に係るデッドタイム遅延回路23の回路図である。デッドタイム遅延回路23は、最長デッドタイム設定定電流源54と、立ち上がり最長デッドタイム遅延回路(第1最長デッドタイム遅延回路)55Rと、立ち下がり最長デッドタイム遅延回路(第2最長デッドタイム遅延回路)55Fと、立ち上がり可変デッドタイム遅延回路(第1可変デッドタイム遅延回路)56Rと、立ち下がり可変デッドタイム遅延回路(第2可変デッドタイム遅延回路)56Fと、立ち上がり最短デッドタイム遅延回路(第1最短デッドタイム遅延回路)57Rと、立ち下がり最短デッドタイム遅延回路(第2最短デッドタイム遅延回路)57Fと、インバータ58と、立ち上がりデッドタイム遅延アービタ(第1アービタ)62Rと、立ち下がりデッドタイム遅延アービタ(第2アービタ)62Fと、を備える。

**【0128】**

最長デッドタイム設定定電流源54は、例えば $10\mu A$ の定電流源54aと、抵抗54bと、差動増幅器54Rc、54Fcと、抵抗54Rd、54Fdと、PMOSトランジスタ54Re、54Feと、を有する。

**【0129】**

立ち上がり最長デッドタイム遅延回路55Rは、クロック信号 $C L K$ の立ち上がりエッジから予め定められた最長デッドタイム(例えば、 $100ns$ )遅延して活性状態になり

、クロック信号CLKの立ち下がりエッジに同期して非活性状態になる立ち上がり最長デッドタイム遅延信号（第1最長デッドタイム遅延信号）DTRLpを生成する。

【0130】

立ち上がり可変デッドタイム遅延回路56Rは、クロック信号CLKの立ち上がりエッジから立ち上がりデッドタイム設定電圧VDTRに応じた時間であるデッドタイムだけ遅延して活性状態になり、クロック信号CLKの立ち下がりエッジに同期して非活性状態になる立ち上がり可変デッドタイム遅延信号（第1可変デッドタイム遅延信号）DTRVpを生成する。

【0131】

立ち上がり最短デッドタイム遅延回路57Rは、クロック信号CLKの立ち上がりエッジから予め定められた最短デッドタイム（例えば、10ns）遅延して活性状態になり、クロック信号CLKの立ち下がりエッジに同期して非活性状態になる立ち上がり最短デッドタイム遅延信号（第1最短デッドタイム遅延信号）DTRS pを生成する。

【0132】

立ち上がりデッドタイム遅延アービタ62Rは、立ち上がり可変デッドタイム遅延信号DTRVpが活性状態になるタイミングに基づいて、立ち上がり可変デッドタイム遅延信号DTRVp又は立ち上がり最長デッドタイム遅延信号DTRLpに同期したハイ側タイミング信号HGpを出力する。

【0133】

立ち下がり最長デッドタイム遅延回路55Fは、クロック信号CLKの立ち下がりエッジから最長デッドタイム（例えば、100ns）遅延して活性状態になり、クロック信号CLKの立ち上がりエッジに同期して非活性状態になる立ち下がり最長デッドタイム遅延信号（第2最長デッドタイム遅延信号）DTFLpを生成する。

【0134】

立ち下がり可変デッドタイム遅延回路56Fは、クロック信号CLKの立ち下がりエッジから立ち下がりデッドタイム設定電圧VDTFに応じた時間であるデッドタイムだけ遅延して活性状態になり、クロック信号CLKの立ち上がりエッジに同期して非活性状態になる立ち下がり可変デッドタイム遅延信号（第2可変デッドタイム遅延信号）DTFVpを生成する。

【0135】

立ち下がり最短デッドタイム遅延回路57Fは、クロック信号CLKの立ち下がりエッジから最短デッドタイム（例えば、10ns）遅延して活性状態になり、クロック信号CLKの立ち上がりエッジに同期して非活性状態になる立ち下がり最短デッドタイム遅延信号（第2最短デッドタイム遅延信号）DTFS pを生成する。

【0136】

立ち下がりデッドタイム遅延アービタ62Fは、立ち下がり可変デッドタイム遅延信号DTFVpが活性状態になるタイミングに基づいて、立ち下がり可変デッドタイム遅延信号DTFVp又は立ち下がり最長デッドタイム遅延信号DTFLpに同期したロー側タイミング信号LGpを出力する。

【0137】

立ち上がり最長デッドタイム遅延回路55Rは、PMOSトランジスタ55Raと、NMOSトランジスタ55Rbと、容量55Rcと、コンパレータ55Rdと、を有する。

【0138】

PMOSトランジスタ55Raは、定電流を出力する。容量55Rcは、PMOSトランジスタ55Raのドレインに接続されて定電流が供給される一端と、接地された他端とを有する。

【0139】

NMOSトランジスタ55Rbは、容量55Rcの両端間に接続され、クロック信号CLKの反転信号CLKnがゲートに供給される。

【0140】



コンパレータ55Rdは、例えば1Vの参照電圧Vrefと容量55Rcの電圧DTRLとを比較し、比較結果を立ち上がり最長デッドタイム遅延信号DTRLpとして出力する。

【0141】

立ち下がり最長デッドタイム遅延回路55Fは、PMOSトランジスタ55Faと、NMOSトランジスタ55Fbと、容量55Fcと、コンパレータ55Fdと、を有する。

【0142】

PMOSトランジスタ55Faは、定電流を出力する。容量55Fcは、PMOSトランジスタ55Faのドレインに接続されて定電流が供給される一端と、接地された他端とを有する。

【0143】

NMOSトランジスタ55Fbは、容量55Fcの両端間に接続され、クロック信号CLKCKnがゲートに供給される。

【0144】

コンパレータ55Fdは、参照電圧Vrefと容量55Fcの電圧DTFLとを比較し、比較結果を立ち下がり最長デッドタイム遅延信号DTFLpとして出力する。

【0145】

立ち上がり可変デッドタイム遅延回路56Rは、PMOSトランジスタ（第3定電流源）56Raと、NMOSトランジスタ（第3スイッチ）56Rbと、容量（第3容量）56Rcと、コンパレータ（第1比較器）56Rdと、を有する。

【0146】

PMOSトランジスタ56Raは、第3定電流を出力する。容量56Rcは、PMOSトランジスタ56Raのドレインに接続されて第3定電流が供給される一端と、接地された他端とを有する。

【0147】

NMOSトランジスタ56Rbは、容量56Rcの両端間に接続され、クロック信号CLKの反転信号CLKnがゲートに供給され、クロック信号CLKがロー状態の時に導通状態になり、クロック信号CLKがハイ状態の時に非導通状態になる。

【0148】

コンパレータ56Rdは、立ち上がりデッドタイム設定電圧VDTRと容量56Rcの電圧DTRVとを比較し、比較結果を立ち上がり可変デッドタイム遅延信号DTRVpとして出力する。

【0149】

立ち下がり可変デッドタイム遅延回路56Fは、PMOSトランジスタ（第4定電流源）56Faと、NMOSトランジスタ（第4スイッチ）56Fbと、容量（第4容量）56Fcと、コンパレータ（第2比較器）56Fdと、を有する。

【0150】

PMOSトランジスタ56Faは、第4定電流を出力する。容量56Fcは、PMOSトランジスタ56Faのドレインに接続されて第4定電流が供給される一端と、接地された他端とを有する。第4定電流の値は、第3定電流の値、及び、PMOSトランジスタ55Ra、55Faの定電流の値と等しい。

【0151】

NMOSトランジスタ56Fbは、容量56Fcの両端間に接続され、クロック信号CLKがゲートに供給され、クロック信号CLKがハイ状態の時に導通状態になり、クロック信号CLKがロー状態の時に非導通状態になる。

【0152】

コンパレータ56Fdは、立ち下がりデッドタイム設定電圧VDTFと容量56Fcの電圧DTFVとを比較し、比較結果を立ち下がり可変デッドタイム遅延信号DTFVpとして出力する。

【0153】

第2の実施形態で説明したスイッチングノード遷移時間計測回路22内の第1定電流I1の値は、第3定電流の値の3倍(第1の値倍)である。

【0154】

立ち上がり最短デッドタイム遅延回路57Rは、定電流源57Raと、NMOSトランジスタ57Rbと、容量57Rcと、コンパレータ57Rdと、を有する。

【0155】

容量57Rcは、定電流源57Raから定電流が供給される一端と、接地された他端とを有する。

【0156】

NMOSトランジスタ57Rbは、容量57Rcの両端間に接続され、クロック信号CLKの反転信号CLKnがゲートに供給される。

【0157】

コンパレータ57Rdは、参照電圧Vrefと容量57Rcの電圧DTRSとを比較し、比較結果を立ち上がり最短デッドタイム遅延信号DTRSpとして出力する。

【0158】

立ち下がり最短デッドタイム遅延回路57Fは、定電流源57Faと、NMOSトランジスタ57Fbと、容量57Fcと、コンパレータ57Fdと、を有する。

【0159】

容量57Fcは、定電流源57Faから定電流が供給される一端と、接地された他端とを有する。定電流源57Faの定電流の値は、定電流源57Raの定電流の値と等しく、前述の第3定電流の値より大きい。

【0160】

NMOSトランジスタ57Fbは、容量57Fcの両端間に接続され、クロック信号CLKがゲートに供給される。

【0161】

コンパレータ57Fdは、参照電圧Vrefと容量57Fcの電圧DTFSとを比較し、比較結果を立ち下がり最短デッドタイム遅延信号DTFSpとして出力する。

【0162】

立ち上がりデッドタイム遅延アービタ62Rは、最短デッドタイムリミッタ59Rと、最長デッドタイムリミッタ60Rと、ダウンエッジトリミングゲート61Rと、を有する。

【0163】

立ち上がりデッドタイム遅延アービタ62Rは、立ち上がり可変デッドタイム遅延信号DTRVpが活性状態になるタイミングが、立ち上がり最短デッドタイム遅延信号DTRSpが活性状態になるタイミングより早い場合、及び、立ち上がり可変デッドタイム遅延信号DTRVpが活性状態になるタイミングが、立ち上がり最長デッドタイム遅延信号DTRLpが活性状態になるタイミングより遅い場合、立ち上がり最長デッドタイム遅延信号DTRLpに同期したハイ側タイミング信号HGpを出力する。

【0164】

立ち下がりデッドタイム遅延アービタ62Fは、最短デッドタイムリミッタ59Fと、最長デッドタイムリミッタ60Fと、ダウンエッジトリミングゲート61Fと、を有する。

【0165】

立ち下がりデッドタイム遅延アービタ62Fは、立ち下がり可変デッドタイム遅延信号DTFVpが活性状態になるタイミングが、立ち下がり最短デッドタイム遅延信号DTFSpが活性状態になるタイミングより早い場合、及び、立ち下がり可変デッドタイム遅延信号DTFVpが活性状態になるタイミングが、立ち下がり最長デッドタイム遅延信号DTFLpが活性状態になるタイミングより遅い場合、立ち下がり最長デッドタイム遅延信号DTFLpに同期したロー側タイミング信号LGpを出力する。

【0166】

図9は、図8のデッドタイム遅延回路23の各信号の波形図である。図9の最上段には、デッドタイム遅延回路23に入力されるクロック信号CLKが示されている。

【0167】

上から2段目には、立ち下がり最短デッドタイム遅延回路57Fの容量57Fcの電圧DTFS（破線）と、その電圧DTFSと比較される参照電圧Vrefの1Vと、コンパレータ57Fdの出力信号である立ち下がり最短デッドタイム遅延信号DTFS<sub>p</sub>（実線）と、が示されている。

【0168】

3段目には、立ち下がり可変デッドタイム遅延回路56Fの容量56Fcの電圧DTFV（破線）と、その電圧DTFVと比較される立ち下がりデッドタイム設定電圧VDTL（実線）と、コンパレータ56Fdの出力信号である立ち下がりデッドタイム可変遅延信号DTFV<sub>p</sub>（実線）と、が示されている。

【0169】

4段目には、立ち下がり最長デッドタイム遅延回路55Fの容量55Fcの電圧DTFL（破線）と、その電圧DTFLと比較される参照電圧Vrefの1Vと、コンパレータ55Fdの出力信号である立ち下がり最長デッドタイム遅延信号DTFL<sub>p</sub>（実線）と、が示されている。

【0170】

ここで、3つの容量57Fc、56Fc、55Fcの電圧DTFS、DTFV、DTFLは、クロック信号CLKがハイ状態のとき、NMOSトランジスタ57Fb、56Fb、55Fbが導通状態となるため、それぞれ0Vに保持される。一方、クロック信号CLKがロー状態になると、定電流源57FaとPMOSトランジスタ56Fa、55Faからの定電流により充電が開始され、電圧DTFS、DTFV、DTFLは、それぞれ上昇する。

【0171】

立ち下がり最短デッドタイム遅延回路57Fの電圧DTFSの上昇速度は、例えば1pFの容量57Fcを100μAの定電流で充電すると、0.1V/nsとなる。この電圧DTFSが1Vの参照電圧Vrefより高くなったとき、立ち下がり最短デッドタイム遅延信号DTFS<sub>p</sub>はハイ状態となる。つまり、立ち下がり最短デッドタイム遅延信号DTFS<sub>p</sub>は、クロック信号CLKがロー状態になってから10ns（最短デッドタイム）後にハイ状態となる遅延信号である。

【0172】

一方、立ち下がり可変デッドタイム遅延回路56Fの電圧DTFVと、最長デッドタイム遅延回路55Fの電圧DTFLの上昇速度は、ともに最長デッドタイム設定定電流源54により設定される。その設定は、第4の実施形態の最長デッドタイム設定定電流源回路52と同様である。例えば、最長デッドタイム設定抵抗54bの抵抗値RDTLを40kΩとして、その抵抗54bに定電流源54aにより10μAの定電流を流すと、最長デッドタイム設定電圧VDTLは0.4Vとなる。最長デッドタイム設定抵抗54bの抵抗値RDTLは、スイッチングノード遷移時間計測回路22の最長デッドタイム設定抵抗39の抵抗値RDTLと等しい。その最長デッドタイム設定電圧VDTL（=0.4V）と同じ大きさの電圧を、差動増幅器54Fcにより抵抗54Fc（=40kΩ）に印加する。そのときに抵抗54Fcに流れる電流は10μAとなる。この電流を、PMOSトランジスタ54Fe、55Fa、56Faでミラーして、10μAの定電流でそれぞれ1pFの容量55Fcと容量56Fcを充電する。

【0173】

したがって、最長デッドタイム設定抵抗54bの抵抗値RDTLを40kΩに設定すると、立ち下がり可変デッドタイム遅延回路56Fの電圧DTFVと、立ち下がり最長デッドタイム遅延回路55Fの電圧DTFLとの上昇速度は0.01V/nsとなり、1Vの参照電圧Vrefに達するまでの最長デッドタイムは100nsとなる。同様に、最長デッドタイム設定抵抗54bの抵抗値RDTLを倍の80kΩに設定すると、最長デッドタ

イムは半分の  $50\text{ ns}$  となり、最長デッドタイム設定抵抗  $54\text{ k}\Omega$  の抵抗値  $R_{DTL}$  をさらに倍の  $160\text{ k}\Omega$  に設定すると、最長デッドタイムはさらに半分の  $25\text{ ns}$  となる。

【0174】

立ち下がり最長デッドタイム遅延回路  $55F$  は、電圧  $DTFL$  が  $1\text{ V}$  の参照電圧  $V_{ref}$  より高くなったときに、立ち下がり最長デッドタイム遅延信号  $DTFLp$  をハイ状態にする。つまり、立ち下がり最長デッドタイム遅延信号  $DTFLp$  は、クロック信号  $CLK$  がロー状態になってから最長デッドタイム設定抵抗  $54\text{ k}\Omega$  で指定される最長デッドタイム後にハイ状態になる遅延信号である。

【0175】

立ち下がり可変デッドタイム遅延回路  $56F$  は、電圧  $DTFV$  が立ち下がりデッドタイム設定電圧  $VDTF$  より高くなったときに、立ち下がり可変デッドタイム遅延信号  $DTFVp$  をハイ状態にする。つまり、立ち下がり可変デッドタイム遅延信号  $DTFVp$  は、クロック信号  $CLK$  がロー状態になってから、立ち下がりデッドタイム設定電圧  $VDTF$  に比例する時間後にハイ状態になる遅延信号である。なお、その遅延時間は、立ち下がりデッドタイム設定電圧  $VDTF$  の電圧が  $1\text{ V}$  のとき、最長デッドタイム設定抵抗  $54\text{ k}\Omega$  で指定される時間となる。

【0176】

図9の5段目に、最短デッドタイムリミッタ  $59F$  の出力信号  $DTFEp$  が示されている。最短デッドタイムリミッタ  $59F$  は、立ち下がり可変デッドタイム遅延信号  $DTFVp$  を受けて、それがハイ状態になったときに、立ち下がり最短デッドタイム遅延信号  $DTFSp$  が既にハイ状態になっている場合には、立ち下がり可変デッドタイム遅延信号  $DTFVp$  のパルス波形を出力信号  $DTFEp$  として出力し、立ち下がり最短デッドタイム遅延信号  $DTFSp$  がハイ状態になる前ならば、出力信号  $DTFEp$  をロー状態に保持するラッチ回路である。

【0177】

図9中、パルス  $P1 \sim P3$ 、 $P5$ 、 $P6$  では、立ち下がり最短デッドタイム遅延信号  $DTFSp$  がハイ状態になった後で立ち下がり可変デッドタイム遅延信号  $DTFVp$  がハイ状態になるため、その出力信号  $DTFEp$  には立ち下がり可変デッドタイム遅延信号  $DTFVp$  と同様なパルス信号が表れている。しかし、パルス  $P4$  において、立ち下がりデッドタイム設定電圧  $VDTF$  が  $1\text{ V}$  に対して極端に低い場合、立ち下がり最短デッドタイム遅延信号  $DTFSp$  がハイ状態になる前に立ち下がり可変デッドタイム遅延信号  $DTFVp$  がハイ状態になっている。この場合、最短デッドタイムリミッタ  $59F$  の出力信号  $DTFEp$  はロー状態に保持される。また、逆に、パルス  $P7$  のように、立ち下がりデッドタイム設定電圧  $VDTF$  が  $1\text{ V}$  に対して極端に高い場合、出力信号  $DTFEp$  のパルス波形が出ないことがある。

【0178】

図9の6段目に、最長デッドタイムリミッタ  $60F$  の出力信号  $DTFp$  が示されている。最長デッドタイムリミッタ  $60F$  は、最短デッドタイムリミッタ  $59F$  の出力信号  $DTFEp$  を受け、そのパルスが出ていないとき、立ち下がり最長デッドタイム遅延信号  $DTFLp$  のパルスでそれを補う。この例では、パルス  $P4$  及び  $P7$  のとき、出力信号  $DTFEp$  のパルスが消失しているが、それを立ち下がり最長デッドタイム遅延信号  $DTFLp$  のパルスで補うことにより、最長デッドタイムリミッタ  $60F$  の出力信号  $DTFp$  では、全てのパルス信号が出ている。即ち、最長デッドタイムリミッタ  $60F$  は、出力信号  $DTFEp$  と立ち下がり最長デッドタイム遅延信号  $DTFLp$  との論理和を出力する論理和回路である。

【0179】

7段目に、ロー側タイミング信号  $LGp$  が実線で、ハイ側タイミング信号  $HGp$  が点線で示されている。ロー側タイミング信号  $LGp$  は、ダウンエッジトリミングゲート  $61F$  により、最長デッドタイムリミッタ  $60F$  の出力信号  $DTFp$  とクロック信号  $CLK$  の反転信号の論理積をとり、生成される。これにより、ロー側タイミング信号  $LGp$  は、クロ

ック信号C L Kの反転信号に対して、アップエッジだけが遅延し、ダウンエッジの遅延がほぼ無い信号となる。ハイ側タイミング信号H G pも同様な動作により生成されるため、その波形はクロック信号C L Kに対して、アップエッジだけが遅延し、ダウンエッジの遅延はほぼ無い信号となる。

【0180】

このように、ハイ側タイミング信号H G pがロー状態になってからロー側タイミング信号L G pがハイ状態になるまでに、立ち下がりデッドタイム設定電圧V D T Fにより制御されるデッドタイムが設けられる。詳細な説明は省略するが、同様に、ロー側タイミング信号L G pがロー状態になってからハイ側タイミング信号H G pがハイ状態になるまでに、立ち上がりデッドタイム設定電圧V D T Rにより制御されるデッドタイムが設けられる。

【0181】

従って、駆動回路24は、デッドタイムが最短デッドタイム以上、最長デッドタイム以下の場合、第1可変デッドタイム遅延信号D T R V pに同期したハイ側ゲート信号H Gを生成し、第2可変デッドタイム遅延信号D T F V pに同期したロー側ゲート信号L Gを生成する。

【0182】

図10は、立ち上がり及び立ち下がりデッドタイム設定電圧V D T R, V D T Fと、立ち上がり及び立ち下がりデッドタイム $t_{DTR}$ ,  $t_{DTF}$ との関係を示すグラフである。最長デッドタイム設定抵抗54bの抵抗値R D T Lは、40k $\Omega$ としている。

【0183】

立ち上がりデッドタイム設定電圧V D T Rが1V以上のとき、立ち上がりデッドタイム $t_{DTR}$ は最長デッドタイムである最大値100nsとなる。立ち上がりデッドタイム設定電圧V D T Rが1Vより低いとき、立ち上がりデッドタイム $t_{DTR}$ は、立ち上がりデッドタイム設定電圧V D T Rに比例し、立ち上がりデッドタイム設定電圧V D T Rが低いほど短くなる。しかし、立ち上がりデッドタイム $t_{DTR}$ が10nsより短くなるような立ち上がりデッドタイム設定電圧V D T Rが与えられると、立ち上がりデッドタイム $t_{DTR}$ は最大値100nsとなる。立ち下がりデッドタイム設定電圧V D T Fと立ち下がりデッドタイム $t_{DTF}$ との関係も同様である。

【0184】

このように、デッドタイム遅延回路23は、デッドタイムが予め定められた最短デッドタイムより短い場合、デッドタイムを予め定められた最長デッドタイムに設定し、デッドタイムが最長デッドタイムより長い場合、デッドタイムを最長デッドタイムに設定する。

【0185】

図11は、デッドタイムの設定方法を示すフローチャートである。

【0186】

まず、スイッチングノード遷移時間計測回路22により、スイッチングノード4の電圧遷移時間を計測する(ステップS T 1)。

【0187】

次に、計測された電圧遷移時間に応じたデッドタイムを設定する(ステップS T 2)。ステップS T 2～S T 5の処理は、デッドタイム遅延回路23により行われる。

【0188】

次に、デッドタイムが最小値以上か否か判定する(ステップS T 3)。デッドタイムが最小値より短い場合(ステップS T 3; N o)、デッドタイムを最大値に設定し(ステップS T 5)、ステップS T 1に戻る。

【0189】

デッドタイムが最小値以上の場合(ステップS T 3; N o)、デッドタイムが最大値以下か否か判定する(ステップS T 4)。デッドタイムが最大値より長い場合(ステップS T 4; N o)、デッドタイムを最大値に設定し(ステップS T 5)、ステップS T 1に戻る。

**【0190】**

デッドタイムが最大値以下の場合（ステップST4；Yes）、ステップST1に戻る。

**【0191】**

このような機能を有するデッドタイム遅延回路23により、以下に説明するように、デッドタイムは自動調整される。

**【0192】**

図12は、クロック信号CLKと、ハイ側タイミング信号HGpと、ロー側タイミング信号LGpと、スイッチングノード4の電圧SNとを示す波形図である。図12は、図9に対応する。図12では、電圧SNの立ち下がり遷移速度が急激に遅くなり、ついには、最長デッドタイムを越えるような遷移時間となった場合を示している。

**【0193】**

クロック信号CLKのパルスP1では、スイッチングノード4の電圧SNの波形はきれいな台形となっており、立ち上がり遷移時間と立ち上がり遷移時間はほぼ等しくなっている。このときのデッドタイムも適正值となっており、スイッチングノード4の電圧SNが0Vに達したときに、丁度、ロー側タイミング信号LGpがハイ状態となっている。

**【0194】**

パルスP2のデッドタイムDT2（ハイ側タイミング信号HGpがロー状態になってからロー側タイミング信号LGpがハイ状態になるまでの時間）は、パルスP1で計測されたスイッチングノード4の電圧遷移時間 $slew1$ （スイッチングノード4の電圧SNが入力電圧VINの $2/3$ より低くなってから入力電圧VINの $1/3$ より低くなるまでの時間）の3倍になっており、適正值に調整されている。しかし、負荷変動などの何らかの外乱により、スイッチングノード4の電圧SNの遷移速度が急激に遅くなっている。このようなことが生じると、デッドタイムDT2が適正に調整されていたとしても、スイッチングノード4の電圧SNが0Vになる前に、ロー側スイッチングトランジスタ5が導通状態となるハードスイッチングが起こり、その瞬間、スイッチングノード4の電圧SNは0Vへ急激に変化する（時刻 $t41$ ）。

**【0195】**

パルスP3のデッドタイムDT3は本来長く調整しなければならないが、パルスP2のようにハードスイッチングが生じると、スイッチングノード4の電圧遷移時間は短くなったと計測されて、デッドタイムDT3は逆に短くなってしまう。すると、スイッチングノード4の電圧SNがさらに高い状態でロー側スイッチングトランジスタ5が導通状態となり（時刻 $t42$ ）、スイッチングノード4の電圧遷移時間がより短くなる。

**【0196】**

パルスP4では、デッドタイムDT4をさらに短くするように立ち下がりデッドタイム設定電圧VDTF（図示せず）が低くなる。ところが、前述のように、デッドタイムが最短デッドタイム、例えば $10ns$ を下回ると、逆に最大デッドタイム、例えば $100ns$ に設定される。すると、スイッチングノード4の電圧SNが自律的に遷移する様子が観察できるようになり（時刻 $t43 \sim t44$ ）、適正な電圧遷移時間の計測が可能となる。

**【0197】**

パルスP5では、遅くなった電圧遷移時間の3倍のデッドタイムDT5が設定される。スイッチングノード4の電圧SNがゆっくりと遷移し、0Vに達したところで、丁度、ロー側タイミング信号LGpがハイ状態になっていることから、新たに設定されたデッドタイムDT5が適正であることが分かる。

**【0198】**

ところが、パルスP6では、さらにスイッチングノード4の電圧SNの遷移が遅くなり、再びハードスイッチングが発生している（時刻 $t45$ ）。しかし、ハードスイッチングはスイッチングノード4の電圧SNが入力電圧VINの $1/3$ 以下になってから生じているため、電圧遷移時間は適切に計測されている。

**【0199】**

パルスP7では、計測されたスイッチングノード4の電圧遷移時間の3倍の時間が、設定された最長デッドタイム、例えば100nsより長くなっている。この場合、デッドタイムDT7は最長デッドタイム、例えば100nsに制限される。スイッチングノード4には若干のハードスイッチングが発生しており（時刻t46）、その分、効率が劣化し、ノイズが増大するという悪影響が発生する。しかし、スイッチングパルスの消失による誤動作を防ぐことの方がより重要な課題であり、この動作によりスイッチングパルスの消失を防ぎ、消費電力の急激な増加や素子の破壊を回避することができる。

#### 【0200】

このように、本実施形態では、デッドタイムが最短デッドタイムより短い場合、デッドタイムを最長デッドタイムに設定し、デッドタイムが最長デッドタイムより長い場合、デッドタイムを最長デッドタイムに設定する。これにより、負荷電流の急激な増減などに対して適切に反応し、誤動作が生じるような状況においても、適切な状態を維持することができる。よって、使用条件の急激な変化に対して適切に反応し、また、劣悪な使用条件においても正常に動作する絶縁型AC-DCコンバータ及び絶縁型DC-DCコンバータ100を提供することができる。

#### 【0201】

なお、立ち上がりデッドタイム設定電圧VDTRが所定の最小電圧より低い場合、立ち上がりデッドタイム設定電圧VTDRを所定の最大電圧に設定し、立ち上がりデッドタイム設定電圧VDTRが最大電圧より高い場合、立ち上がりデッドタイム設定電圧VDTRを最大電圧に設定してもよい。立ち下がりデッドタイム設定電圧VDTFも同様に設定すればよい。最小電圧は最短デッドタイムに対応し、最大電圧は最長デッドタイムに対応する。このような構成でも、本実施形態と同様に、デッドタイムが最短デッドタイムより短い場合、デッドタイムを最長デッドタイムに設定し、デッドタイムが最長デッドタイムより長い場合、デッドタイムを最長デッドタイムに設定できる。

#### 【0202】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

#### 【符号の説明】

#### 【0203】

- 2A 第2入力ノード
- 2B 第1入力ノード
- 3 整流回路
- 4 スwitchングノード
- 5 ロー側スイッチングトランジスタ（第2スイッチ素子）
- 6 ハイ側スイッチングトランジスタ（第1スイッチ素子）
- 7 共振ノード
- 8 共振容量
- 10 絶縁トランス
- 10A 1次側コイル
- 10B 2次側コイル
- 12A ダイオード（第1整流素子）
- 12B ダイオード（第2整流素子）
- 13 出力容量
- 15 フィードバック回路
- 16 制御回路（半導体装置）
- 17 入力容量

- 1 8 クロック信号制御回路
- 2 0 電圧制御発振器 (クロック生成回路)
- 2 2 スイッチングノード遷移時間計測回路 (計測回路)
- 2 3 デッドタイム遅延回路
- 2 4 駆動回路
- 7 0 整流平滑回路
- 1 0 0 絶縁型DC-DCコンバータ



【書類名】 特許請求の範囲

【請求項 1】

入力電圧が供給される第 1 入力ノードとスイッチングノードとの間に接続された第 1 スイッチ素子と、基準入力電圧が供給される第 2 入力ノードと前記スイッチングノードとの間に接続された第 2 スイッチ素子と、前記第 1 入力ノード又は前記第 2 入力ノードに一端が接続された容量と、前記スイッチングノードと前記容量の他端との間に接続された 1 次側コイル及び 2 次側コイルを有するトランスと、前記 2 次側コイルの電圧を整流及び平滑して出力電圧を生成する整流平滑回路と、を備える DC-DC コンバータを制御する半導体装置であって、

前記スイッチングノードの電圧遷移時間を計測する計測回路と、

前記電圧遷移時間に応じたデッドタイムを含んだ第 1 タイミング信号と、前記デッドタイムを含んだ第 2 タイミング信号を生成するデッドタイム遅延回路と、

前記第 1 タイミング信号に基づいて前記第 1 スイッチ素子を駆動する第 1 駆動信号と、前記第 2 タイミング信号に基づいて前記第 2 スイッチ素子を駆動する第 2 駆動信号を生成する駆動回路と、

を備える半導体装置。

【請求項 2】

前記計測回路は、前記スイッチングノードの電圧を分圧した分圧スイッチングノード電圧が、前記入力電圧を分圧した分圧入力電圧より低い第 1 電圧と、前記分圧入力電圧より低く前記第 1 電圧より高い第 2 電圧との間を遷移する第 1 時間を計測し、

前記デッドタイム遅延回路は、前記分圧入力電圧を前記第 2 電圧と前記第 1 電圧との差で除算した第 1 の値を、前記第 1 時間に乗算し、乗算結果を前記電圧遷移時間とする、請求項 1 に記載の半導体装置。

【請求項 3】

前記計測回路は、

前記分圧スイッチングノード電圧が前記第 1 電圧から前記第 2 電圧まで増加する前記第 1 時間に比例した第 1 デッドタイム設定電圧と、

前記分圧スイッチングノード電圧が前記第 2 電圧から前記第 1 電圧まで減少する前記第 1 時間に比例した第 2 デッドタイム設定電圧と、を生成し、

前記デッドタイム遅延回路は、前記第 1 及び第 2 デッドタイム設定電圧に基づいて前記デッドタイムを設定する、請求項 2 に記載の半導体装置。

【請求項 4】

前記デッドタイム遅延回路は、前記デッドタイムが予め定められた最短デッドタイムより短い場合、前記デッドタイムを予め定められた最長デッドタイムに設定し、前記デッドタイムが前記最長デッドタイムより長い場合、前記デッドタイムを前記最長デッドタイムに設定する、請求項 1 に記載の半導体装置。

【請求項 5】

前記整流平滑回路は、前記 2 次側コイルの電圧を全波整流し、

前記デッドタイム遅延回路は、

前記スイッチングノードの電圧が低電圧から高電圧に遷移する前記電圧遷移時間を、前記第 1 駆動信号が活性状態から非活性状態に遷移した時から、前記第 2 駆動信号が非活性状態から活性状態に遷移するまでの前記デッドタイムとして設定し、

前記スイッチングノードの電圧が前記高電圧から前記低電圧に遷移する前記電圧遷移時間を、前記第 2 駆動信号が活性状態から非活性状態に遷移した時から、前記第 1 駆動信号が非活性状態から活性状態に遷移するまでの前記デッドタイムとして設定する、請求項 1 に記載の半導体装置。

【請求項 6】

前記整流平滑回路は、前記 2 次側コイルの電圧を半波整流し、

前記デッドタイム遅延回路は、

前記スイッチングノードの電圧が低電圧から高電圧に遷移する前記電圧遷移時間を、前

記第2駆動信号が活性状態から非活性状態に遷移した時から、前記第1駆動信号が非活性状態から活性状態に遷移するまでの前記デッドタイムとして設定し、

前記スイッチングノードの電圧が前記高電圧から前記低電圧に遷移する前記電圧遷移時間を、前記第1駆動信号が活性状態から非活性状態に遷移した時から、前記第2駆動信号が非活性状態から活性状態に遷移するまでの前記デッドタイムとして設定する、請求項1に記載の半導体装置。

【請求項7】

入力電圧が供給される第1入力ノードとスイッチングノードとの間に接続された第1スイッチ素子と、

基準入力電圧が供給される第2入力ノードと前記スイッチングノードとの間に接続された第2スイッチ素子と、

前記第1入力ノード又は前記第2入力ノードに一端が接続された容量と、

前記スイッチングノードと前記容量の他端との間に接続された1次側コイル及び2次側コイルを有するトランスと、

前記2次側コイルの電圧を整流及び平滑して出力電圧を出力する整流平滑回路と、

前記第1スイッチ素子を第1駆動信号で駆動し、前記第2スイッチ素子を第2駆動信号で駆動する駆動回路と、を備え、

前記駆動回路は、

前記スイッチングノードの電圧遷移時間を計測する計測回路と、

前記電圧遷移時間に応じたデッドタイムを前記第1駆動信号と前記第2駆動信号との間に設定するデッドタイム遅延回路と、

を有するDC-DCコンバータ。

【書類名】 要約書

【要約】

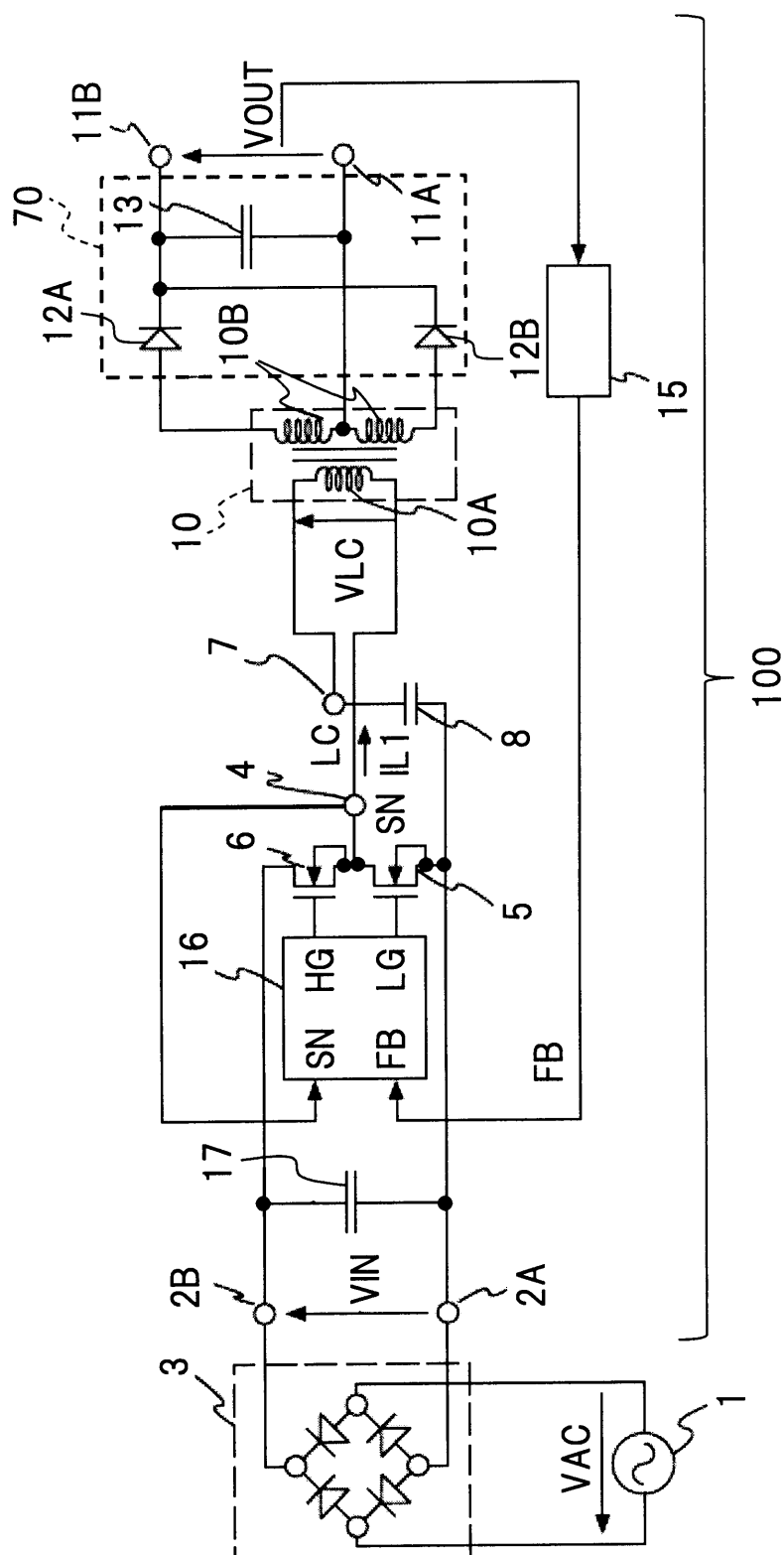
【課題】 変換効率を改善する。

【解決手段】 実施形態によれば、半導体装置は、第1入力ノードとスイッチングノードとの間に接続された第1スイッチ素子と、第2入力ノードと前記スイッチングノードとの間に接続された第2スイッチ素子と、前記第1入力ノード又は前記第2入力ノードに一端が接続された容量と、前記スイッチングノードと前記容量の他端との間に接続された1次側コイルを有するトランスと、を備えるDC-DCコンバータを制御する。前記半導体装置は、駆動回路と、計測回路と、デッドタイム遅延回路と、を備える。前記計測回路は、前記スイッチングノードの電圧遷移時間を計測する。前記デッドタイム遅延回路は、前記電圧遷移時間に応じたデッドタイムを含んだ第1タイミング信号と、前記デッドタイムを含んだ第2タイミング信号を生成する。前記駆動回路は、前記第1タイミング信号に基づいて前記第1スイッチ素子を駆動する第1駆動信号と、前記第2タイミング信号に基づいて前記第2スイッチ素子を駆動する第2駆動信号を生成する。

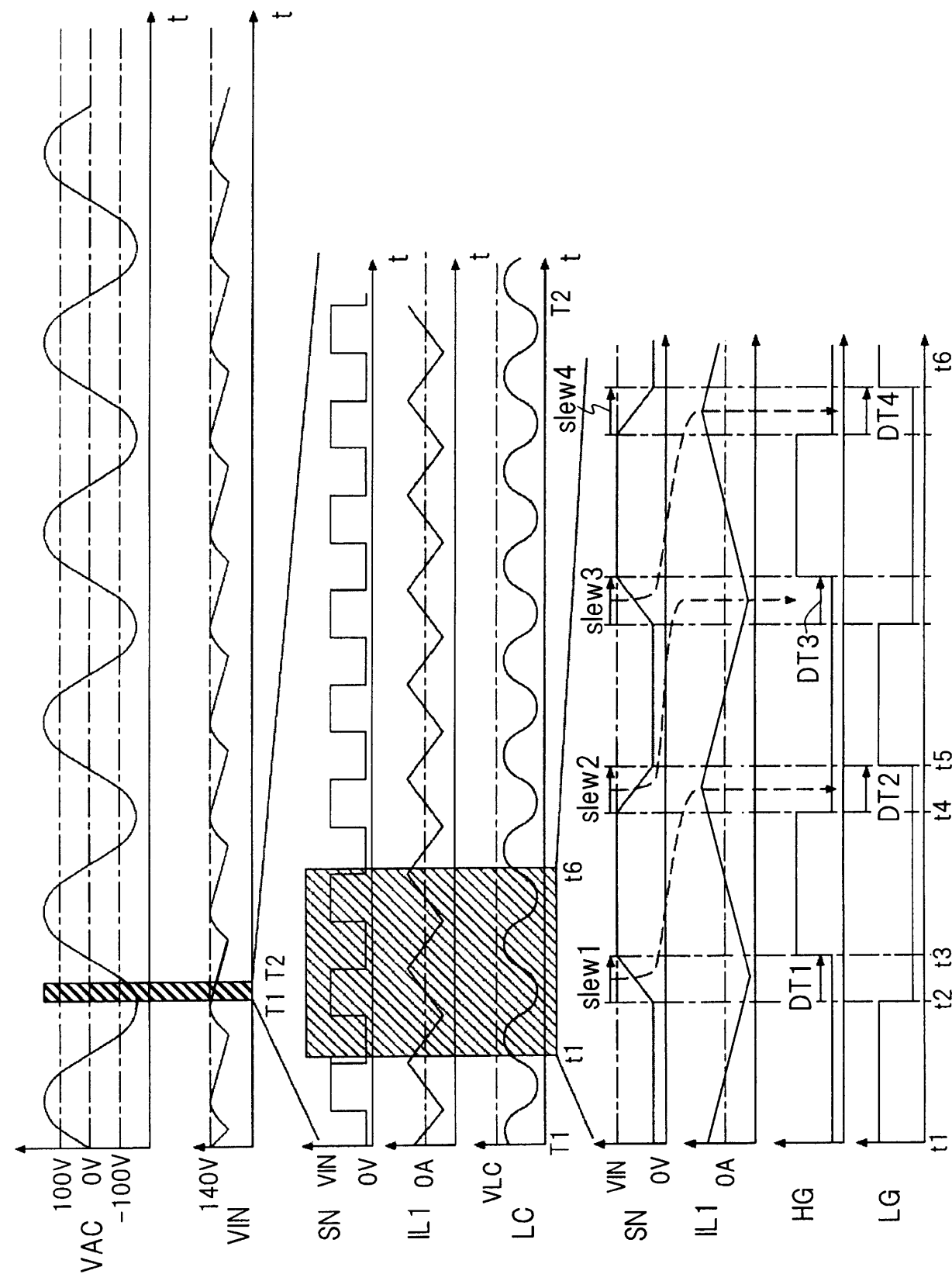
【選択図】 図5

【書類名】 図面

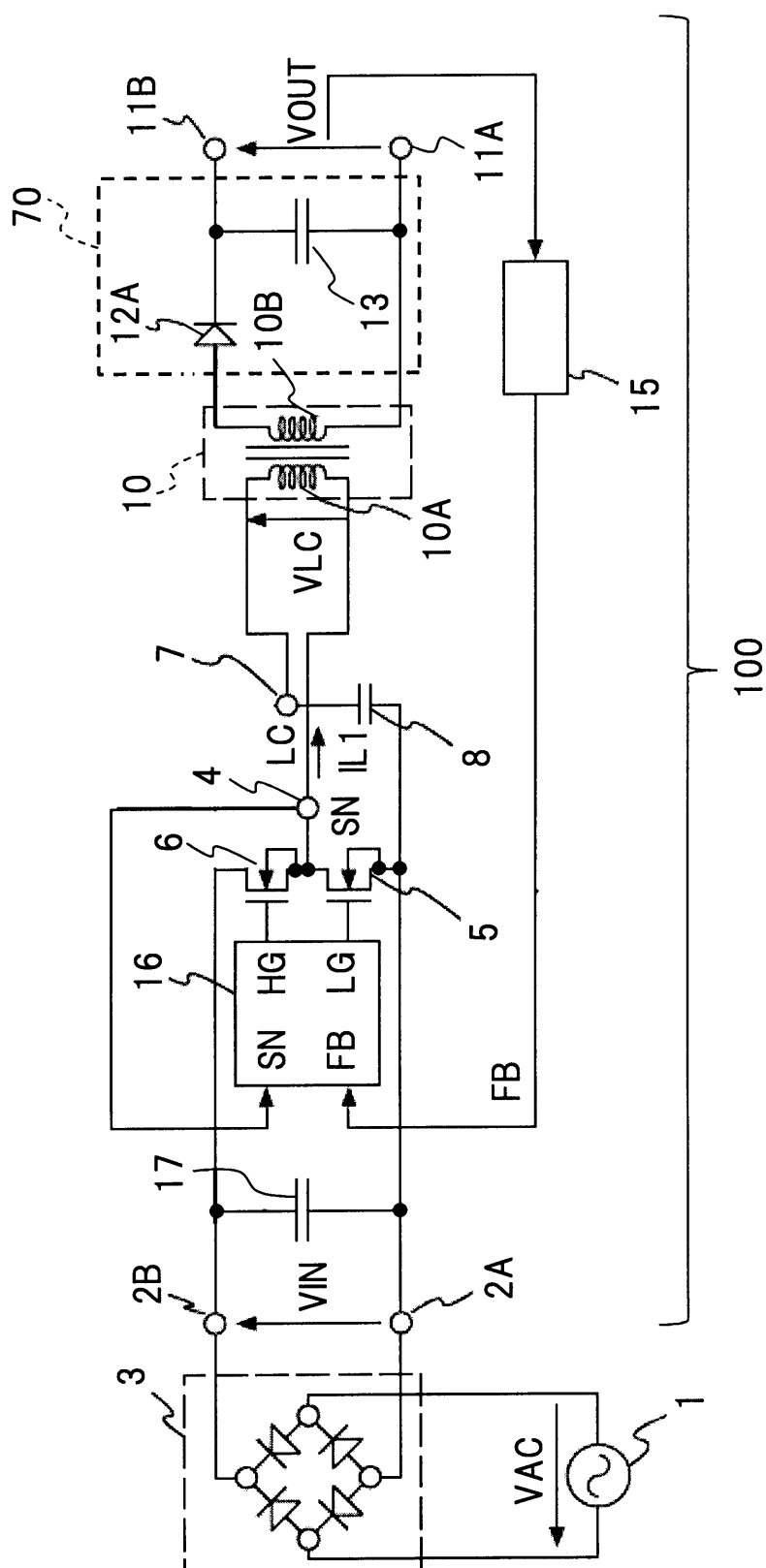
【図 1】



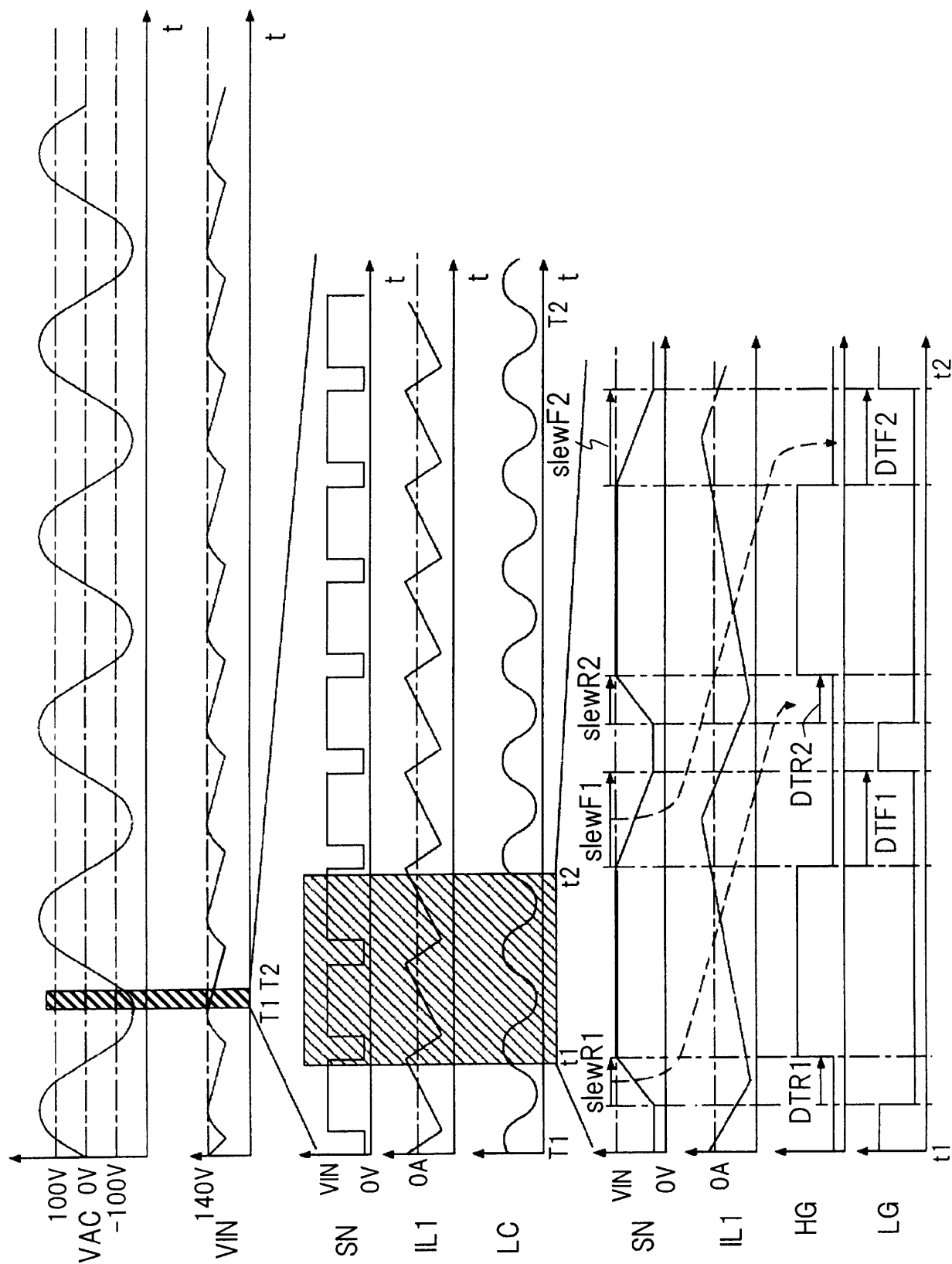
【図 2】



【図 3】



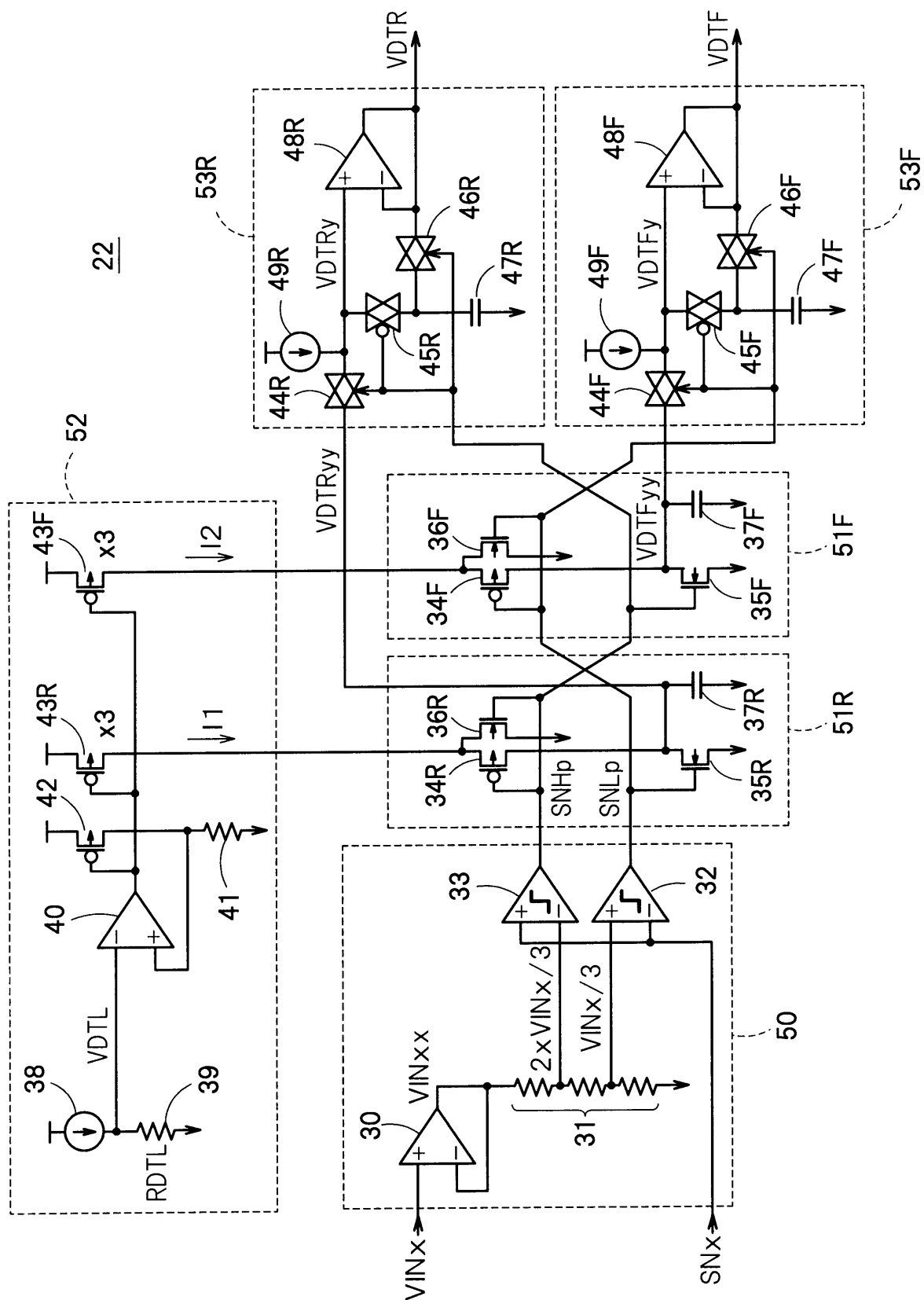
【図 4】



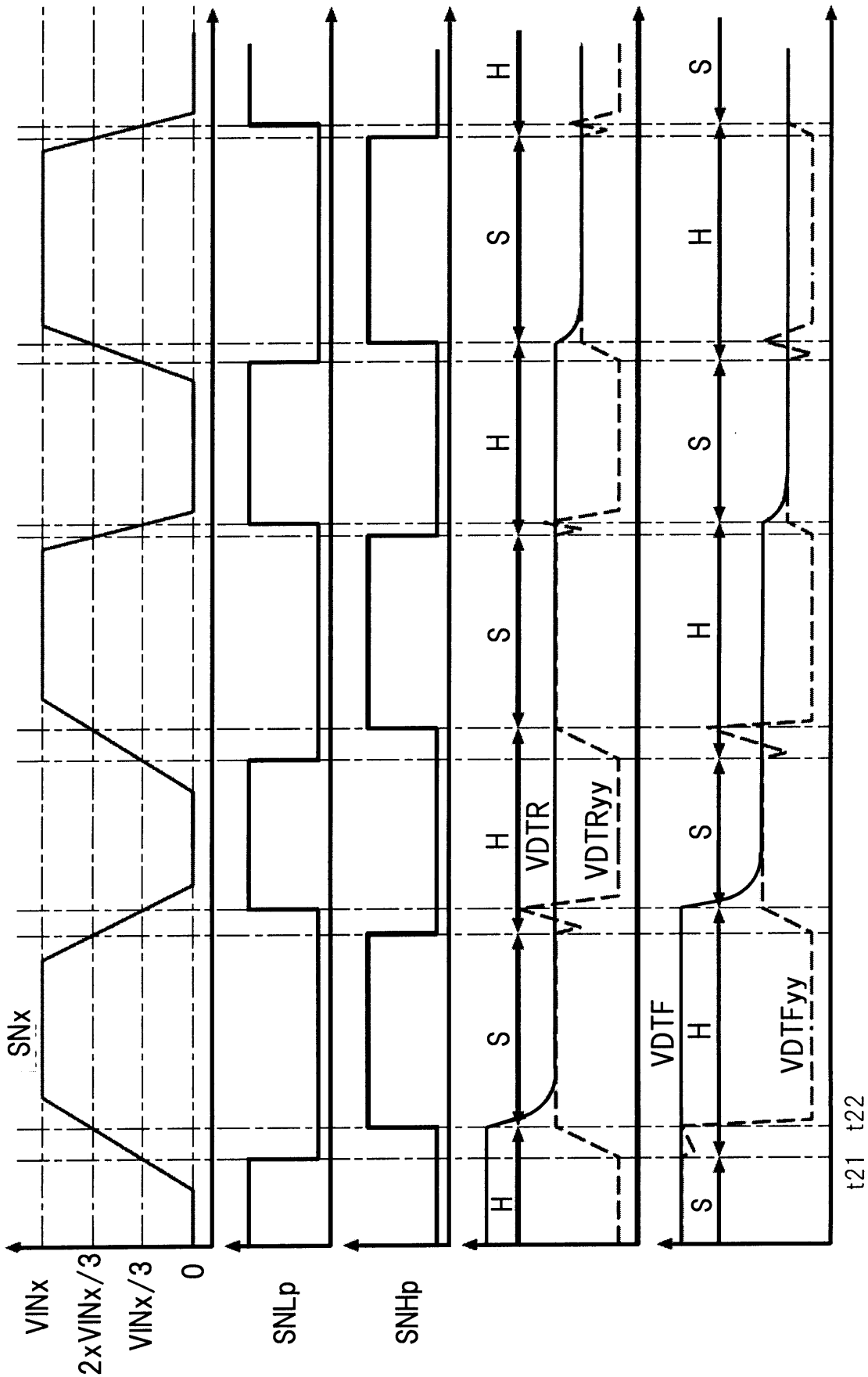




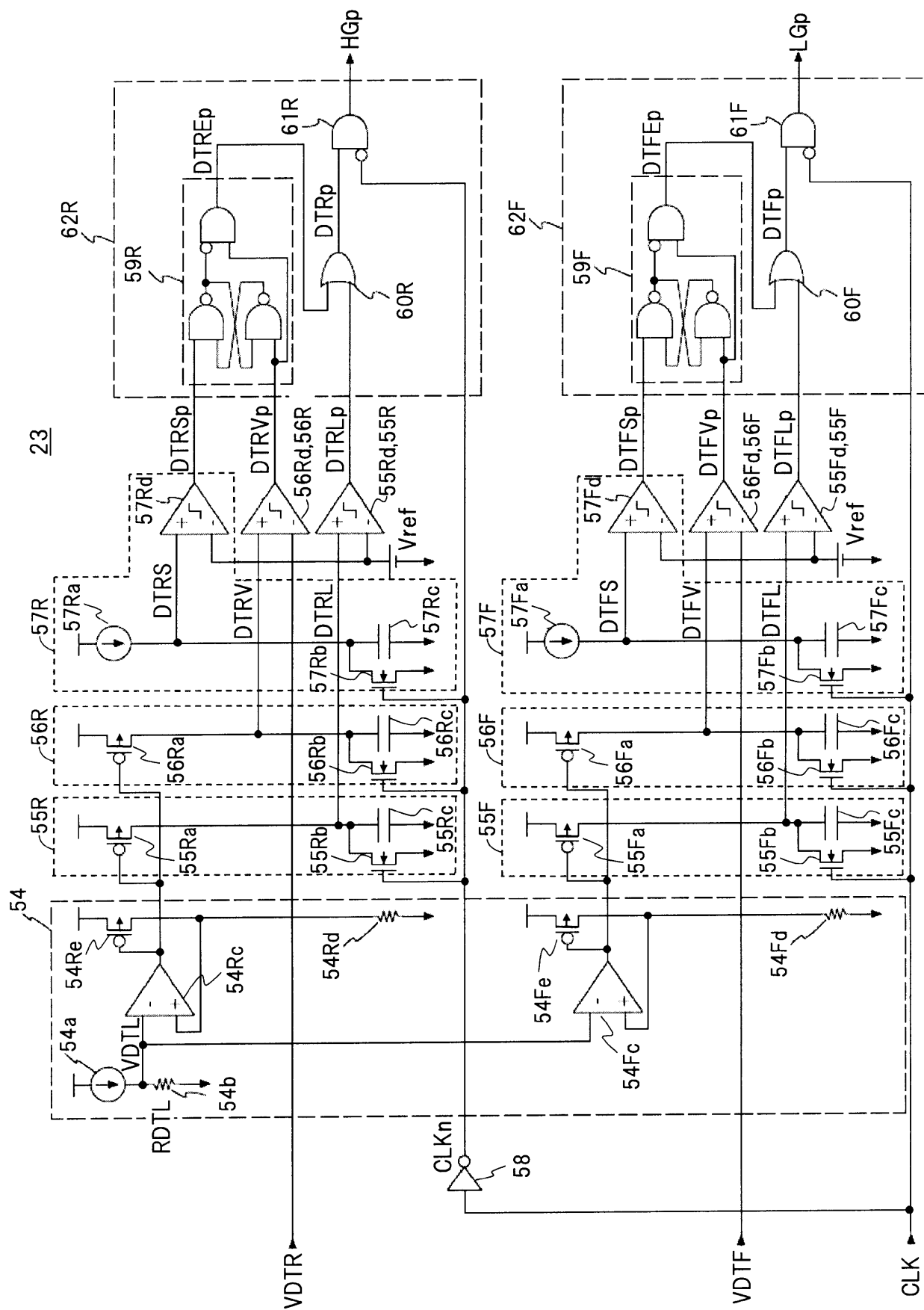
【図 6】



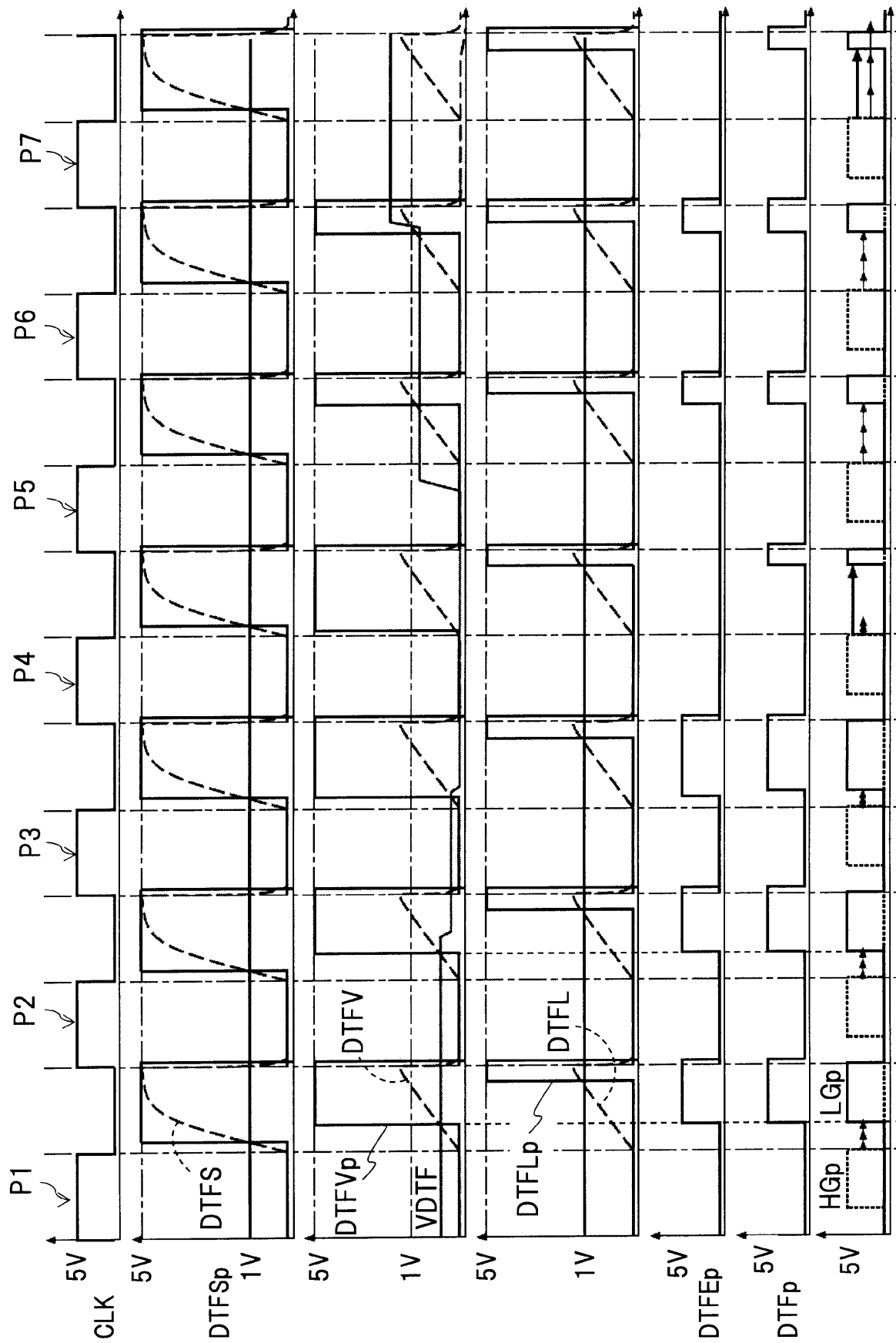
【図 7】

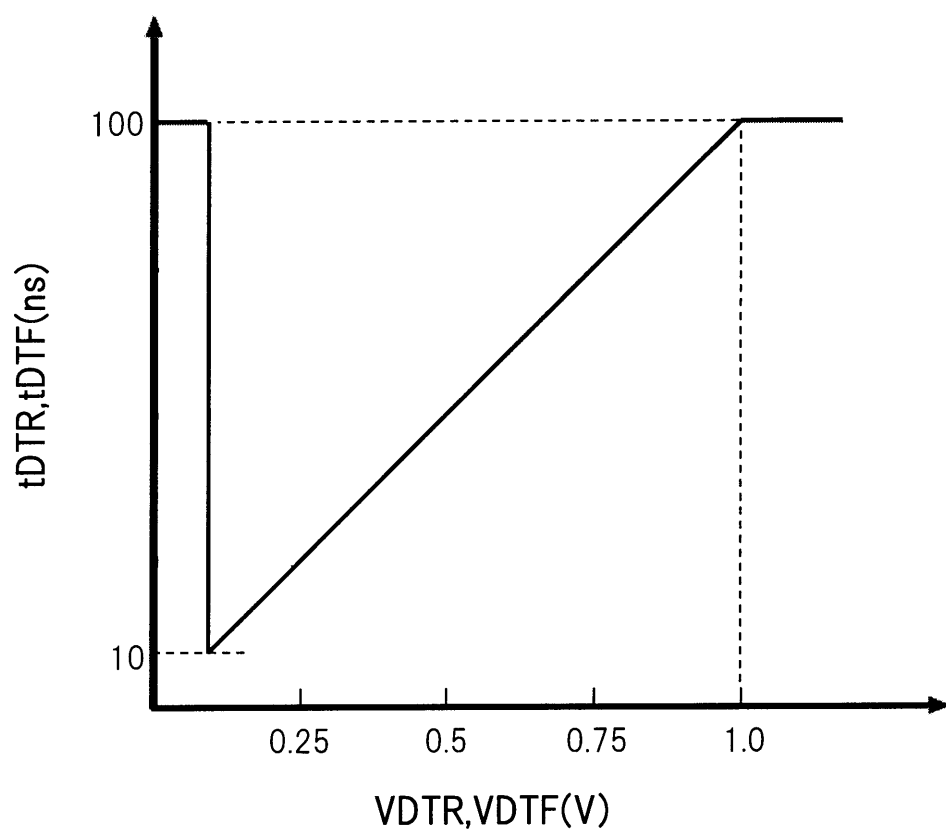


【図 8】



【図9】





【図 1 1】

