

【書類名】明細書

【発明の名称】固体撮像装置

【技術分野】

【0001】

本実施形態は固体撮像装置に関する。

【背景技術】

【0002】

固体撮像装置は半導体基板を備えており、半導体基板は画素領域と、回路領域に分けられる。画素領域には、光電変換素子及び複数のトランジスタを含む画素が行列状に配列されている。回路領域には、画素駆動部及び信号処理部等が設けられている。

【0003】

画素駆動部はドライバ等から構成される。ドライバは各画素に含まれるトランジスタと駆動信号線を介して電氣的に接続している。駆動信号線は、例えば選択信号線、リセット信号線及び転送信号線である。

【0004】

信号処理部は、カラム処理回路等により構成されている。カラム処理回路は、画素に含まれる複数のトランジスタと列ごとに垂直信号線で接続している。

【0005】

ドライバから出力された駆動信号が駆動信号線を通して上記トランジスタに供給される。これによりトランジスタが動作し、画素信号の読み出し等が行われる。画素信号の読み出しは、増幅トランジスタから出力された画素信号が垂直信号線を通してカラム処理回路に供給されることにより行われる。

【0006】

この種の固体撮像装置では、受光する光を多くするため、画素領域が増加する。これに伴い、画素領域及び、回路領域で処理される画素信号量が増えることにより、回路領域の面積が増加する傾向にあるが、一方では、装置全体の小型化が求められている。このため、同一の半導体基板に画素領域と回路領域を設けた構造には限界がある。そこで、画素領域と回路領域を別々の半導体基板に設け、重ねて配置する固体撮像装置の構造が知られている。

【0007】

半導体基板を重ねて配置する構造においては、各半導体基板に設けられた電極が電氣的に接続し接続部を構成することにより、画素領域と回路領域を電氣的に接続する。この接続部を介して上記ドライバから出力された駆動信号を画素に含まれるトランジスタに供給することができる。また、トランジスタから出力された画素信号を信号処理部に供給できる。このように、上記トランジスタが信号の入出力を行う数に応じた接続部が必要となる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2012-54876号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

実施形態は、積層構造における接続部の数が低減可能な固体撮像装置を提供する。

【課題を解決するための手段】

【0010】

実施形態の固体撮像装置は、第1半導体基板に設けられ、光電変換素子を含む画素を有する第1画素群と、光電変換素子を含む画素を有する第2画素群と、第1電極と、第1電極に接続された第1スイッチ素子と、第1スイッチ素子と第1画素群に接続された第1ラッチ回路と、第1電極に接続された第2スイッチ素子と、第2スイッチ素子と第2画素群

に接続された第2ラッチ回路と、第1半導体基板と積層する第2半導体基板上に設けられ、第1電極と接続する第2電極と、第2電極と接続された1のドライバと、第1スイッチ素子、第2スイッチ素子、第1ラッチ回路及び第2ラッチ回路を動作させる制御部とを有する。

【図面の簡単な説明】

【0011】

【図1】第1実施形態に係る固体撮像装置の構成を示す模式的分解斜視図。

【図2】第1実施形態に係る固体撮像装置の構成の一部を示す模式的上面図。

【図3】第1実施形態に係る固体撮像装置の構成を示す模式的断面図。

【図4】第1実施形態に係る固体撮像装置の構成の一部を示す等価回路。

【図5】第1実施形態に係る固体撮像装置の構成の一部を示す等価回路。

【図6】第1実施形態に係る固体撮像装置の動作を示すタイミングチャート。

【図7】第2実施形態に係る固体撮像装置の構成の一部を示す模式的上面図。

【図8】第2実施形態に係る固体撮像装置の動作を示すタイミングチャート。

【図9】第3実施形態に係る固体撮像装置の構成の一部を示す模式的上面図。

【図10】第4実施形態に係る固体撮像装置の構成の一部を示す模式的上面図。

【発明を実施するための形態】

【0012】

以下、第1実施形態について図面を参照して説明する。なお、各図面において、同様の構成要素については同一の符号を付して詳細な説明は適宜省略する。

【0013】

(第1実施形態)

第1実施形態に係る固体撮像装置を図1から図6を参照して説明する。図1は、第1実施形態に係る固体撮像装置の構成を示す模式的分解斜視図である。図2は、第1実施形態に係る固体撮像装置の構成の一部を示す模式的上面図である。図3は、第1実施形態に係る固体撮像装置の構成を示す模式的断面図である。図4は第1実施形態に係る固体撮像装置の構成の一部を示す等価回路である。図5は、第1実施形態に係る固体撮像装置の構成の一部を示す等価回路である。図6は、第1実施形態に係る固体撮像装置の動作を示すタイミングチャートである。

【0014】

第1実施形態に係る固体撮像装置は、図1に示すように第1半導体基板1と第2半導体基板10が重なり配置することにより構成される。第1半導体基板1及び第2半導体基板10は、別々の半導体基板である。

【0015】

第1実施形態に係る固体撮像装置の構造を第1半導体基板1及び第2半導体基板10に分けてそれぞれ説明する。

【0016】

図1に示すように、第1半導体基板1には、画素領域2、スイッチ素子3及びラッチ回路4が設けられている。第2半導体基板10には、制御部12、画素駆動部14及び信号処理部15が設けられる。尚、第1実施形態において制御部12が第2半導体基板10側に設けられているとして説明するが、第1半導体基板1側に設けられていても実施可能である。第1半導体基板1と第2半導体基板10は、第1半導体基板上に設けられた第1電極25a及び第2半導体基板上に設けられた第2電極25bが電氣的に接続することにより接続部25が構成される。この接続部25により第1半導体基板1側に設けられた画素6と、第2半導体基板10側に設けられた画素駆動部14及び信号処理部15とが電氣的に接続する。ここで、半導体基板1上に設けられた電極とは、半導体基板1の上に直接電極が設けられるだけでなく、半導体基板1に直接接することなく上方に電極が設けられていることも含む。すなわち、半導体基板1と電極との間に例えば後述する多層配線層や層間絶縁膜などが介在する場合も含むものとする。また、電極に限らずスイッチ素子3やラッチ回路4等についても同様である。

【0017】

図2を用いて、第1半導体基板1及び第2半導体基板10について説明する。

【0018】

第1半導体基板1には画素領域2、スイッチ素子3、ラッチ回路4及び第1電極25aを有する。

【0019】

画素領域2は、複数の画素6が行列状に配列されることにより構成される。

【0020】

第1実施形態において、例えば、画素領域2の1行目に配列された画素6の集まりを第1画素群6aとする。画素領域2の2行目に配列された画素6の集まりを第2画素群とする。第2画素群6bは第1画素群6aと並列に配置される。第1実施形態では説明を明確化するため、第2画素群6bまでしか記載しないが、同様にn行目に配列された画素6の集まりを第n画素群とする。

【0021】

画素6は、受光量に応じて信号電荷を生成、蓄積する光電変換素子としてのフォトダイオード7と、フォトダイオード7で生成された信号電荷を読み出し、画素信号として出力する複数のトランジスタ8から構成される。画素を構成するトランジスタ8は、選択トランジスタ8a、リセットトランジスタ8b、転送トランジスタ8c及び増幅トランジスタ8dである。尚、選択トランジスタ8aを除く構成であっても実施可能である。本実施形態では、一例として画素6に含まれるトランジスタ8は、選択トランジスタ8a、リセットトランジスタ8b、転送トランジスタ8c及び増幅トランジスタ8dから構成されるときとして説明する。尚、画素6の回路構成については後述する。

【0022】

スイッチ素子3は、第1スイッチ素子3a及び第2スイッチ素子3bから構成される。第1スイッチ素子3aは第1画素群6aと後述する画素駆動部14を導通又は遮断させる役割を果たす。第1スイッチ素子3aの一端は第1電極25aと接続し、他端は後述の第1ラッチ回路4aと接続している。第2スイッチ素子3bは第2画素群6bと画素駆動部14を導通又は遮断させる役割を果たす。第2スイッチ素子3bの一端は第1電極25aと接続し、他端は後述の第2ラッチ回路4bと接続している。スイッチ素子3は、例えばNMOSトランジスタ若しくはPMOSトランジスタのいずれか又は、NMOSトランジスタとPMOSトランジスタを並列に接続したトランスミッションゲートである。第1実施形態では、動作速度の速いトランスミッションゲートをスイッチ素子3の一例として説明する。尚、スイッチ素子3の詳細な説明については後述する。

【0023】

ラッチ回路4は、第1スイッチ素子3aに対応する第1ラッチ回路4a及び第2スイッチ素子3bに対応する第2ラッチ回路4bから構成される。第1ラッチ回路4aは、第1スイッチ素子3aがオフ状態となり第1画素群6aと画素駆動部14とが遮断された後、第1スイッチ素子3aがオフ状態となる前の駆動信号を保持する役割を果たす。第1ラッチ回路4aの一端は第1スイッチ素子3aと接続し、他端は第1画素群6aと接続している。第2ラッチ回路4bは、第2スイッチ素子3bがオフ状態となり第2画素群6bと画素駆動部14とが遮断された後、第2スイッチ素子3bがオフ状態となる前の駆動信号を保持する役割を果たす。第2ラッチ回路4bの一端は第2スイッチ素子3bと接続し、他端は第2画素群6bと接続している。ラッチ回路4は、例えば、CMOSインバータ5aとクロックインバータ5bとを並列に接続した回路である。第1実施形態では、CMOSインバータ5aとクロックインバータ5bとを並列接続した回路をラッチ回路4の一例として説明する。尚、ラッチ回路4の詳細な説明については後述する。

【0024】

第2半導体基板10には、制御部12、画素駆動部14、信号処理部15及び第2電極25bが設けられる。

【0025】

制御部12は第1スイッチ素子3a及び第1ラッチ回路4aを動作させる第1制御ドライバ12aと、第2スイッチ素子3b及び第2ラッチ回路4bを動作させる第2制御ドライバ12bから構成される。

【0026】

第1制御ドライバ12aは、制御信号線26を介して第1スイッチ素子3a及び第1ラッチ回路4aと電氣的に接続している。制御信号線26は、第1電極25a及び第2電極25bを介して第1半導体基板1側で第1制御信号線26aと第2制御信号線26bに分離される。第1制御信号線26aは第1スイッチ素子3aを構成するPMOSトランジスタのゲート及び第1ラッチ回路4aと電氣的に接続している。第2制御信号線26bは、インバータ18を介して第1スイッチ素子3aを構成するNMOSトランジスタのゲート及び第1ラッチ回路4aと電氣的に接続している。

【0027】

第2制御ドライバ12bは、制御信号線26を介して第2スイッチ素子3b素子及び第2ラッチ回路4bと電氣的に接続している。制御信号線26は第1電極25a及び第2電極25bを介して第1半導体基板1側で第1制御信号線26aと第2制御信号線26bに分離される。第1制御信号線26aは、第2スイッチ素子3bを構成するPMOSトランジスタのゲート及び第2ラッチ回路4bと電氣的に接続している。第2制御信号線26bは、インバータ18を介して第2スイッチ素子3bを構成するNMOSトランジスタのゲート及び第2ラッチ回路4bと電氣的に接続している。

【0028】

尚、第1実施形態において制御部12が第2半導体基板10側に設けられているとして説明するが、第1半導体基板1側に設けられていても実施可能である。また、制御部12は後述する画素駆動部14及び信号処理部15にそれぞれタイミング信号を出力する機能を有する。

【0029】

画素駆動部14は、デコーダ(図示しない)及び複数のドライバ13等から構成される。ドライバ13は、1のドライバ13で2行分の画素群に対応するように配置されている。第1実施形態では、第1画素群6a及び第2画素群6bを動作させる1のドライバ13を第1ドライバ13aとして説明する。第1ドライバ13aは後述の駆動信号線と接続している。

【0030】

第1ドライバ13aには、画素6に含まれる選択トランジスタ8aを動作させる選択信号ドライバsel13a、リセットトランジスタ8bを動作させるリセット信号ドライバres13a及び転送トランジスタ8cを動作させる転送信号ドライバtx13aを含む。選択信号ドライバsel13aは選択トランジスタ8aに選択信号線21を介して選択信号を出力する。リセット信号ドライバres13aはリセットトランジスタ8bにリセット信号線22を介してリセット信号を出力する。転送信号ドライバtx13aは転送トランジスタ8cに転送信号線23を介して転送信号を出力する。第1実施形態では図面の複雑化を避けるため選択信号ドライバsel13a、リセット信号ドライバres13a及び転送信号ドライバtx13aをまとめて第1ドライバ13aとして説明する。選択信号sel、リセット信号res及び転送信号txの信号を区別しないで説明する際には、駆動信号とする。また、選択信号線21、リセット信号線22及び転送信号線23の信号線をまとめて駆動信号線として説明する。

【0031】

駆動信号線は第2電極25bと接続している。駆動信号線は第1電極25a及び第2電極25bを介して第1半導体基板1側で分離され、第1画素群6a及び第2画素群6bにそれぞれ接続される。これにより積層構造における固体撮像装置では、駆動信号線と接続した第1ドライバ13aは第1電極25a及び第2電極25bを介して第1画素群6aと第2画素群6bと電氣的に接続する。以下説明を省略するが、第3画素群6c及び第4画素群6dを動作させるドライバ13は第2ドライバ13bであり、第5画素群6e及び第6画素群6fを動作させるドライバ13は第3ドライバ13cである。また、それぞれの駆動信号線も

第1電極25a及び第2電極25bを介して第1半導体基板1側で分離し対応する画素群とドライバ13とを電氣的に接続する。

【0032】

信号処理部15は、CDS(Correlated Double Sampling)回路16やAD変換回路(図示しない)が含まれる。

【0033】

CDS回路16は、画素6列ごとに設けられている。CDS回路16は、画素と垂直信号線24を介して電氣的に接続している。

【0034】

CDS回路16は、増幅トランジスタ8dから出力されたりセット電圧と画素電圧との差を取り、画素信号に含まれるノイズを除去する役割を果たす。その後、図示しない走査回路が信号を出力することで、AD変換回路から画素信号を水平信号線に出力させる。

【0035】

以上の構成を有する第1半導体基板1及び第2半導体基板10は、画素領域2と、画素駆動部14及び信号処理部15とが第1電極25a及び第2電極25bを介して互いに接続している。

【0036】

次に画素領域2と、画素駆動部14及び信号処理部15との接続部25に係る構成について説明する。

【0037】

第1半導体基板1に設けられた光電変換素子が光を受光する第1半導体基板1の面を下面とし、下面とは反対側を上面として説明する。また第2半導体基板10は、第1半導体基板1と重なり合う面を上面とし、上面とは反対側を下面とする。

【0038】

第1半導体基板1上には多層配線層が設けられている(図示しない)。多層配線層には、トランジスタや多数の配線等が絶縁膜等で覆われている(図示しない)。さらに多層配線層には、下面から上面に向かう方向に隣り合う配線を接続するコンタクトが設けられている(図示しない)。多層配線層の最上面から露出している配線を第1電極25aとする。

【0039】

第2半導体基板20上側には多層配線層が設けられている(図示しない)。多層配線層には、画素駆動部14及び信号処理部15を構成するトランジスタや多数の配線が絶縁膜で覆われている(図示しない)。多層配線層の最上面から露出している配線を第2電極25bとする。さらに多層配線層には、下面から上面に向かう方向に隣り合う配線を接続するコンタクトが設けられている(図示しない)。多層配線層の最上面から露出している配線を第2電極25bとする。

【0040】

第1半導体基板1と第2半導体基板10とが重なり合うことにより、第1電極25a及び第2電極25bが電氣的に接続し、接続部25を構成する。これにより、第1半導体基板1に設けられた画素6と、第2半導体基板10に設けられた画素駆動部14及び信号処理部15とが電氣的に接続する。そして、画素駆動部14により出力された駆動信号がそれぞれのトランジスタ8に供給される。また、画素6から出力される画素信号は接続部25を介して信号処理部15に供給される。

【0041】

次に図4を用いて画素6に含まれる回路構成について説明する。

【0042】

図4に示すように、画素6は光電変換素子としてのフォトダイオード7及び複数のトランジスタ8を含む。第1実施形態では、複数のトランジスタ8を例えば選択トランジスタ8a、リセットトランジスタ8b、転送トランジスタ8c及び増幅トランジスタ8dとして説明するが、選択トランジスタ8aが無くても実施可能である。第1実施形態において、ト

ランジスタ 8 をNMOSランジスタとして説明する。

【 0 0 4 3 】

選択ランジスタ 8 aのドレインは増幅ランジスタ 8 dのソースと接続し、ソースは垂直信号線 2 4 を介して信号処理部 1 5 と電氣的に接続している。選択ランジスタ 8 aのゲートは選択信号線 2 1 を介して画素駆動部 1 4 に含まれるドライバ 1 3 と電氣的に接続している。選択ランジスタ 8 aは、ドライバ 1 3 から出力される選択信号sel 13aにより、読み出しを行う画素 6 を選択する役割を果たす。

【 0 0 4 4 】

リセットランジスタ 8 bのドレインは電源端子 1 7 に接続し、ソースはフローティングディフュージョン (以下 F D) 9 を介して増幅ランジスタ 8 dのゲートと接続している。リセットランジスタ 8 bのゲートはリセット信号線 2 2 を介して画素駆動部 1 4 に含まれるドライバ 1 3 と電氣的に接続する。リセットランジスタ 8 bは、ドライバ 1 3 から出力されたりセット信号res 13bにより、F D 9 の電位を電源端子 1 7 の電圧 V_{DD} にする役割を果たす。この電位がリセット電位となる。

【 0 0 4 5 】

転送ランジスタ 8 cのドレインは、F D 9 を介して増幅ランジスタ 8 dのゲートに接続している。転送ランジスタ 8 cのソースはフォトダイオード 7 と接続している。転送ランジスタ 8 cのゲートは転送信号線 2 3 を介して画素駆動部 1 4 に含まれるドライバ 1 3 と電氣的に接続している。転送ランジスタ 8 cは、ドライバ 1 3 から出力される転送信号tx 13cによりフォトダイオード 7 蓄積された電荷をF D 9 へ転送する役割を果たす。これによりF D 9 の電位が、リセット電位からフォトダイオード 7 に蓄積された電荷に応じた電位分だけ低くなる。この電位が画素電位となる。

【 0 0 4 6 】

増幅ランジスタ 8 dのドレインは、電源端子 1 7 に接続し、ソースは選択ランジスタ 8 aのドレインと接続している。増幅ランジスタ 8 dのゲートはF D 9 と接続している。増幅ランジスタ 8 dは、F D 9 の電位を増幅してその電位に応じた電圧を垂直信号線 2 4 に出力する。

【 0 0 4 7 】

以下、選択信号線 2 1、リセット信号線 2 2 及び転送信号線 2 3 をまとめて説明する場合に駆動信号線という。

【 0 0 4 8 】

次に図 5 (a) を用いて、スイッチ素子 3 とラッチ回路 4 との回路構成を説明する。

【 0 0 4 9 】

ここで説明するスイッチ素子 3 の一例として、第 1 スwitch素子 3 aを用いて説明する。また、ラッチ回路 4 も同様に、一例として第 1 ラッチ回路 4 aを用いて説明する。第 2 スwitch素子 3 b及び第 2 ラッチ回路 4 bも同様の構造である。

【 0 0 5 0 】

第 1 実施形態では、第 1 スwitch素子 3 aをトランスミッションゲートとして説明する。

【 0 0 5 1 】

トランスミッションゲートは、PMOSランジスタのドレインとNMOSランジスタのドレインを共有し、またPMOSランジスタのソースとNMOSランジスタのソースを共有する回路である。

【 0 0 5 2 】

第 1 スwitch素子 3 aのPMOSランジスタのゲートは第 1 制御信号線 2 6 aと電氣的に接続し、第 1 スwitch素子 3 aのNMOSランジスタのゲートは第 2 制御信号線 2 6 bを介して制御部 1 2 と電氣的に接続している。

【 0 0 5 3 】

第 1 スwitch素子 3 aは、ロウレベルの制御信号「 0 」がPMOSランジスタのゲートに入力され、ハイレベルの制御信号「 1 」がNMOSランジスタのゲートに入力されると、画

素群と画素駆動部 1 4 を導通させる。

【 0 0 5 4 】

一方、第 1 スイッチ素子 3 aは、ハイレベルの制御信号「 1 」がPMOSトランジスタのゲートに入力され、ロウレベルの制御信号「 0 」がNMOSトランジスタのゲートに入力されると画素群と画素駆動部 1 4 を遮断する。

【 0 0 5 5 】

次に第 1 ラッチ回路 4 aについて説明する。

【 0 0 5 6 】

第 1 ラッチ回路 4 aは、例えば、CMOSインバータ 5 aとクロックトインバータ 5 bとを並列に接続した回路である。

【 0 0 5 7 】

第 1 実施形態では、CMOSインバータ 5 aとクロックトインバータ 5 bとを並列接続した回路を第 1 ラッチ回路 4 aの一例として説明する。

【 0 0 5 8 】

CMOSインバータ 5 aは、PMOSトランジスタp1のゲートとNMOSトランジスタn1のゲートを共有し、またPMOSトランジスタp1のソースとNMOSトランジスタn1のドレインを共有する回路である。

【 0 0 5 9 】

CMOSインバータ5aのゲート側を入力点Aとし、PMOSトランジスタp1のソースとNMOSトランジスタn1のドレインが共有する点を出力点Bとする。

【 0 0 6 0 】

CMOSインバータ5aの入力点Aは、駆動信号線を介してドライバ 1 3 と電氣的に接続している。

【 0 0 6 1 】

CMOSインバータ5aの入力点Aには、スイッチ素子 3 がオン状態のときドライバ 1 3 からの駆動信号が入力される。

【 0 0 6 2 】

CMOSインバータ5aの出力点Bは、駆動信号線を介して画素 6 に含まれるトランジスタ 8 及びクロックトインバータ5bと電氣的に接続している。

【 0 0 6 3 】

CMOSインバータ5aの出力点Bは、CMOSインバータ5aに入力された駆動信号を反転させた駆動信号を出力する。

【 0 0 6 4 】

クロックトインバータ5bは 2 つのPMOSトランジスタp2、p3と、 2 つのNMOSトランジスタn2、n3から構成される。

【 0 0 6 5 】

クロックトインバータ5bは、PMOSトランジスタp2のゲートとNMOSトランジスタn3のゲートを共有にして入力Xとし、PMOSトランジスタp3のソースとNMOSトランジスタn2のドレインを共有にして出力Yとする回路である。

【 0 0 6 6 】

PMOSトランジスタp2のドレインは電源端子 1 7 と接続し、ソースはPMOSトランジスタp3のドレインと接続している。PMOSトランジスタp2のゲートは駆動信号線と接続している。

【 0 0 6 7 】

PMOSトランジスタp3のドレインはPMOSトランジスタp2のソースと接続し、ソースはNMOSトランジスタn2のドレインと接続している。PMOSトランジスタp3のゲートは、第 2 制御信号線 2 6 bを介して制御部 1 2 と電氣的に接続している。

【 0 0 6 8 】

NMOSトランジスタn2のドレインは、PMOSトランジスタp3のソースと接続し、ソースはNMOSトランジスタn3のドレインと接続している。NMOSトランジスタn2のゲートは、第 1 制御信号線 2 6 aを介して制御部 1 2 と電氣的に接続している。

【 0 0 6 9 】

NMOSトランジスタ n_3 のドレインはNMOSトランジスタ n_2 のソースと接続し、ソースは接地している。NMOSトランジスタ n_3 のゲートは駆動信号線と接続している。

【 0 0 7 0 】

PMOSトランジスタ p_3 のゲートとNMOSトランジスタ n_2 のゲートには、いずれか一方に入力された制御信号と対称の制御信号が入力されるので、PMOSトランジスタ p_3 のゲートにロウレベルの制御信号「0」が入力され、NMOSトランジスタ n_2 のゲートにハイレベルの制御信号「1」が入力されると、PMOSトランジスタ p_3 及びNMOSトランジスタ n_2 がオン状態となる。これによりクロックインバータ5bがオン状態になる。

【 0 0 7 1 】

この状態で、CMOSインバータ5aから出力されたロウレベル駆動信号「0」がPMOSトランジスタ p_2 のゲート及びNMOSトランジスタ n_3 のゲートへ入力される。これにより、PMOSトランジスタ p_2 がオン状態となり、NMOSトランジスタ n_3 がオフ状態となる。この時、出力点Yからハイレベル駆動信号「1」が出力される。さらに、ハイレベル駆動信号「1」がCMOSインバータ5aに入力され、ロウレベル駆動信号「0」を出力する。この状態を繰り返すことで、信号がラッチ回路4により保持される。

【 0 0 7 2 】

一方、PMOSトランジスタ p_3 のゲートにハイレベルの制御信号「1」が入力され、NMOSトランジスタ n_2 のゲートにロウレベルの制御信号「0」が入力されると、PMOSトランジスタ p_2 及びNMOSトランジスタ n_3 がオフ状態となる。これによりクロックインバータ5bがオフ状態となる。第1スイッチ素子3a及び第1ラッチ回路4aを図5bのように示す。

【 0 0 7 3 】

次に制御部12に含まれる第1制御ドライバ12a及び第2制御ドライバ12bについて図2を用いて説明する。第1制御ドライバ12aは、第1スイッチ素子3a及び第1ラッチ回路4aと制御信号線26を介して電氣的に接続している。

【 0 0 7 4 】

第1実施形態において、制御信号線26は第1半導体基板1側で第1制御信号線26aと第2制御信号線26bに分離される。

【 0 0 7 5 】

第1制御信号線26aは、第1スイッチ素子3aのPMOSトランジスタのゲート及び第1ラッチ回路4aと電氣的に接続している。

【 0 0 7 6 】

第2制御信号線26bは、インバータ18を介して第1スイッチ素子3aのNMOSトランジスタのゲート及び第2ラッチ回路4bと電氣的に接続している。

【 0 0 7 7 】

以上より、第1スイッチ素子3aがオン状態のとき、第1ラッチ回路4aはオフ状態となり、第1スイッチ素子3aがオフ状態のとき第1ラッチ回路4aはオン状態となる。

【 0 0 7 8 】

次に第1実施形態に係る固体撮像装置の動作について説明する。

【 0 0 7 9 】

第1実施形態の固体撮像装置において、制御部12により指定された第1スイッチ素子3a若しくは第2スイッチ素子3bのいずれか一方又は両方がオン状態またはオフ状態となる。第1スイッチ素子3aがオン状態となり、第2スイッチ素子3bがオフ状態の時、第1画素群6aと第1ドライバ13aが導通する。第1スイッチ素子3aがオフ状態となり、第2スイッチ素子3bがオン状態となった時、第2画素群6bと第1ドライバ13aが導通する。また、第1スイッチ素子3a及び第2スイッチ素子3bがオン状態の時、第1画素群6aと第2画素群6bの両方が第1ドライバ13aと導通する。第1画素群6a若しくは第2画素群6b又は両方が第1ドライバ13aと導通した場合、第1ドライバ13aはそれぞれの画素6に含まれる選択トランジスタ8a、リセットトランジスタ8b及び転送トランジスタ8cに駆動信号を出力する。ラッチ回路4は、スイッチ素子3がオフ状態となる前の駆

【0080】

第1ドライバ13aと導通した画素群は画素信号を垂直信号線24に出力する。垂直信号線24は接続部25を介して信号処理部15へ供給する。信号処理部15では、供給された画素信号のデジタル変換等を行い外部へ出力する。

【0081】

第1実施形態に係る固体撮像装置における具体的な動作について図2、図4、図5及び図6を用いて説明する。

【0082】

ここでは、第1画素群6a又は第2画素群6bのいずれか一方が第1ドライバ13aと導通する場合について説明する。

【0083】

図6に示す時刻T1の時、第1制御ドライバ12aの制御信号をロウレベル電圧「0」に設定する。これにより、第1スイッチ素子3aがオン状態となり、第1ドライバ13aと第1画素群6aとが導通する。

【0084】

第1制御ドライバ12aがロウレベルの制御信号「0」を出力したとき、第1ラッチ回路4aがオフ状態となる。

【0085】

また、時刻T1の時に第2制御ドライバ12bは制御信号をハイレベル電圧「1」となるように設定する。これにより、第2スイッチ素子3bはオフ状態となり、第1ドライバ13aと第2画素群6bに含まれるトランジスタ8は遮断される。

【0086】

第1スイッチ素子3aがオン状態で時刻T2の時、第1ドライバ13aから選択トランジスタ8aを動作させる選択信号sel13a「1」と反転した選択信号sel13a「0」を出力する。選択信号sel13a「0」は第1ラッチ回路4aに含まれるCMOSインバータ5aにより選択信号sel13a「1」に反転され、第1画素群6aに含まれる選択トランジスタ8aに入力される。これにより、選択信号sel13a「1」が入力された選択トランジスタ8aは動作する。

【0087】

第1スイッチ素子3aがオン状態で時刻T3の時、第1ドライバ13aからリセットトランジスタ8bを動作させるリセット信号res13a「1」の反転したリセット信号res13a「0」を出力する。リセット信号res13a「0」は第1ラッチ回路4aに含まれるCMOSインバータ5aによりリセット信号res13a「1」に反転され、第1画素群6aに含まれるリセットトランジスタ8bに入力される。これにより、リセット信号res13a「1」が入力されたリセットトランジスタ8bが動作し、FD9の電位は電源端子17の電位V_{DD}となる。この電源端子17に応じたFD9の電圧がリセット電位となる。このリセット電圧は増幅トランジスタ8dのゲートに印加され、選択トランジスタ8aを介して垂直信号線24に出力される。リセット電圧は垂直信号線24を介して信号処理部15へ入力される。

【0088】

時刻T4の時、リセット信号res13aはロウレベル電圧「0」に設定され、反転したリセット信号res13a「1」が出力される。第1ラッチ回路4aに含まれるCMOSインバータ5aにより反転されたリセット信号res13a「0」がリセットトランジスタ8bに入力される。これにより、リセットトランジスタ8bは停止する。

【0089】

次に、第1スイッチ素子3aがオン状態で時刻T5の時、第1ドライバ13aから転送トランジスタ8cを動作させる転送信号tx13a「1」と反転した転送信号tx13a「0」を出力する。転送信号tx13a「0」は第1ラッチ回路4aに含まれるCMOSインバータ5aにより転送信号tx13a「1」に反転され、第1画素群6aに含まれる転送トランジスタ8cに入力される。これにより、転送信号tx13a「1」が入力された転送トランジスタ8cが動作する。

【0090】

転送トランジスタ8cが動作することにより、フォトダイオード7に蓄積された電荷がFD9へ転送される。この電位を画素電圧として増幅トランジスタ8dのゲートに印加される。画素電圧は選択トランジスタ8aを介して垂直信号線24に出力され、その後、信号処理部15へ入力される。

【0091】

信号処理部15では、リセット電圧及び画素電圧の差を取ることによりノイズを除去する。その後AD変換機能を有する回路(図示しない)により、信号をデジタル変換する。

【0092】

フォトダイオード7の電荷の読み出しが終了した時刻T6の時、転送信号tx13aはロウレベル電圧「0」に設定され、反転した転送信号tx13a「1」が出力される。リセット信号res13aと同様にして第1画素群6aに含まれる転送トランジスタ8cに入力される。これにより転送トランジスタ8cが停止する。これによりリセット状態を維持する。

【0093】

次に時刻T7の時、第1制御ドライバ12aの制御信号をハイレベル電圧「1」に設定すると第1スイッチ素子3aがオフ状態となる。これにより、第1ドライバ13aと第1画素群6aとが遮断される。

【0094】

また、第1制御ドライバ12aから出力された制御信号により、第1ラッチ回路4aがオン状態となる。ここで、図5(a)を用いて第1ラッチ回路4aでの動作を説明する。第1ラッチ回路4aがオン状態の時、第1スイッチ素子3aがオフ状態となる前の転送信号tx13a「0」がクロックインバータ5bの入力点Xから入力される。クロックインバータ5bに入力された転送信号「0」は反転して、出力点Yから転送信号「1」が出力される。さらに転送信号tx13a「1」はCMOSインバータに入力され反転した転送信号tx13a「0」を出力する。上記内容を繰り返すことにより、第1ラッチ回路4aで転送信号tx13aを保持する。これにより、転送トランジスタ8cを停止させた状態にし、リセット状態を維持する。

【0095】

時刻T7の時に、第2制御ドライバ12bは制御信号をロウレベル電圧「0」に設定する。これにより、第2スイッチ素子3bはオン状態となり、第1ドライバ13aと第2画素群6bに含まれるトランジスタ8が導通する。

【0096】

第2画素群6bにおいても第1画素群6aと同様の動作を行う。

【0097】

第1実施形態に係る固体撮像装置は、第1半導体基板1上にスイッチ素子3及びラッチ回路4を設けた。これにより、スイッチ素子3に含まれる第1スイッチ素子3a若しくは第2スイッチ素子3bのいずれか又は両方がオン状態となることで、それに対応した第1画素群6a若しくは第2画素群6bのいずれか又は両方が第1ドライバ13aと導通する。これにより第1ドライバ13aでそれぞれの画素群を動作させることができる。つまり、1つのドライバに対して2つの画素群を動作させることが可能であるため、ドライバ13と画素群とを接続する駆動信号線の数減らすことができる。このため、第1半導体基板1と第2半導体基板10とを重ね合わせることで構成される接続部25の数減らすことができる。

【0098】

第1実施形態に係る固体撮像装置において、例えば第2半導体基板10に設けられたドライバ13及び制御部12が第1半導体基板1に設けられた素子との接続に必要な接続部25の数を(数1)で示すことができる。

【0099】

画素群の数nの時、接続部の数Tは、(数1)で表せる。

(数1) $T=n/2+2$

【0100】

例えば第1実施形態で説明した例のように、2つの画素群の場合、ドライバ13及び制

御部 1 2 から第 1 半導体基板 1 に設けられた素子と接続する際の接続部 2 5 の数は、3 つである。

【0101】

第 1 実施形態では第 1 ドライバ 1 3 a と第 1 画素群 6 a 及び第 2 画素群 6 b についてのみ説明したが、例えば第 2 ドライバ 1 3 b、第 3 ドライバ 1 3 c も同様に、1 つのドライバ 1 3 で 2 つの画素群を動作させることができるため、接続部 2 5 の数を減らすことができる。

【0102】

(第 2 実施形態)

第 2 実施形態に係る固体撮像装置を図 7 及び図 8 を用いて説明する。図 7 は、第 2 実施形態に係る固体撮像装置の画素領域及び回路領域を示す等価回路図である。図 8 は、第 2 実施形態に係る固体撮像装置の動作を示すタイミングチャートである。

【0103】

第 2 実施形態に係る固体撮像装置が第 1 実施形態と異なる点は、1 つのドライバ 1 3 で第 1 画素群 6 a、第 2 画素群 6 b 及び第 3 画素群 6 c を動作させることができることである。つまり、第 1 半導体基板 1 と第 2 半導体基板 1 0 とを電氣的に接続する接続部 2 5 の数をさらに減らすことができる。第 2 実施形態に係る固体撮像装置は、上記点を除いて、第 1 実施形態に係る固体撮像装置の構造と同じであるので、同一部分には同一符号を付して詳細な説明は省略する。

【0104】

第 2 実施形態に係る固体撮像装置の構造について説明する。

【0105】

それぞれの画素群に含まれる選択トランジスタ 8 a、リセットトランジスタ 8 b 及び転送トランジスタ 8 c にそれぞれのトランジスタに応じた駆動信号を出力するドライバを第 1 ドライバ 1 3 a とする。第 1 ドライバ 1 3 a は、第 1 画素群 6 a、第 2 画素群 6 b 及び第 3 画素群 6 c とは駆動信号線を介して接続する。駆動信号線は、接続部 2 5 を介して第 1 半導体基板 1 側で 3 つに分離され、それぞれの画素群と接続する。

【0106】

スイッチ素子 3 は、第 1 画素群 6 a に接続する第 1 スイッチ素子 3 a、第 2 画素群 6 b に接続する第 2 スイッチ素子 3 b 及び、第 3 画素群 6 c に接続する第 3 スイッチ素子 3 c から構成される。第 2 実施形態において、スイッチ素子 3 は、例えば NMOS トランジスタ若しくは PMOS トランジスタのいずれか又は、NMOS トランジスタと PMOS トランジスタを並列に接続したトランスミッションゲートである。第 2 実施形態では、第 1 実施形態と同様にトランスミッションゲートをスイッチ素子 3 の一例として説明する。

【0107】

ラッチ回路 4 は、第 1 スイッチ素子 3 a に対応する第 1 ラッチ回路 4 a、第 2 スイッチ素子 3 b に対応する第 2 ラッチ回路 4 b 及び、第 3 スイッチ素子 3 c に対応する第 3 ラッチ回路 4 c から構成される。第 2 実施形態では、CMOS インバータ 5 a とクロックインバータ 5 b とを並列接続した回路をラッチ回路 4 の一例として説明する。

【0108】

スイッチ素子 3 及びラッチ回路 4 の構造については省略する。

【0109】

スイッチ素子 3 及びラッチ回路 4 は第 1 実施形態に係る固体撮像装置と同様に第 1 半導体基板 1 側に設けられている。

【0110】

制御部 1 2 は、第 1 スイッチ素子 3 a 及び第 1 ラッチ回路 4 a を動作させる第 1 制御ドライバ 1 2 a、第 2 スイッチ素子 3 b 及び第 2 ラッチ回路 4 b を動作させる第 2 制御ドライバ 1 2 b 及び、第 3 スイッチ素子 3 c 及び第 3 ラッチ回路 4 c を動作させる制御する第 3 制御ドライバ 1 2 c から構成される。また、制御部 1 2 は画素駆動部 14 及び信号処理部 1 5 にそれぞれにタイミング信号を出力する。

【0111】

制御部12から出力される制御信号を伝送する制御信号線26は、接続部25を介して第1半導体基板1側で第1制御信号線26a及び、第2制御信号線26bに分離される。

【0112】

次に第2実施形態に係る固体撮像装置の動作について図7及び図8を用いて説明する。

【0113】

尚、各画素6に含まれるトランジスタ8の動作については、第1実施形態と同じであるため詳細な説明を省略する。また、ここでは、第1画素群6a、第2画素群6b及び、第3画素群6cのいずれか1つが第1ドライバ13aと導通する場合についてのみ説明するが、画素群のいずれか2つが第1ドライバ13aと導通している場合、すべての画素群が導通していつ場合も実施可能である。

【0114】

図8に示す時刻T1の時、第1制御ドライバ12aの制御信号をロウレベル電圧「0」に設定する。これにより、第1スイッチ素子3aがオン状態となり、第1ドライバ13aと第1画素群6aに含まれるトランジスタ8とが導通する。この時、第1ラッチ回路4aがオフ状態となる。

【0115】

第2制御ドライバ12b及び、第3制御ドライバ12cは、時刻T1の時に制御信号をハイレベル電圧「1」に設定する。これにより、第2スイッチ素子3b及び第3スイッチ素子3cはオフ状態となり、ドライバ13と第2画素群6b及び第3画素群6cは遮断される。

【0116】

第1スイッチ素子3aがオン状態で時刻T2の時、第1ドライバ13aから選択トランジスタ8aを動作させる選択信号sel13a「1」と反転した選択信号sel13a「0」を出力する。選択信号sel13a「0」は第1ラッチ回路4aに含まれるCMOSインバータ5aにより選択信号sel13a「1」に反転され、第1画素群6aに含まれる選択トランジスタ8aに入力される。これにより、選択信号sel「1」が入力された選択トランジスタ8aは動作する。

【0117】

第1スイッチ素子3aがオン状態で時刻T3の時、ドライバ13からリセットトランジスタ8bを動作させるリセット信号res13a「1」の反転したリセット信号res13a「0」を出力する。リセット信号res13a「0」は第1ラッチ回路4aに含まれるCMOSインバータ5aによりリセット信号res13a「1」に反転され、第1画素群6aに含まれるリセットトランジスタ8bに入力される。これにより、リセット信号res13a「1」が入力されたリセットトランジスタ8bが動作する。リセットトランジスタ8bが動作することにより、FD9の電位は電源端子17の電位 V_{DD} となる。その後リセット電圧は垂直信号線24を介して信号処理部15へ入力される。

【0118】

時刻T4の時、ドライバ13をロウレベル電圧「0」に設定し、リセットトランジスタ8bを停止する。

【0119】

次に、第1スイッチ素子3aがオン状態で時刻T5の時、第1ドライバ13aから転送トランジスタ8cを動作させる転送信号tx13a「1」と反転した転送信号tx13a「0」を出力する。転送信号tx13a「0」は第1ラッチ回路4aに含まれるCMOSインバータ5aにより転送信号tx13a「1」に反転され、第1画素群6aに含まれる転送トランジスタ8cに入力される。これにより、転送信号tx13a「1」が入力された転送トランジスタ8cが動作する。

【0120】

転送トランジスタ8cが動作することにより、フォトダイオード7に蓄積された電荷がFD9へ転送される。これにより、FD9はリセット電位 V_{DD} からフォトダイオード7に蓄積された電荷に応じた電位分だけ低くなる。この電位を画素電圧として増幅トランジスタ8dのゲートに印加される。画素電圧は選択トランジスタ8aを介して垂直信号線24に出力され、その後信号処理部15へ入力される。

【0121】

フォトダイオード7の電荷の読み出しが終了した時刻T6の時、第3ドライバ13cは転送信号「0」を出力する。これにより転送トランジスタ8cは停止する。これによりリセット状態に戻る。

【0122】

次に時刻T7の時第1制御ドライバ12a及び、第3制御ドライバ12cの制御信号をハイレベル電圧「1」に設定する。この時、これにより、第1スイッチ素子3a及び、第3スイッチ素子3cがオフ状態となり、ドライバ13と第1画素群6aに含まれるトランジスタ8及び第3画素群6cに含まれるトランジスタ8とが遮断される。

【0123】

また、第1ラッチ回路4aが転送トランジスタ8cを停止させた転送信号を保持する。これにより、転送トランジスタ8cを停止させた状態にし、リセット状態を維持する。

【0124】

第2制御ドライバ12bは、時刻T7の時に制御信号をロウレベル電圧「0」に設定する。これにより、第2スイッチ素子3bはオン状態となり、第1ドライバ13aと第2画素群6bに含まれるトランジスタ8が導通する。

【0125】

この後のトランジスタ8は上述した動作と同じであるため、説明を省略する。

【0126】

第2実施形態に係る固体撮像装置は、第1半導体基板1上にスイッチ素子3及びラッチ回路4を設けた。これにより、スイッチ素子3に含まれる第1スイッチ素子3a若しくは第2スイッチ素子3b若しくは第3スイッチ素子3cのいずれか1つ、又は全てがオン状態となることで、それに対応した第1画素群6a若しくは第2画素群6b若しくは第3画素群6cのいずれか1つ又は全てが第1ドライバ13aと導通する。これにより第1ドライバ13aでそれぞれの画素群を動作させることができる。1つのドライバに対して3つの画素群を動作させることが可能であるため、ドライバ13と画素群とを接続する駆動信号線の数減らすことができる。このため、第1半導体基板1と第2半導体基板10と重ね合わせることににより構成される接続部25の数減らすことができる。

【0127】

第2実施形態に係る固体撮像装置において、例えば第2半導体基板10に設けられたドライバ13及び制御部12が第1半導体基板1に設けられた素子との接続に必要な接続部25の数を(数2)で示すことができる。

【0128】

画素群の数 n 、接続部の数 T は、(数2)

$$(数2) T = n/3 + 3$$

【0129】

例えば第2実施形態で説明した例のように、3つの画素群の場合、ドライバ13及び制御部12から第1半導体基板1に設けられた素子と接続する際の接続部25の数は、4つである。

【0130】

第2実施形態では第1ドライバ13aと第1画素群6a、第2画素群6b及び第3画素群6cについてのみ説明したが、例えば第2ドライバ13b、も同様にして、1つのドライバ13で3つの画素群を動作させることができるため、接続部25の数を減らすことができる。

【0131】

(第3実施形態)

第3実施形態に係る固体撮像装置を図9を参照して説明する。図9は、第3実施形態に係る固体撮像装置の構成の一部を示す模式的上面図である。第3実施形態に係る固体撮像装置が第1実施形態と異なる点は、1のドライバが第1画素群6aと離れた位置に並列に配列された例えば n 行目の第 n 画素群6を動作させることである。図9では一例として1行

目の第1画素群6aと4行目の第4画素群6dが第1ドライバ13aにより動作することを示す。

【0132】

スイッチ素子3がオン状態の時、ドライバ13からの駆動信号により画素群は第1画素群6a、次に第2画素群6b、次に第3画素群6c、次に第4画素群6dと順番に動作する。この時、第1制御ドライバ12aが第1スイッチ素子3aをオン状態にする制御信号を出力すれば、動作させる画素群の切り替えに応じて制御信号を出力する必要がない。

【0133】

以上より第3実施形態に係る固体撮像装置は、接続部25の数を減らすことができ、更に、制御部12からの制御信号を頻繁に動作させることが必要ないため活性化率を下げることができる。

【0134】

(第4実施形態)

第1実施形態の変形例として第4実施形態について説明する。

【0135】

図1に示すように第4実施形態の固体撮像装置は、第1半導体基板1と第2半導体基板10とを重ね合わせて形成する積層構造体である。積層構造体の固体撮像装置において、従来は、第2半導体基板10に設けられた1のドライバと、第1半導体基板1に設けられた画素群とが一对一対応で接続していた。しかし、第1半導体基板1と第2半導体基板10とを重ね合わせる際、第1半導体基板1に設けられた第1電極25aと、第2半導体基板10に設けられた第2電極25bとで合わせずれが発生することがある。この合わせずれによりドライバから画素群へ駆動信号を十分に供給できなくなる可能性があるなど、固体撮像装置として歩留りが低下してしまう。そこで、1のドライバで2つ電極を介して2つの画素群と接続させた。この構造にすることで、重ね合わせの際の合わせズレや、1つのドライバと接続する電極のうちいずれか一方が故障した際に他方の電極を用いることができる。これにより歩留りの低下を抑制することが可能である。

【0136】

第4実施形態に係る固体撮像装置を図1及び図10を参照して説明する。図10は、第4実施形態に係る固体撮像装置の構成の一部を示す模式的上面図である。

【0137】

第4実施形態の構造について図10を用いて説明する。尚、第1実施形態と同一部分には同一符号を付して詳細な説明は省略する。

【0138】

図10に示すように、第1半導体基板1には、画素領域2、スイッチ素子3、ラッチ回路4、第1電極25a及び第2電極25bが設けられている。第2半導体基板10には、制御部12、画素駆動部14、信号処理部15、第3電極25c及び第4電極25dが設けられる。尚、第4実施形態において制御部12が第2半導体基板10側に設けられているとして説明するが、第1半導体基板1側に設けられていても実施可能である。

【0139】

画素領域2は、複数の画素6が行列状に配列されることにより構成される。

【0140】

第1実施形態において、例えば、画素領域2の1行目に配列された画素6の集まりを第1画素群6aとする。画素領域2の2行目に配列された画素6の集まりを第2画素群とする。第2画素群6bは第1画素群6aと並列に配置される。第1実施形態では説明を明確化するため、第2画素群6bまでしか記載しないが、同様にn行目に配列された画素6の集まりを第n画素群とする。

【0141】

スイッチ素子3は第1スイッチ素子3a及び第2スイッチ素子3bとに分けられる。第1スイッチ素子3aの一端は後述の第1駆動信号線30aを介して第1電極25aと接続し、他端は第1ラッチ回路4aと接続している。第2スイッチ素子3bの一端は後述の第2駆動

【 0 1 4 2 】

ラッチ回路は第 1 ラッチ回路 4 a及び第 2 ラッチ回路 4 bとに分けられる。第 1 ラッチ回路 4 aの一端は第 1 スイッチ素子 3 aと接続し、他端は第 1 画素群 6 aと接続している。第 2 ラッチ回路 4 bの一端は第 2 スイッチ素子 3 bと接続し、他端は第 2 画素群 6 bと接続している。

【 0 1 4 3 】

第 2 半導体基板 1 0 に設けられた画素駆動部 1 4 にはドライバを含む。ドライバは、1 のドライバで 2 行分の画素群に対応するように配置されている。第 4 実施形態では、第 1 実施形態と同様に第 1 画素群 6 a及び第 2 画素群 6 bを動作させるドライバ 1 3 を第 1 ドライバ 1 3 aとして説明する。第 1 ドライバ 1 3 aは駆動信号線と接続されている。

【 0 1 4 4 】

駆動信号線は第 1 駆動信号線 3 0 aと第 2 駆動信号線 3 0 bとに分けられる。第 1 駆動信号線 3 0 aは第 3 電極 2 5 cと接続している。第 2 駆動信号線 3 0 bは第 4 電極 2 5 dと接続している。第 1 半導体基板 1 と第 2 半導体基板 1 0 が重ね合わさる積層構造体の固体撮像装置では、第 1 電極 2 5 aと第 3 電極 2 5 cが接続し、第 2 電極 2 5 bと第 4 電極 2 5 dとが接続する。これにより、第 1 駆動信号線 3 0 aは、第 1 電極 2 5 a及び第 3 電極 2 5 cを介して第 1 画素群 6 aと接続し、第 2 駆動信号線 3 0 bは、第 2 電極 2 5 b及び第 4 電極 2 5 dを介して第 2 画素群 6 bと接続している。これにより、第 1 ドライバ 1 3 aは、第 1 駆動信号線 3 0 aを介して第 1 画素群 6 aに駆動信号を供給することができ、また第 2 駆動信号線 3 0 bを介して第 2 画素群 6 bに駆動信号線を供給することができる。

【 0 1 4 5 】

第 1 半導体基板 1 上には、第 1 駆動信号線 3 0 aと第 2 駆動信号線 3 0 bとを接続する接続信号線 3 1 が設けられている。この接続信号線 3 1 には図示しないスイッチが設けられていてもよい。この接続信号線 3 1 により第 1 電極 2 5 aと第 3 電極 2 5 cから構成される接続部 2 5 又は第 2 電極 2 5 bと第 4 電極 2 5 dから構成される接続部 2 5 のいずれか一方が故障した際や合わせずれが生じた際、接続部の他方を用いて第 1 ドライバ 1 3 aからの駆動信号を第 1 画素群 6 a又は第 2 画素群 6 bへ供給可能である。

【 0 1 4 6 】

第 4 実施形態では、第 1 ドライバ 1 3 aは第 1 画素群 6 aと第 2 画素群 6 bとを動作させるとして説明したが、第 1 ドライバ 1 3 aで第 1 画素群 6 a、第 2 画素群 6 b及び第 3 画素群 6 cを動作させることも可能である。

【 0 1 4 7 】

以上、上記構造にすることで、第 1 ドライバ 1 3 aと 2 つの画素群とを接続する 2 つの接続部 2 5 のうちいずれか一方が故障した場合でも、他方の接続部 2 5 を介して第 1 ドライバ 1 3 aから駆動信号を画素群へ供給できる。これにより、第 1 ドライバ 1 3 aで動作させる画素群の数を増やす際に、第 1 ドライバ 1 3 aとそれぞれの画素群とを接続する接続部 2 5 の数を維持したまま、制御ドライバとスイッチ素子 3 等を接続する接続部 2 5 だけ増やせばよい。

【 0 1 4 8 】

また、第 1 ドライバ 1 3 aが複数の接続部 2 5 を介して各画素群を動作させることができるため、接続部 2 5 の冗長性が向上する。

【 0 1 4 9 】

以上より接続部 2 5 の製造歩留りが低い場合においても、固体撮像装置自体の製造歩留り低下を抑制することができる。

【 0 1 5 0 】

本発明の実施形態を説明したが、本実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。この新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の趣旨を逸脱しない範囲で、種々の省略、置き換え、変

更を行うことができる。本実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【 0 1 5 1 】

- 1 . . . 第 1 半導体基板
- 2 . . . 画素領域
- 3 . . . スイッチ素子
- 3a . . . 第 1 スイッチ素子
- 3b . . . 第 2 スイッチ素子
- 3c . . . 第 3 スイッチ素子
- 4 . . . ラッチ回路
- 4a . . . 第 1 ラッチ回路
- 4b . . . 第 2 ラッチ回路
- 4c . . . 第 3 ラッチ回路
- 5a . . . CMOSインバータ
- 5b . . . クロックトインバータ
- 6 . . . 画素
- 6a . . . 第 1 画素群
- 6b . . . 第 2 画素群
- 6c . . . 第 3 画素群
- 7 . . . フォトダイオード
- 8 . . . トランジスタ
- 8a . . . 選択トランジスタ
- 8b . . . リセットトランジスタ
- 8c . . . 転送トランジスタ
- 8d . . . 増幅トランジスタ
- 9 . . . フローティングディフュージョン (FD)
- 10 . . . 第 2 半導体基板
- 11 . . . 回路領域
- 12 . . . 制御部
- 12a . . . 第 1 制御ドライバ
- 12b . . . 第 2 制御ドライバ
- 12c . . . 第 3 制御ドライバ
- 13 . . . ドライバ
- 13a . . . 第 1 ドライバ
- 13b . . . 第 2 ドライバ
- 13c . . . 第 3 ドライバ
- 14 . . . 画素駆動部
- 15 . . . 信号処理部
- 16 . . . CDS回路
- 17 . . . 電源端子
- 18 . . . インバータ
- 21 . . . 選択信号線
- 22 . . . リセット信号線
- 23 . . . 転送信号線
- 24 . . . 垂直信号線
- 25 . . . 接続部
- 26 . . . 制御信号線
- 26a . . . 第 1 制御信号線
- 26b . . . 第 2 制御信号線

3 0 a . . . 第 1 駆動信号線

3 0 b . . . 第 2 駆動信号線

3 1 . . . 接続信号線

【書類名】特許請求の範囲

【請求項 1】

第 1 半導体基板に設けられ、光電変換素子を含む画素を有する第 1 画素群と、
前記第 1 半導体基板に設けられ、光電変換素子を含む画素を有する第 2 画素群と、
前記第 1 半導体基板上に設けられた第 1 電極と、
前記第 1 半導体基板上に設けられ、前記第 1 電極に接続された第 1 スイッチ素子と、
前記第 1 半導体基板上に設けられ、前記第 1 スイッチ素子と前記第 1 画素群に接続された第 1 ラッチ回路と、
前記第 1 半導体基板上に設けられ、前記第 1 電極に接続された第 2 スイッチ素子と、
前記第 1 半導体基板上に設けられ、前記第 2 スイッチ素子と前記第 2 画素群に接続された第 2 ラッチ回路と、
前記第 1 半導体基板と積層する第 2 半導体基板上に設けられ、前記第 1 電極と接続された第 2 電極と、
前記第 2 半導体基板上に設けられ、前記第 2 電極と接続された 1 のドライバと、
前記第 1 スイッチ素子、前記第 2 スイッチ素子、前記第 1 ラッチ回路及び前記第 2 ラッチ回路を動作させる制御部と、
を有する固体撮像装置。

【請求項 2】

前記第 1 半導体基板に設けられ、光電変換素子を含む画素を有する第 3 画素群と、
前記第 1 半導体基板上に設けられ、前記第 1 電極に接続された第 3 スイッチ素子と、
前記第 1 半導体基板上に設けられ、前記第 3 スイッチ素子と前記第 3 画素群に接続された第 3 ラッチ回路と、を更に備え、
前記制御部は、前記第 3 スイッチ素子及び前記第 3 ラッチ回路を動作させることとを特徴とする請求項 1 に記載に固体撮像装置。

【請求項 3】

前記制御部には、前記第 1 スイッチ素子及び前記第 1 ラッチ回路を動作させる第 1 制御ドライバと、
前記第 2 スイッチ素子及び前記第 2 ラッチ回路を動作させる第 2 制御ドライバと、
を有する請求項 1 に記載の固体撮像装置。

【請求項 4】

前記制御部には、前記第 3 スイッチ素子及び前記第 3 ラッチ回路を動作させる第 3 制御ドライバと、
を有する請求項 2 に記載の固体撮像装置。

【請求項 5】

第 1 半導体基板に設けられ、光電変換素子を含む画素を有する第 1 画素群と、
前記第 1 半導体基板に設けられ、光電変換素子を含む画素を有する第 2 画素群と、
前記第 1 半導体基板上に設けられた第 1 電極と、
前記第 1 半導体基板上に設けられた第 2 電極と、
前記第 1 半導体基板上に設けられ、前記第 1 電極に第 1 駆動信号線を介して接続された第 1 スイッチ素子と、
前記第 1 半導体基板上に設けられ、前記第 1 スイッチ素子と前記第 1 画素群に接続された第 1 ラッチ回路と、
前記第 1 半導体基板上に設けられ、前記第 2 電極に第 2 駆動信号線を介して接続された第 2 スイッチ素子と、
前記第 1 半導体基板上に設けられ、前記第 2 スイッチ素子と前記第 2 画素群に接続された第 2 ラッチ回路と、
前記第 1 半導体基板と積層する第 2 半導体基板上に設けられ、前記第 1 電極と接続する第 3 電極と、
前記第 2 半導体基板上に設けられ、前記第 2 電極と接続する第 4 電極と、
前記第 2 半導体基板上に設けられ、前記第 3 電極及び前記第 4 電極と接続された 1 つの

ドライバと、

前記第 1 半導体基板上に設けられ、前記第 1 駆動信号線と前記第 2 駆動信号線を接続する接続信号線と、

前記第 1 スイッチ素子、前記第 2 スイッチ素子、前記第 1 ラッチ回路及び前記第 2 ラッチ回路を動作させる制御部と、
を有する固体撮像装置。

【請求項 6】

前記第 1 乃至第 3 スイッチ素子は、PMOSトランジスタとNMOSを並列に接続したトランسمッションゲートである請求項 1 から 5 のいずれか 1 つに記載の固体撮像装置。

【請求項 7】

前記第 1 画素群乃至第 3 画素群は、前記第 1 半導体基板上の行方向に各々並列に配列された請求項 1 か 6 のいずれか 1 つに記載の固体撮像装置。

【書類名】要約書

【要約】

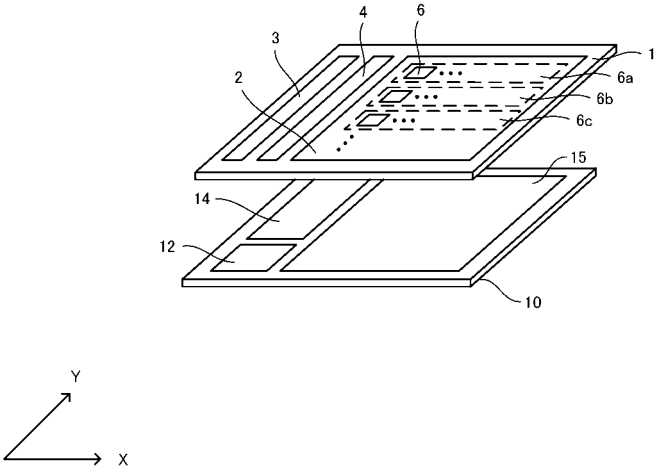
【課題】 積層構造における接続部の数が低減可能な固体撮像装置を提供する。

【解決手段】

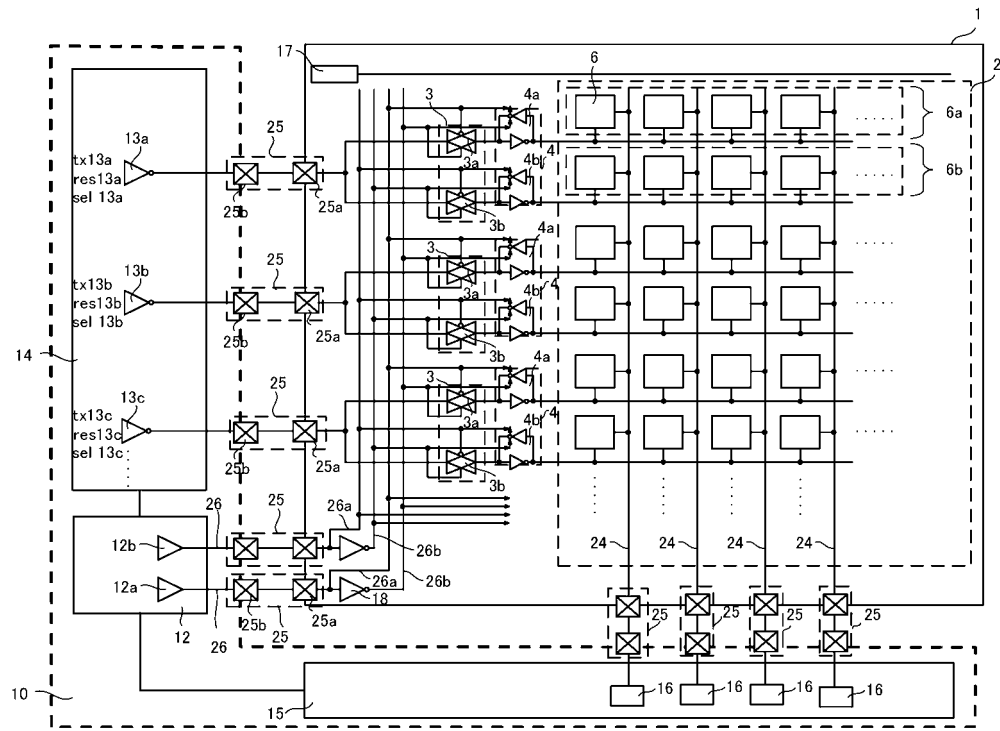
実施形態の固体撮像装置は、第1半導体基板に設けられ、光電変換素子を含む画素を有する第1画素群と、光電変換素子を含む画素を有する第2画素群と、第1電極と、第1電極に接続された第1スイッチ素子と、第1スイッチ素子と第1画素群に接続された第1ラッチ回路と、第1電極に接続された第2スイッチ素子と、第2スイッチ素子と第2画素群に接続された第2ラッチ回路と、第1半導体基板と積層する第2半導体基板上に設けられ、第1電極と接続する第2電極と、第2電極と接続された1のドライバと、第1スイッチ素子、第2スイッチ素子、第1ラッチ回路及び第2ラッチ回路を動作させる制御部とを有する。

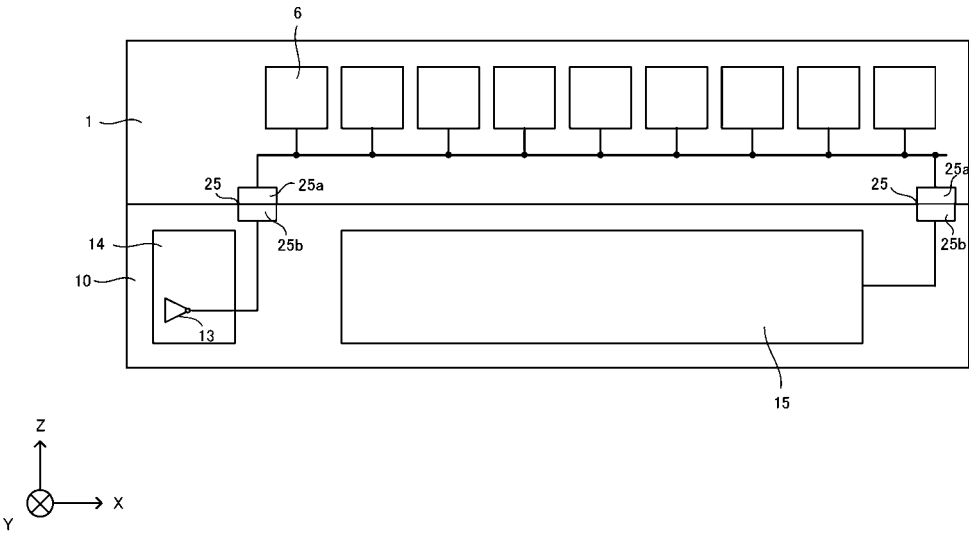
【選択図】図2

【書類名】図面
【図 1】

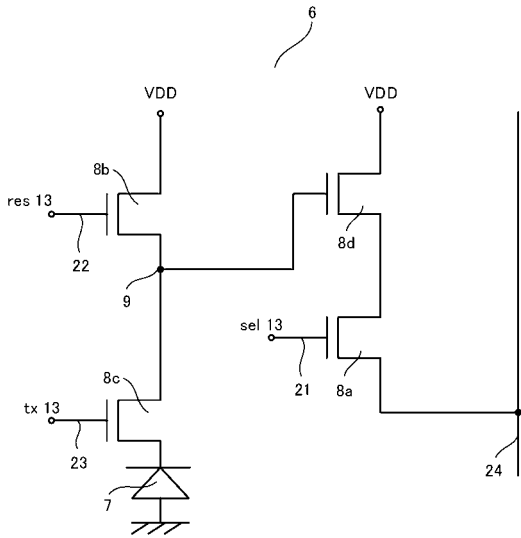


【図 2】

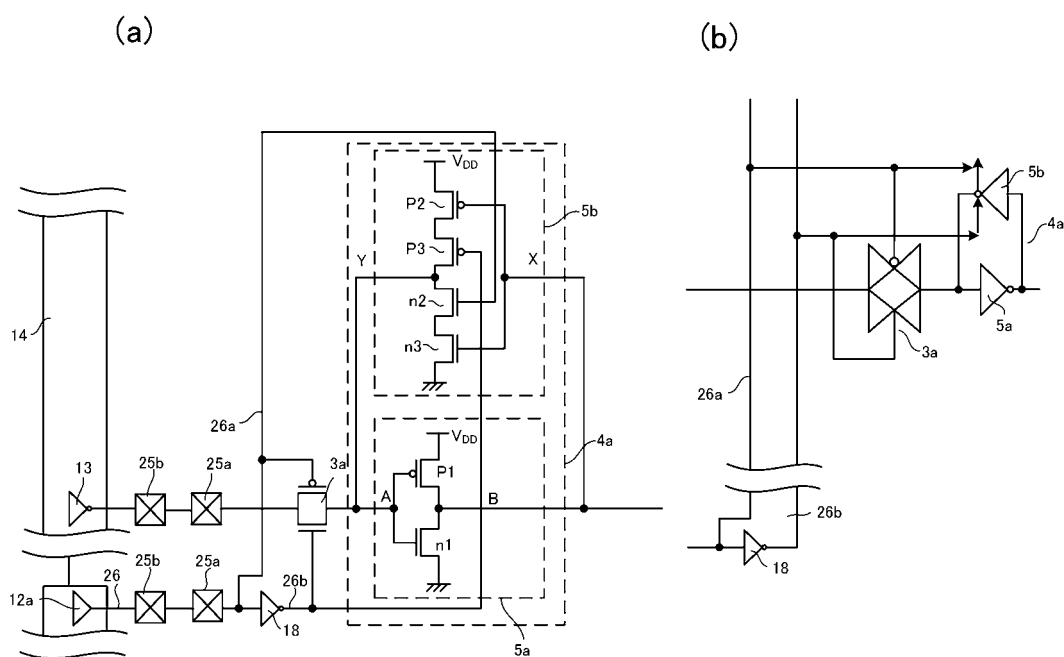




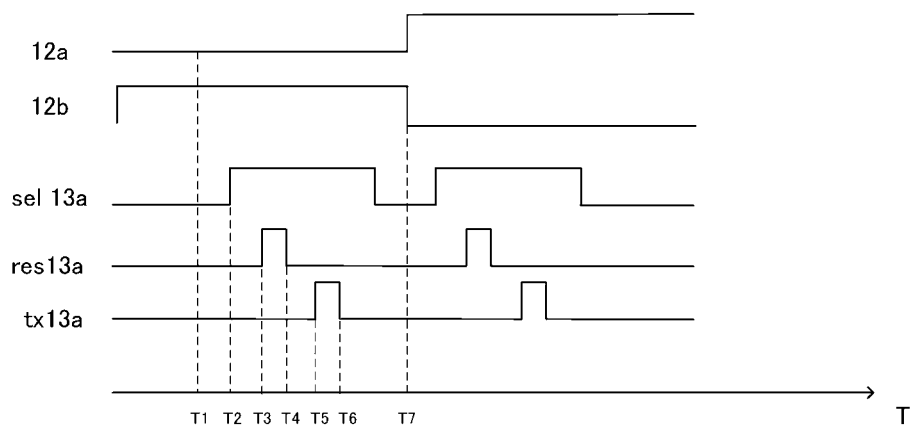
【図 4】



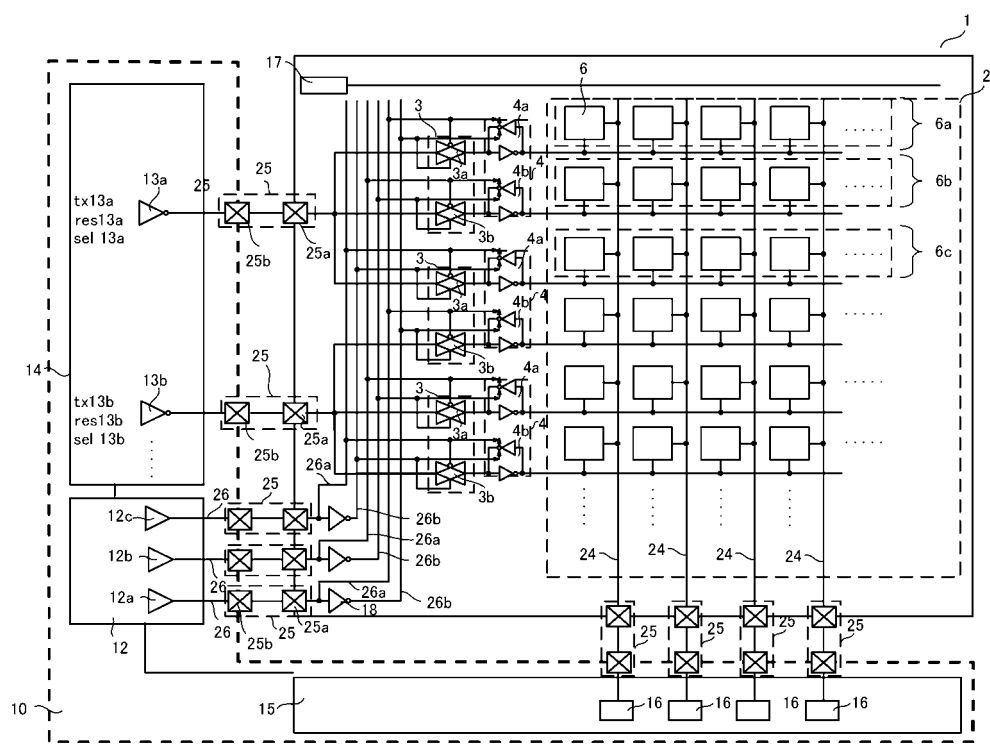
【図5】



【図6】



【図 7】



【図 8】

