

【書類名】明細書

【発明の名称】半導体集積回路及びイメージセンサ

【技術分野】

【0001】

本発明の実施形態は、半導体集積回路及びイメージセンサに関する。

【背景技術】

【0002】

イメージセンサの画素から読み出された電圧値は、カラム毎に設けられたAD変換器によってデジタル信号に変換される。このAD変換器として、小面積であるシングルスロープ型AD変換器（以下、SSADCと称す）が用いられる場合が多い。SSADCでは、ランプ電圧の傾きを大きくする程、ダイナミックレンジを広くできるが、ノイズが大きくなってしまう。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2014-75847号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、小面積、広ダイナミックレンジ且つ低ノイズでAD変換できる半導体集積回路及びイメージセンサを提供することである。

【課題を解決するための手段】

【0005】

実施形態によれば、半導体集積回路は、比較器と、複数の第1キャパシタを有するキャパシタ部と、第2キャパシタと、スイッチと、デジタル信号生成部と、を備える。前記比較器は、前記第1電圧又は前記第2電圧が供給される第1入力ノードと、第3の電圧が供給される第2入力ノードと、出力ノードと、を有し、前記第1電圧又は前記第2電圧と前記第3電圧とを比較した結果を前記出力ノードから出力する。前記複数の第1キャパシタは、前記第2入力ノードに接続された一端と、第1参照電圧又は第2参照電圧が供給される他端と、をそれぞれ有する。前記第2キャパシタは、第3参照電圧又はランプ電圧が供給される一端と、前記第2入力ノードに接続された他端と、を有する。前記スイッチは、前記第2入力ノードと前記出力ノードとの間に接続される。前記デジタル信号生成部は、前記比較結果に基づいて前記第1デジタル信号を生成する。

【図面の簡単な説明】

【0006】

【図1】第1の実施形態に係るイメージセンサの概略構成を示すブロック図である。

【図2】画素の内部構成の一例を示す回路図である。

【図3】信号変換部の構成を示す回路図である。

【図4】（a）、（b）は、各動作段階における信号変換部の接続状態を示す図である。

【図5】（a）、（b）は、各動作段階における信号変換部の接続状態を示す図である。

【図6】（a）、（b）は、各動作段階における信号変換部の接続状態を示す図である。

【図7】AD変換動作時の電圧 V_{pix} と第3電圧 V_x のタイミング図である。

【図8】AD変換動作時の電圧 V_{pix} と第3電圧 V_x のタイミング図である。

【図9】出力部の構成を示すブロック図である。

【図10】（a）、（b）は、第1キャパシタ間のオフセットコード測定時の各動作段階における信号変換部の接続状態を示す図である。

【図11】第1キャパシタ間のオフセットコード測定時の各動作段階における信号変

換部の接続状態を示す図である。

【図12】図10, 11に対応するAD変換動作時の電圧 V_{pix} と第3電圧 V_x のタイミング図である。

【図13】各第1キャパシタにより生じるオフセットコードを取得する処理を示すフローチャートである。

【図14】(a)は、第1の比較例のAD変換器の主要部の回路図であり、(b)は、このAD変換器のタイミング図である。

【図15】(a)は、第2の比較例のAD変換器の主要部の回路図であり、(b)は、このAD変換器のタイミング図である。

【図16】(a)は、第2の比較例のノイズを説明する図であり、(b)は、第1の実施形態のノイズを説明する図である。

【図17】第2の実施形態に係る信号変換部の構成を示す回路図である。

【図18】第3の実施形態に係る信号変換部の構成を示す回路図である。

【図19】AD変換動作時の電圧 V_{pix} と第3電圧 V_x のタイミング図である。

【図20】(a)は、第2デジタル信号と生成回数とビットシフト量との対応関係を示す図であり、(b)は、 $M=2$ の場合のビットシフト例を示す図である。

【図21】第4の実施形態に係る信号変換部の構成を示す回路図である。

【図22】(a), (b)は、シングルスロープAD変換の各動作段階における信号変換部の接続状態を示す図である。

【図23】(a), (b)は、シングルスロープAD変換の各動作段階における信号変換部の接続状態を示す図である。

【図24】AD変換動作時の電圧 V_{pix} と第3電圧 V_x のタイミング図である。

【図25】第2デジタル信号と生成回数とビットシフト量との対応関係を示す図である。

【図26】単位キャパシタによる第3電圧 V_x のシフト量と、第2デジタル信号の1LSBによる第3電圧 V_x の変化量との関係を示す図である。

【図27】第5の実施形態に係る信号変換部の構成を示す回路図である。

【図28】AD変換動作時の電圧 V_{pix} と第3電圧 V_x のタイミング図である。

【図29】第3キャパシタによる第3電圧 V_x のシフト量と、第2デジタル信号の1LSBによる第3電圧 V_x の変化量との関係を示す図である。

【発明を実施するための形態】

【0007】

以下に、図面を参照して本発明の実施形態について説明する。これらの実施形態は、本発明を限定するものではない。

【0008】

(第1の実施形態)

図1は、第1の実施形態に係るイメージセンサの概略構成を示すブロック図である。イメージセンサは、複数の画素1と、ロウデコーダ(Row Decoder)2と、信号変換部3と、出力部4と、を備える。これらの少なくとも一部を半導体集積回路として実装することができる。

【0009】

画素1はマトリクス状に配置されており、水平(カラム)方向の画素数を n 列および垂直(ロウ)方向の画素数を m 行とする。各画素1は照射された光の強度に応じた電圧 V_{pix} を生成する。そして、 k 列目に属する画素は、生成された電圧 V_{pix} を信号線 $V_{pix}(k)$ に出力する(k は、 $0 \sim n-1$)。なお、以下では、記号「 $V_{pix}(k)$ 」等を、信号線(あるいは端子)の名称としても使用するし、当該信号線(あるいは端子)の電圧値としても使用する。

【0010】

画素1は、いわゆる相関二重サンプリング(CDS: Correlated Double Sampling)を行うために、光が照射されない場合の電圧 V_{pix} (以下、リセット電圧(第1電圧) V

【0011】

ロウデコーダ2はm行のうちの1つを順繰りに選択する。これにより、選択された行に
属するn個の画素が生成する電圧Vpix(k)が信号線Vpix(k)にそれぞれ読み
出される。

【0012】

信号変換部3は1列の画素につき1つ配置されており、合計n個配置されている。言い
換えると、信号線Vpix(0)~Vpix(n-1)に対応してそれぞれ信号変換部3
(0)~3(n-1)が設けられる。信号変換部3(k)は、画素1から読み出されたリ
セット電圧Vrstおよび信号電圧Vsigを、第2デジタル信号Doutm(k)お
よび第5デジタル信号Doutl(k)に変換する。

【0013】

出力部4は、第2デジタル信号Doutm(k)および第5デジタル信号Doutl(k)に基
づいて、第1デジタル信号Doutを出力する。

【0014】

信号変換部3と出力部4は、AD変換器として動作し、画素毎に、リセット電圧Vrst
と信号電圧Vsigとの差を第1デジタル信号Doutに変換する。

【0015】

図2は、画素1の内部構成の一例を示す回路図である。なお、図2に示す回路図はあく
まで一例であり、種々の変形回路が考えられる。

【0016】

画素1は、nMOSトランジスタQn1~Qn4と、光電変換を行うフォトダイオード
PDとを有する。トランジスタQn1は、ドレインが電源端子Vddに接続され、ゲート
にリセット信号RESETが入力され、ソースがフローティングディフュージョンFDに
接続されている。トランジスタQn2は、ドレインがフローティングディフュージョンFD
に接続され、ゲートに読み出し信号READが入力され、ソースがフォトダイオードPD
のカソードに接続されている。フォトダイオードPDのアノードは接地端子に接続され
ている。

【0017】

トランジスタQn3は、ドレインが電源端子Vddに接続され、ゲートがフローティ
ングディフュージョンFDに接続され、ソースがトランジスタQn4のドレインに接続され
ている。トランジスタQn4は、ゲートにアドレス信号ADDが入力され、ソースから電
圧Vpixが生成される。トランジスタQn4のソースは信号線Vpix(k)と接続さ
れており、電圧Vpixは信号線Vpix(k)に出力される。

【0018】

アドレス信号ADD、リセット信号RESETおよび読み出し信号READは、例えば
ロウデコーダ2により生成される。

【0019】

画素1は以下のように動作してリセット電圧Vrstおよび信号電圧Vsigを生成す
る。

【0020】

まず、リセット信号RESETがハイに設定される。これによりトランジスタQn1が
オンし、フローティングディフュージョンFDは所定の電圧に初期化される。その後、リ
セット信号RESETはロウに設定される。ここでアドレス信号ADDがハイに設定され
ると、トランジスタQn4がオンする。これにより、フローティングディフュージョンFD
の電圧に応じたリセット電圧Vrstが信号線Vpix(k)に出力される。

【0021】

信号電圧Vsigを生成するために、画素1に光が照射された状態で、読み出し信号R
EADはハイに設定される。これによりトランジスタQn2がオンする。フォトダイオー

ドPDには照射された光の強度（明るさ）に応じた電流が流れる。この電流は、光の強度が高いほど大きくなる。光の強度が高いほどフローティングディフュージョンFDの電圧は低くなる。その後、読み出し信号READはロウに設定される。ここでアドレス信号ADDがハイに設定されると、このフローティングディフュージョンFDの電圧に応じた信号電圧Vsigが信号線Vpix（k）に出力される。

【0022】

図3は、信号変換部3（k）の構成を示す回路図である。信号変換部3（k）は、比較器11、12と、キャパシタ13と、キャパシタ部14と、第2キャパシタ15と、スイッチRST1、RST2と、エッジ検出器16と、第1制御部17と、第2制御部18と、を備える。

【0023】

比較器11は、非反転入力ノード（第1入力ノード）11aと、反転入力ノード（第2入力ノード）11bと、反転出力ノード11cと、非反転出力ノード11dと、を有する。比較器11は、非反転入力ノード11aの電圧と反転入力ノード11bの第3電圧Vxとを比較して、比較結果を反転出力ノード11c及び非反転出力ノード11dから出力する。非反転入力ノード11aには、電圧Vpixとしてリセット電圧Vrst又は信号電圧Vsigが供給される。

【0024】

比較器12は、反転出力ノード11cから反転入力ノード12aにキャパシタ13を介して供給される比較結果と、非反転出力ノード11dから非反転入力ノード12bに供給される比較結果と、を比較して、比較結果Comp oを出力ノードから出力する。比較結果Comp oは、比較器11の非反転出力ノード11dの比較結果と等しい。

【0025】

スイッチRST1は、反転入力ノード11bと非反転出力ノード11dとの間に接続されている。スイッチRST2は、比較器12の反転入力ノード12aと出力ノードとの間に接続されている。

【0026】

なお、比較器12、キャパシタ13及びスイッチRST2は、設けなくてもよい。この場合、比較器11は、反転出力ノード11cを有さず、非反転出力ノード11dから比較結果Comp oを出力する。

【0027】

キャパシタ部14は、第1キャパシタ21～23と、スイッチS1～S6と、を有する。キャパシタ部14は、3ビットの第2デジタル信号Dに応じて、スイッチS1～S6を切り替え、第1キャパシタ21～23のそれぞれに第1参照電圧Vref 1又は第2参照電圧Vref 2を供給する。

【0028】

ここでは、一例として3ビットの第2デジタル信号Dについて説明するが、任意の複数ビットでもよい。第1キャパシタは、第2デジタル信号Dのビット数と同数設けられ、スイッチは、第1キャパシタの数の2倍設けられる。

【0029】

第1キャパシタ21～23は、反転入力ノード11bに接続された一端と、第1参照電圧Vref 1又は第2参照電圧Vref 2が供給される他端と、をそれぞれ有する。第1参照電圧Vref 1は、第2参照電圧Vref 2より高い。

【0030】

第1キャパシタ21～23の容量値は、単位容量値Cの2のべき乗倍に重み付けされている。第1キャパシタ21の容量値はCであり、第1キャパシタ22の容量値は2Cであり、第1キャパシタ23の容量値は4Cである。

【0031】

各スイッチS1、S3、S5は、対応する第1キャパシタの他端に接続された一端と、第1参照電圧Vref 1が供給される他端と、を有する。

【0032】

各スイッチS2, S4, S6は、対応する第1キャパシタの他端に接続された一端と、第2参照電圧V_{ref2}が供給される他端と、を有する。

【0033】

スイッチS1, S2は、第2デジタル信号Dの1ビット目（最下位ビット）D[0]により制御される。スイッチS3, S4は、第2デジタル信号Dの2ビット目D[1]により制御される。スイッチS5, S6は、第2デジタル信号Dの3ビット目（最上位ビット）D[2]により制御される。

【0034】

このような構成により、第2デジタル信号Dに応じて第3電圧V_xが変化する。つまり、キャパシタ部14は、キャパシタ型DACとして構成されている。

【0035】

第2キャパシタ15は、第3参照電圧V_{ramp0}又はランプ電圧V_{ramp}が供給される一端と、反転入力ノード11bに接続された他端と、を有する。ランプ電圧V_{ramp}は、時間経過に応じて増加又は減少する電圧である。第2キャパシタ15の容量値はCである。

【0036】

エッジ検出器16は、比較結果C_{omp0}の立ち上がりエッジ又は立ち下がりエッジを検出して、出力信号の電圧レベルをハイレベル又はローレベルに切り替える。

【0037】

第1制御部17は、シングルスロープAD変換を制御すると共に、CDSを行う。具体的には、第1制御部17は、エッジ検出器16の出力信号に基づいて、第3デジタル信号D3および第4デジタル信号D4を生成すると共に、第4デジタル信号D4と第3デジタル信号D3との差を第5デジタル信号D_{out1}(k)として出力する。また、第1制御部17は、スイッチRST1, RST2を制御する。

【0038】

第2制御部18は、逐次比較（SAR：Successive Approximation Resistor）AD変換を制御する。具体的には、第2制御部18は、エッジ検出器16の出力信号に基づいて第2デジタル信号Dを設定し、設定された第2デジタル信号Dを第2デジタル信号D_{outm}(k)として出力する。

【0039】

第1制御部17、第2制御部18及び出力部4は、比較結果C_{omp0}に基づいて第1デジタル信号D_{out}を生成するデジタル信号生成部として機能する。

【0040】

次に、信号変換部3(k)のAD変換動作について説明する。

【0041】

図4～図6は、各動作段階における信号変換部3(k)の接続状態を示す図である。図4～図6では、接続状態の説明に関連する構成を図示し、他の構成は図示を省略している。図7は、AD変換動作時の電圧V_{pix}と第3電圧V_xのタイミング図である。図7では、ランプ電圧V_{ramp}は時間経過に応じて減少する。

【0042】

図4(a)は、初期化（リセット）時の信号変換部3(k)の接続状態を示す図である。図4(a)は、図7の時刻t₁以降、時刻t₂までの接続状態を示す。

【0043】

第2制御部18は、第2デジタル信号Dとして“111”を供給し、スイッチS1, S3, S5をオンさせ、スイッチS2, S4, S6をオフさせる。これにより、第1キャパシタ21～23の一端には、第1参照電圧V_{ref1}が供給される。

【0044】

第1制御部17は、リセット電圧V_{rst}及び第3参照電圧V_{ramp0}が供給された状態で、スイッチRST1, RST2を導通させる（時刻t₁）。これにより、反転入力

ノード11bにリセット電圧 V_{rst} がサンプル・ホールドされる。よって、第3電圧 V_x はリセット電圧 V_{rst} と略等しくなる。

【0045】

図4(b)は、リセット電圧 V_{rst} のシングルスロープAD変換時の信号変換部3(k)の接続状態を示す図である。図4(b)は、図7の時刻 t_2 以降、時刻 t_5 までの接続状態を示す。

【0046】

第1制御部17は、スイッチ $RST1$ 、 $RST2$ を非導通にさせる(時刻 t_2)。その後、リセット電圧 V_{rst} 及びランプ電圧 V_{ramp} が供給された状態で、第1制御部17は第3電圧 V_x がリセット電圧 V_{rst} に達するまでの経過時間に応じて第3デジタル信号 D_3 を生成する。ランプ電圧 V_{ramp} の減少に応じて、第3電圧 V_x も減少する。図7の例では、経過時間は、ランプ電圧 V_{ramp} が減少し始める時刻 t_3 から、時刻 t_4 までである。

【0047】

これにより、画素からのノイズ、第1キャパシタ21~23に蓄積された比較器11のオフセット電圧、及び、 kTC ノイズを含むリセット電圧 V_{rst} がAD変換される。

【0048】

ここで、第1キャパシタ21~23のミスマッチなどに対する冗長性を持たせるため、ランプ電圧 V_{ramp} の変化量は、第2デジタル信号 D の1LSBによる第3電圧 V_x の変化量より大きい。ランプ電圧 V_{ramp} の最大値は、第3参照電圧 V_{ramp0} より高い。

【0049】

時刻 t_5 の後、電圧 V_{pix} は変化して、時刻 t_6 以降、信号電圧 V_{sig} が供給される。時刻 t_6 以降、時刻 t_9 まで、逐次比較AD変換が行われる。

【0050】

第2制御部18は、第3デジタル信号 D_3 が生成された後、信号電圧 V_{sig} 及び第3参照電圧 V_{ramp0} が供給された状態で、比較結果 $Comp_o$ に基づいて、第3電圧 V_x が信号電圧 V_{sig} に近づくように第2デジタル信号 D の各ビットを逐次設定する。

【0051】

図5(a)は、信号電圧 V_{sig} の逐次比較AD変換時(3ビット目判定時)の信号変換部3(k)の接続状態を示す図である。図5(a)は、図7の時刻 t_6 以降、時刻 t_7 までの接続状態を示す。

【0052】

第2制御部18は、まず、第2デジタル信号 D の3ビット目 $D[2]$ を“0”に変更し、スイッチ S_5 をオフに切り替え、スイッチ S_6 をオンに切り替える(時刻 t_6)。これにより、第3電圧 V_x は低下する。この例では、低下した第3電圧 V_x は、信号電圧 V_{sig} より高いとする。

【0053】

図5(b)は、信号電圧 V_{sig} の逐次比較AD変換時(2ビット目判定時)の信号変換部3(k)の接続状態を示す図である。図5(b)は、図7の時刻 t_7 以降、時刻 t_8 までの接続状態を示す。

【0054】

第2制御部18は、第3電圧 V_x が信号電圧 V_{sig} より高かったため、第2デジタル信号 D の3ビット目 $D[2]$ を“0”に確定する。また、第2制御部18は、第2デジタル信号 D の2ビット目 $D[1]$ を“0”に変更し、スイッチ S_3 をオフに切り替え、スイッチ S_4 をオンに切り替える(時刻 t_7)。これにより、図7に示すように、時刻 t_7 において第3電圧 V_x は信号電圧 V_{sig} より低くなる。

【0055】

図6(a)は、信号電圧 V_{sig} の逐次比較AD変換時(1ビット目判定時)の信号変換部3(k)の接続を示す図である。図6(a)は、図7の時刻 t_8 以降、時刻 t_9 まで

【0056】

第2制御部18は、第3電圧 V_x が信号電圧 V_{sig} より低かったため、第2デジタル信号Dの2ビット目D[1]を“1”に確定し、スイッチS3をオンに戻し、スイッチS4をオフに戻す(時刻t8)。また、第2制御部18は、第2デジタル信号Dの1ビット目D[0]を“0”に変更し、スイッチS1をオフに切り替え、スイッチS2をオンに切り替える(時刻t8)。これにより、図7に示すように、時刻t8において第3電圧 V_x は増加し、信号電圧 V_{sig} より高くなる。

【0057】

図6(b)は、信号電圧 V_{sig} のシングルスロープAD変換時の信号変換部3(k)の接続状態を示す図である。図6(b)は、図7の時刻t9以降、時刻t12までの接続状態を示す。

【0058】

第2制御部18は、第2デジタル信号Dの1ビット目D[0]を“0”に確定する。よって、第2デジタル信号Dは“010”に設定され、第2デジタル信号 $D_{out_m}(k)$ として出力される。

【0059】

第1制御部17は、第2デジタル信号Dが設定され、且つ、信号電圧 V_{sig} 及びランプ電圧 V_{ramp} が供給された状態で、第3電圧 V_x が信号電圧 V_{sig} に達するまでの経過時間に応じて第4デジタル信号D4を生成する。図7の例では、経過時間は、ランプ電圧 V_{ramp} が減少し始める時刻t10から、時刻t11までである。これにより、逐次比較AD変換による残差がAD変換される。残差とは、逐次比較AD変換後の第3電圧 V_x と信号電圧 V_{sig} との差である。

【0060】

第1制御部17は、第4デジタル信号D4と第3デジタル信号D3との差(第4デジタル信号D4から第3デジタル信号D3を減算した値)を第5デジタル信号 $D_{out_l}(k)$ として出力する。

【0061】

時刻t12以降、電圧 V_{pix} は変化して、次のロウの画素のリセット電圧 V_{rst} が供給される。時刻t13以降、時刻t1以降と同様の処理が行われる。つまり、時刻t1から時刻t13の期間は、画素1の1列分の処理を行う1水平期間(1H)と等しい。

【0062】

なお、ランプ電圧 V_{ramp} が時間経過に応じて増加する場合には、図8に示す波形になる。この場合も、基本的な動作原理は上述したものと同一である。但し、第1制御部17は、第3デジタル信号D3から第4デジタル信号D4を減算した値を第5デジタル信号 $D_{out_l}(k)$ として出力する。

【0063】

図9は、出力部4の構成を示すブロック図である。出力部4は、パラレル・シリアル変換部31と、オフセットコード算出部32と、SRAM33と、オフセット補正部(マージ部)34と、ゲインエラー算出部35と、SRAM36と、ゲインエラー補正部37と、を有する。

【0064】

パラレル・シリアル変換部31は、第2デジタル信号 $D_{out_m}(0) \sim D_{out_m}(n-1)$ 及び第5デジタル信号 $D_{out_l}(0) \sim D_{out_l}(n-1)$ の中から、指定されたカラムアドレスCADDに対応する第2デジタル信号 $D_{out_m}(a)$ 及び第5デジタル信号 $D_{out_l}(a)$ を出力する。

【0065】

オフセットコード算出部32は、第2デジタル信号 $D_{out_m}(a)$ 及びカラムアドレスCADDに応じたオフセットコードが格納されているアドレスを算出し、SRAM33に供給する。

【0066】

第1キャパシタ21～23のミスマッチにより、第2デジタル信号Dout_m(a)のコード間で第3電圧V_xはオフセット電圧を含んでいるため、第2デジタル信号Dout_m(a)もオフセット電圧起因のオフセットコードを含んでいる。AD変換の精度を向上するためには、オフセットコードを補正する必要がある。そこで、SRAM33は、カラムアドレスCADD毎に、第1キャパシタ21～23のミスマッチによるオフセットコードを記憶している。SRAM33は、オフセットコード算出部32からのアドレス指定に従ってオフセットコードを読み出し、オフセット補正部34に供給する。

【0067】

オフセット補正部34は、第2デジタル信号Dout_m(a)と第5デジタル信号Dout_l(a)とオフセットコードとをマージして、第1デジタル信号Doutを生成する。具体的には、第1デジタル信号Doutは、 $\{11 \cdots 1 (=Dout_m(a) \text{ のビット数だけ } 1 \text{ が並んだデジタル値}) - \text{第2デジタル信号Dout_m(a)}\} \times 2^{\wedge} (\text{第5デジタル信号Dout_l(a) のビット数}) \times 3/4 (=Dout_m(a) \text{ 演算値})$ と、第5デジタル信号Dout_l(a)との和からオフセットコードを減算することで得られる。得られた第1デジタル信号Doutは、リセット電圧V_{rst}と信号電圧V_{sig}との差を表すが、ゲインエラーも含んでいる。

【0068】

ゲインエラー算出部35は、カラムアドレスCADDに応じたゲインエラーコードが格納されているアドレスを算出し、SRAM36に供給する。

【0069】

SRAM36は、カラムアドレスCADD毎にゲインエラーコードを記憶している。SRAM36は、アドレス指定に従ってゲインエラーコードを読み出し、ゲインエラー補正部37に供給する。

【0070】

ゲインエラー補正部37は、ゲインエラーコードと第1デジタル信号Doutとを演算することにより、第1デジタル信号Doutに含まれるゲインエラーを補正する。得られた第1デジタル信号Doutは、リセット電圧V_{rst}と信号電圧V_{sig}との差を表す。

【0071】

カラムアドレスCADDを順次変更することにより、各画素からのリセット電圧V_{rst}と信号電圧V_{sig}との差を第1デジタル信号Doutに順次変換できる。

【0072】

第1キャパシタ21～23のミスマッチによるオフセットコードは、予め次のように測定しておき、SRAM33に記憶しておく。

【0073】

図10、11は、第1キャパシタ21、22間のオフセットコード測定時の各動作段階における信号変換部3(k)の接続状態を示す図である。図10、11では、第1キャパシタ21～23は、それぞれミスマッチΔC0、ΔC1又はΔC2を含んでいる。図12は、図10、11に対応するAD変換動作時の電圧V_{pix}と第3電圧V_xのタイミング図である。

【0074】

図10(a)は、初期化(リセット)時の信号変換部3(k)の接続状態を示す図である。図10(a)は、図12の時刻t22までの接続状態を示す。

【0075】

第2制御部18は、第2デジタル信号Dとして“101”を供給する。これにより、第1キャパシタ21、23の一端には、第1参照電圧V_{ref1}が供給され、第1キャパシタ22の一端には、第2参照電圧V_{ref2}が供給される。

【0076】

第1制御部17は、リセット電圧V_{rst}及び第3参照電圧V_{ramp0}が供給された

状態で、スイッチRST1, RST2を導通させる(時刻 t_{21})。これにより、反転入力ノード11bにリセット電圧 V_{rst} がサンプル・ホールドされる。

【0077】

図10(b)は、参照電圧のシングルスロープAD変換時の信号変換部3(k)の接続を示す図である。図10(b)は、図12の時刻 t_{22} 以降、時刻 t_{25} までの接続状態を示す。

【0078】

第1制御部17は、スイッチRST1, RST2を非導通にさせる(時刻 t_{22})。その後、リセット電圧 V_{rst} 及びランプ電圧 V_{ramp} が供給された状態で、第3電圧 V_x がリセット電圧 V_{rst} に達するまでの経過時間(時刻 t_{23} から t_{24})に応じて、第1制御部17は第3デジタル信号D3を生成する。

【0079】

次に、時刻 t_{26} において、第2制御部18は、第2デジタル信号Dとして“110”を供給する。これにより、第1キャパシタ22, 23の一端には、第1参照電圧 V_{ref1} が供給され、第1キャパシタ21の一端には、第2参照電圧 V_{ref2} が供給される。これにより、図12に示すように、時刻 t_{26} において第3電圧 V_x は増加し、リセット電圧 V_{rst} より高くなる。

【0080】

図11は、第1キャパシタ21, 22の差分のシングルスロープAD変換時の信号変換部3(k)の接続を示す図である。図11は、図12の時刻 t_{27} 以降、時刻 t_{30} までの接続状態を示す。

【0081】

第1制御部17は、ランプ電圧 V_{ramp} が供給された状態で、第3電圧 V_x がリセット電圧 V_{rst} に達するまでの経過時間(時刻 t_{28} から t_{29})に応じて第4デジタル信号D4を生成する。

【0082】

得られた第4デジタル信号D4と第3デジタル信号D3との差は、第1キャパシタ22と第1キャパシタ21との間のミスマッチ C_+ ($\Delta C_1 - \Delta C_0$)に比例した値を表す。得られた差と、ミスマッチの無い理想的な場合の第4デジタル信号D4と第3デジタル信号D3との差との相違を、キャパシタ22とキャパシタ21との間のオフセットコードとして取得する。

【0083】

このような一連の処理を、以下のように繰り返し行い、各第1キャパシタ21~23により生じるオフセットコードを取得する。

【0084】

図13は、各第1キャパシタ21~23により生じるオフセットコードを取得する処理を示すフローチャートである。ここでは、第1キャパシタ21~23の数が $N+1$ の場合を説明する。

【0085】

まず、 $I=N$ に設定する(ステップST1)。

【0086】

次に、第2デジタル信号 $D[N] \sim D[I+1] = 1$, $D[I] = 0$, $D[I-1] \sim D[0] = 1$ に設定する(ステップST2)。 $I=N$ の場合には、 $D[N] = D[I] = 0$ とする。

【0087】

次に、AD変換を行い、第3デジタル信号D3を生成する(ステップST3)。

【0088】

次に、 $D[N] \sim D[I] = 1$, $D[I-1] \sim D[0] = 0$ に設定する(ステップST4)。

【0089】

次に、AD変換を行い、第4デジタル信号D4を生成する（ステップST5）。

【0090】

次に、第4デジタル信号D4と第3デジタル信号D3との差を計算する（ステップST6）。この差は、 $[C + \{\Delta C I - (\Delta C (I - 1) + \dots + \Delta C 0)\}]$ に比例する。 $I = 0$ の場合、この差は、 $C + \Delta C 0$ に比例する。

【0091】

次に、 $I > 0$ である場合（ステップST7；Yes）、 $I = I - 1$ として（ステップST8）、ステップST2に戻る。 $I > 0$ でない場合（ステップST7；No）、処理を終了する。

【0092】

ステップST6で得られた $N + 1$ 個の差に基づいて、ミスマッチ $\Delta C 0$ 、 $\Delta C 1$ 、 \dots 、 $\Delta C (N - 1)$ 、 $\Delta C N$ に対応するオフセットコードが算出でき、算出されたオフセットコードがSRAM33に格納される。

【0093】

ここで、比較例のAD変換器について説明する。

【0094】

図14（a）は、第1の比較例のAD変換器の主要部の回路図であり、図14（b）は、このAD変換器のタイミング図である。

【0095】

このAD変換器では、最初に傾きの大きいランプ電圧 V_{ramp_c} を用いてフルレンジをスイープし、電圧 V_{pix1} 又は V_{pix2} を粗く判定する（図14（b）の第1ステップ）。次に、判定結果に基づいて、傾きの小さい複数のランプ電圧 $V_{ramp1} \sim V_{ramp3}$ から1つを選択し、選択されたランプ電圧を用いて、電圧 V_{pix1} 又は V_{pix2} を狭い範囲で細かくシングルスロープAD変換する（図14（b）の第2ステップ）。

【0096】

これにより、ダイナミックレンジを広くできると共に、傾きの小さいランプ電圧でAD変換できるため、ノイズを低減できる。しかし、複数のランプ電圧 $V_{ramp1} \sim V_{ramp3}$ を生成する必要があるため、面積と電力が大きい。

【0097】

図15（a）は、第2の比較例のAD変換器の主要部の回路図であり、図15（b）は、このAD変換器のタイミング図である。

【0098】

このAD変換器では、最初にスイッチ S_x を一定期間だけ導通させてキャパシタ型DAC14Xに電圧 V_{pix} をサンプル・ホールドし、電圧 V_A と基準電圧 V_{ref1} との逐次比較動作を行いながらデジタル信号の各ビットを逐次設定する（時刻 t_{1x} まで）。次に、残差の電圧 V_A を、ランプ電圧 V_{ramp} を用いてシングルスロープAD変換する（時刻 t_{1x} 以降）。最後に、逐次比較により設定されたデジタル信号と、シングルスロープAD変換によるデジタル信号とをマージすることで、電圧 V_{pix} に対応するデジタル信号が得られる。このようなAD変換動作を、電圧 V_{pix} がリセット電圧 V_{rst} である場合と、信号電圧 V_{sig} である場合とで行い、得られた2つのデジタル信号の差分を取る（CDS）。

【0099】

この構成では、ダイナミックレンジを広くできると共にノイズを低減できる。また、1つのランプ電圧 V_{ramp} を生成すれば良いため、第1の比較例よりも面積と電力を小さくできる。

【0100】

しかし、リセット電圧 V_{rst} をサンプル・ホールドした時と、信号電圧 V_{sig} をサンプル・ホールドした時とにおいて、互いに相関の無いkTCノイズ V_{n_rst} 、 V_{n_sig} がキャパシタ型DAC14Xのキャパシタに保持される。そのため、図16（a

) に示すように、リセット電圧 V_{rst} をAD変換したデジタル信号AD $[V_{rst} + V_{n_rst}]$ と、信号電圧 V_{sig} をAD変換したデジタル信号AD $[V_{sig} + V_{n_sig}]$ との差分を取っても、kTCノイズ V_{n_rst} 、 V_{n_sig} はキャンセルできず、第1の比較例よりもノイズが増加する。kTCノイズを低減するためには、キャパシタ型DAC14Xのキャパシタの値を大きくする必要がある。

【0101】

これに対して、本実施形態では、リセット電圧 V_{rst} 又は信号電圧 V_{sig} は、比較器11の非反転入力ノード11aに供給されている。そして、スイッチRST1、RST2を導通させることで、リセット電圧 V_{rst} は、反転入力ノード11bに接続されたキャパシタ部13にサンプル・ホールドされる。信号電圧 V_{sig} のAD変換は、信号電圧 V_{sig} をサンプル・ホールドすることなく、キャパシタ部13にサンプル・ホールドされたリセット電圧 V_{rst} を信号電圧 V_{sig} に近づけることで行われる。つまり、リセット電圧 V_{rst} と信号電圧 V_{sig} の差を第1デジタル信号DoutにAD変換する間、リセット電圧 V_{rst} のサンプル・ホールド時に1回だけkTCノイズ V_{n_rst} がサンプル・ホールドされる。

【0102】

そのため、リセット電圧 V_{rst} に基づく第3デジタル信号D3に含まれるkTCノイズ V_{n_rst} と、信号電圧 V_{sig} に基づく第4デジタル信号D4に含まれるkTCノイズ V_{n_rst} は、等しい。よって、第4デジタル信号D4と第3デジタル信号D3との差分を取ることによって、kTCノイズ V_{n_rst} はキャンセルされる(図16(b))。従って、本実施形態では、第2の比較例よりもkTCノイズの分だけ、第1デジタル信号Doutのノイズを低減できる。

【0103】

また、1つのランプ電圧を生成すればよいので、第1の比較例よりも面積と電力も小さくできる。従って、小面積、広ダイナミックレンジ且つ低ノイズでAD変換できる。

【0104】

(第2の実施形態)

第2の実施形態では、比較器11の動作点を一定にする。

【0105】

図17は、第2の実施形態に係る信号変換部3A(k)の構成を示す回路図である。図17では、第1の実施形態の図3と共通する構成部分には同一の符号を付しており、以下では相違点を中心に説明する。

【0106】

信号変換部3A(k)は、図3の構成に加え、入力キャパシタ19と、第2スイッチRST3と、を更に備える。比較器12、キャパシタ13、スイッチRST2、エッジ検出器16、第1制御部17、及び、第2制御部18は、図示を省略している。

【0107】

入力キャパシタ19は、電圧 V_{pix} としてリセット電圧 V_{rst} 又は信号電圧 V_{sig} が供給される一端を有する。

【0108】

比較器11の反転入力ノード(第1入力ノード)11bは、入力キャパシタ19の他端に接続されている。比較器11は、反転入力ノード11bの第3電圧 V_y と非反転入力ノード(第2入力ノード)11aの第4電圧 V_x とを比較して、比較結果を出力する。

【0109】

第2スイッチRST3は、非反転入力ノード11aと、第4参照電圧 V_{ref3} が供給される参照電圧ノードN1との間に接続されている。

【0110】

第1キャパシタ21～23と第2キャパシタ15の一端は、非反転入力ノード11aに接続されている。

【0111】

第1制御部17は、リセット電圧 V_{rst} 及び第3参照電圧 V_{ramp0} が供給された状態で、第1及び第2スイッチ $RST1 \sim RST3$ を導通させた後、第1及び第2スイッチ $RST1 \sim RST3$ を非導通にさせる。これにより、キャパシタ部14に第4参照電圧 V_{ref3} がサンプル・ホールドされる。第1制御部17は、その後、リセット電圧 V_{rst} 及びランプ電圧 V_{ramp} が供給された状態で、第4電圧 V_x が第3電圧 V_y に達するまでの経過時間に応じて第3デジタル信号 $D3$ を生成する。

【0112】

第2制御部18は、第3デジタル信号 $D3$ が生成された後、信号電圧 V_{sig} 及び第3参照電圧 V_{ramp0} が供給された状態で、第4電圧 V_x が第3電圧 V_y に近づくように第2デジタル信号 D の各ビットを逐次設定する。

【0113】

そして、第1制御部17は、第2デジタル信号 D が設定され、且つ、信号電圧 V_{sig} 及びランプ電圧 V_{ramp} が供給された状態で、第4電圧 V_x が第3電圧 V_y に達するまでの経過時間に応じて第4デジタル信号 $D4$ を生成する。

【0114】

その他の動作は、第1の実施形態と同一である。

【0115】

第1の実施形態では、初期化時にリセット電圧 V_{rst} をサンプル・ホールドしているため、リセット電圧 V_{rst} が比較器11の動作点になる。リセット電圧 V_{rst} は、画素のミスマッチにより、画素毎に異なる。そのため、測定する画素毎に、比較器11の動作点に変化して、比較器11の特性が変化する可能性がある。これにより、AD変換の精度が低下する可能性がある。

【0116】

一方、本実施形態によれば、初期化時に第4参照電圧 V_{ref3} をサンプル・ホールドしているため、リセット電圧 V_{rst} によらず、比較器11の動作点を一定にできる。従って、測定する画素1によらず比較器11の特性を一定にできるため、AD変換の精度をより高めることができる。

【0117】

(第3の実施形態)

第3の実施形態では、複数回供給されたランプ電圧 V_{ramp} を用いて、シングルスロープAD変換を複数回行う。

【0118】

図18は、第3の実施形態に係る信号変換部3B(k)の構成を示す回路図である。図18では、第1の実施形態の図3と共通する構成部分には同一の符号を付しており、以下では相違点を中心に説明する。

【0119】

信号変換部3B(k)は、図3の構成に加え、設定部41を更に備える。第1制御部17B、第2制御部18、設定部41及び出力部4は、デジタル信号生成部として機能する。また、ランプ電圧 V_{ramp} は 2^M 回供給される(Mは1以上の整数)。以下、 $M=2$ の一例を説明する。

【0120】

図19は、AD変換動作時の電圧 V_{pix} と第3電圧 V_x のタイミング図である。

【0121】

時刻 t_{41} までの動作は、第1の実施形態と同じである。

【0122】

時刻 t_{41} から時刻 t_{42} までの間、同じランプ電圧 V_{ramp} が繰り返し4回供給される。第1制御部17Bは、リセット電圧 V_{rst} が供給された状態でランプ電圧 V_{ramp} が複数回供給された場合、第3デジタル信号 $D3$ を複数回生成する。第1制御部17Bは、ランプ電圧 V_{ramp} が供給される度に、第1の実施形態と同様に第3デジタル信号 $D3$ を生成する。従って、第3デジタル信号 $D3$ は、4回生成される。

【0123】

時刻 t_{43} の後、信号電圧 V_{sig} が供給される。図19では、リセット電圧 V_{rst} に近い信号電圧 V_{sig} が供給される暗時と、暗時の信号電圧 V_{sig} より低い信号電圧 V_{sig} が供給される明時と、を示している。

【0124】

時刻 t_{43} から時刻 t_{44} の間、第2制御部18は、第1の実施形態と同様に、逐次比較AD変換によって第2デジタル信号Dを設定する。時刻 t_{44} において、例えば、暗時の第2デジタル信号Dは“111”に設定され、明時の第2デジタル信号Dは“001”に設定される。

【0125】

時刻 t_{45} から時刻 t_{47} までの間、同じランプ電圧 V_{ramp} が繰り返し4回供給される。第1制御部17Bは、第2デジタル信号Dが設定された後、信号電圧 V_{sig} が供給された状態でランプ電圧 V_{ramp} が複数回供給された場合、第4デジタル信号D4を、第2デジタル信号Dに応じて定められる生成回数生成する。第1制御部17Bは、ランプ電圧 V_{ramp} が供給される度に、第1の実施形態と同様に第4デジタル信号D4を生成する。

【0126】

設定部41は、第2デジタル信号Dに応じて、リセット電圧 V_{rst} と信号電圧 V_{sig} との差が大きい程、生成回数を少なく設定すると共にビットシフト量を大きく設定する。設定部41は、図20(a)に示すような対応関係を保持している。図20(a)は、第2デジタル信号Dと生成回数とビットシフト量との対応関係を示す図である。M=2の場合、暗時(D=“111”)の生成回数は4回であり、明時(D=“001”)の生成回数は1回である(図示せず)。

【0127】

これにより、時刻 t_{45} から時刻 t_{47} の間に、暗時では、第4デジタル信号D4は4回生成され、明時では、第4デジタル信号D4は1回生成される。ランダムノイズに対する要求が厳しい暗時では、第4デジタル信号D4を4回生成することにより、ランダムノイズを抑制できる。明時では、ショットノイズが支配的なため、ランダムノイズに対する要求は緩い。そのため、第4デジタル信号D4を1回又は暗時よりも少ない回数だけ生成することで、消費電力を減らすことができる。

【0128】

第1制御部17Bは、経過時間をカウントするカウンタ42を有する。第1制御部17Bは、第4デジタル信号D4が生成回数生成された後、カウンタ42及び比較器11、12の動作を停止させる。明時の場合、第4デジタル信号D4が1回生成された後の時刻 t_{46} から時刻 t_{47} の間、ランプ電圧 V_{ramp} に応じて第3電圧 V_x は変化するが、カウンタ42及び比較器11、12は動作せず、消費電力を低減できる。

【0129】

この後、第1制御部17Bは、第4デジタル信号D4の総和と第3デジタル信号D3の総和との差(第4デジタル信号D4の総和から第3デジタル信号D3の総和を減算した値)を第5デジタル信号 $D_{out_1}(k)$ として出力する。

【0130】

第1の実施形態と同様に、オフセット補正部34は、第2デジタル信号 $D_{out_m}(k)$ と第5デジタル信号 $D_{out_1}(k)$ とオフセットコードとをマージして第1デジタル信号 D_{out} を生成する。

【0131】

リセット電圧 V_{rst} がシングルスロープAD変換される回数は、明時の信号電圧 V_{sig} がシングルスロープAD変換される回数より多い。そのため、第3デジタル信号D3の総和のビット数は、明時の第4デジタル信号D4のビット数より多い。そこで、これらのビット数を等しくする処理を行う。

【0132】

第1制御部17Bは、第3デジタル信号D3の総和のビット数を、第2デジタル信号Dに応じて定められるビットシフト量だけ減らす。ビットシフト量は、図20(a)の対応関係に従って設定される。ビット数が減らされた第3デジタル信号D3の総和のビット数は、第4デジタル信号D4の総和のビット数と等しい。

【0133】

第1制御部17Bは、第4デジタル信号D4の総和とビット数が減らされた第3デジタル信号D3の総和との差（第4デジタル信号D4の総和からビット数が減らされた第3デジタル信号D3の総和を減算した値）のビット数を、ビットシフト量だけ増やし、ビット数が増やされた差を第5デジタル信号Dout_l(k)として出力する。ビット数を増やす処理は、出力部4で行っても良い。

【0134】

図20(b)は、M=2の場合のビットシフト例を示す図である。

【0135】

この例では、1回に生成される第3デジタル信号D3及び第4デジタル信号D4は、それぞれ8ビットである。よって、4つの第3デジタル信号D3の総和は、10ビットである。

【0136】

暗時(D="111")では、4つの第4デジタル信号D4の総和は、10ビットである。ビットシフト量は0である。従って、10ビットの第4デジタル信号D4の総和と、10ビットの第3デジタル信号D3の総和との差(CDS結果)は、10ビットである。

【0137】

明時(D="000")では、1つの第4デジタル信号D4が生成される。ビットシフト量は、2である。そこで、10ビットの第3デジタル信号D3の総和を2ビット右にシフトして、8ビットにする。つまり、第3デジタル信号D3の総和の最下位から2ビットは、削除される。

【0138】

従って、8ビットの第4デジタル信号D4の総和と、8ビットの第3デジタル信号D3の総和との差(CDS結果)は、8ビットである。

【0139】

最後に、上記差を2ビット左にシフトして、10ビットにする。つまり、上記差の最下位から2ビットは、"00"になる。このようにして、明時においても、適切な第5デジタル信号Dout_l(k)を得ることができる。

【0140】

このように、本実施形態では、シングルスロープAD変換を複数回行うので、第1の実施形態よりもノイズを低減できる。

【0141】

また、ランプ電圧Vrampを供給する回数は、1水平期間内に収まる範囲で任意に設定できるため、ノイズの低減量の調整範囲が広い。

【0142】

(第4の実施形態)

第4の実施形態では、第1キャパシタ23Cを複数の単位キャパシタ25, 26に分割し、単位キャパシタ25, 26に供給する電圧を切り替えることにより、シングルスロープAD変換を複数回行う。

【0143】

図21は、第4の実施形態に係る信号変換部3C(k)の構成を示す回路図である。図21では、第3の実施形態の図18と共通する構成部分には同一の符号を付しており、以下では相違点を中心に説明する。比較器12、キャパシタ13、スイッチRST2、エッジ検出器16、第1制御部17B、第2制御部18、及び、設定部41は、図示を省略している。

【0144】

キャパシタ部14Cは、第1キャパシタ24（容量値8C）を更に備える。即ち、第2デジタル信号Dは、4ビットである。単位容量値Cの4倍の容量値4Cを有する第1キャパシタ23Cは、単位容量値Cの2倍の容量値2Cをそれぞれ有する2つの単位キャパシタ25、26に分割されている。第1キャパシタ23Cは、図18のキャパシタ23に対応する。

【0145】

各単位キャパシタ25、26は、反転入力ノード11bに接続された一端と、第1参照電圧Vref1又は第2参照電圧Vref2が供給される他端と、を有する。

【0146】

各スイッチS5、S7は、対応する単位キャパシタの他端に接続された一端と、第1参照電圧Vref1が供給される他端と、を有する。各スイッチS6、S8は、対応する単位キャパシタの他端に接続された一端と、第2参照電圧Vref2が供給される他端と、を有する。

【0147】

スイッチS9は、キャパシタ24の他端に接続された一端と、第1参照電圧Vref1が供給される他端と、を有する。スイッチS10は、キャパシタ24の他端に接続された一端と、第2参照電圧Vref2が供給される他端と、を有する。

【0148】

図22、23は、シングルスロープAD変換の各動作段階における信号変換部3C（k）の接続状態を示す図である。図24は、AD変換動作時の電圧Vpixと第3電圧Vxのタイミング図である。

【0149】

図22（a）は、1回目のシングルスロープAD変換時の信号変換部3C（k）の接続状態を示す図である。図22（a）は、図24の時刻t51以降、時刻t52までの接続状態を示す。

【0150】

ランプ電圧Vramp（図示せず）は、時刻t51の後で増加を始め、時刻t55まで単調に増加し続ける。つまり、ランプ電圧Vrampは、この期間に1回だけ供給される。ランプ電圧Vrampの最小値は、第3参照電圧Vramp0より低い。

【0151】

第1キャパシタ21、22、24及び単位キャパシタ25、26の一端には、第1参照電圧Vref1が供給されている。時刻t52までの動作は、第3の実施形態と同じであり、第3デジタル信号D3が生成される。

【0152】

第1制御部17Bは、リセット電圧Vrst及びランプ電圧Vrampが供給された状態で、第3デジタル信号D3を生成した後、単位キャパシタ25、26と第1キャパシタ22との何れかの他端に供給される電圧を切り替えて第3デジタル信号D3を生成する処理を1回以上（ここでは3回）行う。

【0153】

図22（b）は、2回目のシングルスロープAD変換時の信号変換部3C（k）の接続状態を示す図である。図22（b）は、図24の時刻t52以降、時刻t53までの接続状態を示す。

【0154】

時刻t52において、第1キャパシタ22に供給される電圧を第1参照電圧Vref1より低い第2参照電圧Vref2に切り替え、第3電圧Vxを低下させる。時刻t52において低下した第3電圧Vxは、時刻t51の後の増加直前の第3電圧Vxと略等しい。第3電圧Vxは、再びリセット電圧Vrstより低くなるため、ランプ電圧Vrampの増加（即ち第3電圧Vxの増加）によって再びシングルスロープAD変換を行うことができる。

【0155】

図23 (a) は、3回目のシングルスロープAD変換時の信号変換部3C (k) の接続状態を示す図である。図23 (a) は、図24の時刻t53以降、時刻t54までの接続状態を示す。

【0156】

時刻t53において、単位キャパシタ25に供給される電圧を第2参照電圧Vref2に切り替え、第3電圧Vxを低下させる。単位キャパシタ25の容量値は第1キャパシタ22の容量値と略等しいため、時刻t53において低下した第3電圧Vxは、時刻t51の後の増加直前の第3電圧Vxと略等しい。これにより、再びシングルスロープAD変換を行うことができる。

【0157】

図23 (b) は、4回目のシングルスロープAD変換時の信号変換部3C (k) の接続状態を示す図である。図23 (b) は、図24の時刻t54以降、時刻t55までの接続状態を示す。

【0158】

時刻t54において、単位キャパシタ26に供給される電圧を第2参照電圧Vref2に切り替え、第3電圧Vxを低下させる。これにより、再びシングルスロープAD変換を行うことができる。

【0159】

このようにして、1つのランプ電圧Vrampが供給されている間にシングルスロープAD変換を4回行い、4つの第3デジタル信号D3を生成することができる。時刻t55において、第1キャパシタ22及び単位キャパシタ25、26には、再度、第1参照電圧Vref1が供給される。

【0160】

時刻t56以降、信号電圧Vsigが供給され、時刻t57まで、逐次比較AD変換が行われる。この時、スイッチS5、S7は同じ状態に制御され、スイッチS6、S8は同じ状態に制御される。これにより、第3の実施形態と同様に、容量値4Cのキャパシタ23Cの他端に第1参照電圧Vref1又は第2参照電圧Vref2が供給される。従って、逐次比較AD変換は、第3の実施形態と同様に行われる。このように、単位キャパシタ25、26は、レベルシフトと逐次比較AD変換の両者において用いられる。

【0161】

図示する例では、暗時には、第2デジタル信号Dは“1111”に設定され、明時には、第2デジタル信号Dは“0001”に設定されている。

【0162】

第1制御部17Bは、逐次比較AD変換により第2デジタル信号Dが設定された後、第4デジタル信号D4を、第2デジタル信号Dに応じて定められる生成回数生成する。シングルスロープAD変換できる回数（生成回数）は、設定された第2デジタル信号Dに応じて決まる。例えば、第2デジタル信号Dが“0000”の場合、単位キャパシタ25、26及び第1キャパシタ22には第2参照電圧Vref2が供給されている。よって、スイッチS3～S8を切り替えても第3電圧Vxを低下させることはできないため、シングルスロープAD変換は1回だけ行える。そのため、生成回数は、例えば、図25の対応関係に従って設定される。

【0163】

図25は、第2デジタル信号Dと生成回数とビットシフト量との対応関係を示す図である。暗時（D＝“1111”）の生成回数は4回であり、明時（D＝“0001”）の生成回数は1回である。

【0164】

第1制御部17Bは、生成回数が複数の場合、信号電圧Vsig及びランプ電圧Vrampが供給された状態で、第4デジタル信号D4を生成した後、単位キャパシタ25、26と第1キャパシタ22との何れかの他端に供給される電圧を切り替えて第4デジタル信号D4を生成する処理を1回以上行う。

【0165】

ランプ電圧 V_{ramp} (図示せず) は、時刻 t_{58} の後で増加を始め、時刻 t_{60} まで単調に増加し続ける。つまり、ランプ電圧 V_{ramp} は、この期間に1回だけ供給される。

【0166】

暗時 ($D = "1111"$) には、時刻 t_{58} 以降、時刻 t_{60} まで、シングルスロープAD変換を4回行い、第4デジタル信号 D_4 を4回生成する。この時の動作は、時刻 t_{51} から t_{55} までと同じである。

【0167】

明時 ($D = "0001"$) には、時刻 t_{58} 以降、時刻 t_{59} まで、シングルスロープAD変換を1回行い、第4デジタル信号 D_4 を1回生成する。この後の時刻 t_{59} から時刻 t_{60} の間、カウンタ42及び比較器11, 12を停止させ、消費電力を低減できる。単位キャパシタ25, 26及び第1キャパシタ22の他端に供給される電圧も切り替えなくてよい。なお、時刻 t_{59} から時刻 t_{60} まで、第3電圧 V_x の波形の一部の図示を省略している。

【0168】

この後、第3の実施形態と同様に、明時におけるビット数の調整、CDS、及び、マーキングが行われ、第1デジタル信号 D_{out} が生成される。

【0169】

図26は、単位キャパシタ25, 26による第3電圧 V_x のシフト量と、第2デジタル信号 D の1LSBによる第3電圧 V_x の変化量との関係を示す図である。単位キャパシタ25, 26による第3電圧 V_x のシフト量は、第2デジタル信号 D の1LSBによる第3電圧 V_x の変化量の2倍である。これにより、第1キャパシタ21, 22, 23C, 24のミスマッチなどに対する冗長性を持たせ、確実にシングルスロープAD変換できる。

【0170】

本実施形態によれば、第3の実施形態と同様に、シングルスロープAD変換を複数回行うので、ノイズを低減できる。

【0171】

また、1つの第1キャパシタ23Cを複数の単位キャパシタ25, 26に分割し、キャパシタを追加していないので、第3の実施形態と同等の面積を保つことができる。

【0172】

また、第3の実施形態と比較して、短時間でシングルスロープAD変換を複数回行うことができると共に、第3電圧 V_x を線形に増加させることができる。

【0173】

第3の実施形態では、図示しないランプ電圧生成回路がランプ電圧 V_{ramp} を複数回供給する際に、ランプ電圧生成回路の特性により、あるランプ電圧 V_{ramp} から次のランプ電圧 V_{ramp} に切り替える時に所定時間待つ必要がある (図19参照)。そのため、シングルスロープAD変換を同じ回数行うために、本実施形態よりも長時間を要する。また、第3の実施形態では、十分な時間待たずに次のランプ電圧 V_{ramp} を供給する場合には、ランプ電圧生成回路の特性により、ランプ電圧 V_{ramp} が非線形になる。よって、第3電圧 V_x が非線形に増加し、AD変換精度が悪化する可能性がある。

【0174】

なお、容量値が4Cである第1キャパシタ23Cを単位キャパシタ25, 26に分割する一例について説明したが、容量値が8Cである第1キャパシタ24も4つの単位キャパシタに分割すれば、シングルスロープAD変換を8回行うことができる。また、更に大きい容量値の第1キャパシタを設け、これも単位キャパシタに分割してもよい。つまり、単位容量値Cの4倍以上の容量値を有する第1キャパシタの少なくとも何れかは、単位容量値Cの2倍の容量値をそれぞれ有する複数の単位キャパシタを含んでもよい。単位キャパシタの数は、目標とするノイズと面積とのトレードオフに応じて決定すればよい。

【0175】

また、第1キャパシタ24は設けなくてもよい。

【0176】

また、シングルスロープAD変換を複数回行う際、第1キャパシタ22及び単位キャパシタ25、26に供給される電圧を切り替える順番は、特に限定されない。

【0177】

(第5の実施形態)

第5の実施形態では、レベルシフト用の第3キャパシタ28を追加し、第3キャパシタ28に供給する電圧を切り替えることにより、シングルスロープAD変換を複数回行う。

【0178】

図27は、第5の実施形態に係る信号変換部3D(k)の構成を示す回路図である。図27では、図18と共通する構成部分には同一の符号を付しており、以下では相違点を中心に説明する。比較器12、キャパシタ13、スイッチRST2、エッジ検出器16、第1制御部17B、第2制御部18、及び、設定部41は、図示を省略している。

【0179】

信号変換部3D(k)は、第3キャパシタ28と、スイッチS7、S8と、を更に備える。第3キャパシタ28は、反転入力ノード11bに接続された一端と、第1参照電圧Vref1又は第2参照電圧Vref2が供給される他端と、を有する。第3キャパシタ28の容量値は、 αC である(α は1より大きい数)。

【0180】

スイッチS7は、第3キャパシタ28の他端に接続された一端と、第1参照電圧Vref1が供給される他端と、を有する。スイッチS8は、第3キャパシタ28の他端に接続された一端と、第2参照電圧Vref2が供給される他端と、を有する。

【0181】

ここでは、1つの第3キャパシタ28を備える一例について説明するが、複数の第3キャパシタ28を備えても良い。この場合、複数の第3キャパシタ28は、反転入力ノード11bに接続された一端と、第1参照電圧Vref1又は第2参照電圧Vref2が供給される他端と、をそれぞれ有する。各第3キャパシタ28の容量値は、単位容量値Cより大きい。第3キャパシタ28の数を増やす程、シングルスロープAD変換の回数を増やすことができる。

【0182】

図28は、AD変換動作時の電圧Vpixと第3電圧Vxのタイミング図である。第3の実施形態との相違点を中心に説明する。

【0183】

ランプ電圧Vramp(図示せず)は、時刻t61の後で減少を始め、時刻t63まで単調に減少し続ける。時刻t62までの動作は、第3の実施形態と同じであり、第3デジタル信号D3が生成される。この間、第3キャパシタ28には、第2参照電圧Vref2が供給されている。

【0184】

第1制御部17Bは、リセット電圧Vrst及びランプ電圧Vrampが供給された状態で、第3デジタル信号D3を生成した後、何れかの第3キャパシタ28の他端に供給される電圧を切り替えて第3デジタル信号D3を生成する処理を1回以上(ここでは1回)行う。

【0185】

つまり、時刻t62において、第3キャパシタ28に供給される電圧を第2参照電圧Vref2より高い第1参照電圧Vref1に切り替え、第3電圧Vxを増加させ、再びシングルスロープAD変換を行う。

【0186】

このようにして、1つのランプ電圧Vrampが供給されている間にシングルスロープAD変換を2回行い、2つの第3デジタル信号D3を生成することができる。時刻t63において、第3キャパシタ28には、再度、第1参照電圧Vref1が供給される。

【0187】

時刻 t_{64} 以降、信号電圧 V_{sig} が供給され、時刻 t_{65} まで、逐次比較AD変換が行われ、第2デジタル信号Dが設定される。逐次比較AD変換の間、第3キャパシタ28に供給される電圧は切り替えられない。

【0188】

ランプ電圧 V_{ramp} (図示せず) は、時刻 t_{66} の後で減少を始め、時刻 t_{68} まで単調に減少し続ける。

【0189】

第1制御部17Bは、第2デジタル信号Dが設定された後、第4デジタル信号D4を、第2デジタル信号Dに応じて定められる生成回数生成する。第1制御部17Bは、生成回数が複数の場合、信号電圧 V_{sig} 及びランプ電圧 V_{ramp} が供給された状態で、第4デジタル信号D4を生成した後、何れかの第3キャパシタ28の他端に供給される電圧を切り替えて第4デジタル信号D4を生成する処理を1回以上（ここでは1回）行う。

【0190】

暗時 ($D = "111"$) には、時刻 t_{66} 以降、時刻 t_{68} まで、シングルスロープAD変換を2回行い、第4デジタル信号D4を2回生成する。この時の動作は、時刻 t_{61} から t_{63} までと同じである。

【0191】

明時 ($D = "001"$) には、時刻 t_{66} 以降、時刻 t_{67} まで、シングルスロープAD変換を1回行い、第4デジタル信号D4を1回生成する。時刻 t_{67} から時刻 t_{68} の間、カウンタ42及び比較器11, 12を停止させる。第3キャパシタ28の他端に供給される電圧も切り替えなくてよい。

【0192】

この後、第3の実施形態と同様に、明時におけるビット数の調整、CDS、及び、マージが行われ、第1デジタル信号Doutが生成される。

【0193】

図29は、第3キャパシタ28による第3電圧 V_x のシフト量と、第2デジタル信号Dの1LSBによる第3電圧 V_x の変化量との関係を示す図である。第3キャパシタ28の容量値は αC であるため、第3キャパシタ28による第3電圧 V_x のシフト量は、第2デジタル信号Dの1LSBによる第3電圧 V_x の変化量の α 倍である。これにより、第1キャパシタ21～23のミスマッチなどに対する冗長性を持たせ、確実にシングルスロープAD変換できる。

【0194】

本実施形態によれば、第4の実施形態と同様の効果を得られる。

【0195】

なお、第2の実施形態を、第3から第5の実施形態と組み合わせても良い。

【0196】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0197】

- 1 画素
- 2 ロウデコーダ
- 3 (k), 3A(k)～3D(k) 信号変換部
- 4 出力部
- 11, 12 比較器

1 3 キャパシタ
1 4, 1 4 C キャパシタ部
1 5 第2キャパシタ
R S T 1, R S T 2 スイッチ
1 6 エッジ検出器
1 7, 1 7 B 第1制御部
1 8 第2制御部
1 9 入力キャパシタ
2 1 ~ 2 4, 2 3 C 第1キャパシタ
S 1 ~ S 1 0 スイッチ
2 5, 2 6 単位キャパシタ
2 8 第3キャパシタ
R S T 3 第2スイッチ
3 1 パラレル・シリアル変換部
3 2 オフセットコード算出部
3 3 S R A M
3 4 オフセット補正部 (マージ部)
3 5 ゲインエラー算出部
3 6 S R A M
3 7 ゲインエラー補正部
4 1 設定部
4 2 カウンタ

【書類名】 特許請求の範囲

【請求項 1】

第 1 電圧又は第 2 電圧が供給される第 1 入力ノードと、第 3 の電圧が供給される第 2 入力ノードと、出力ノードと、を有し、前記第 1 電圧又は前記第 2 電圧と前記第 3 電圧とを比較した結果を前記出力ノードから出力する比較器と、

前記第 2 入力ノードに接続された一端と、第 1 参照電圧又は第 2 参照電圧が供給される他端と、をそれぞれ有する複数の第 1 キャパシタを有するキャパシタ部と、

第 3 参照電圧又はランプ電圧が供給される一端と、前記第 2 入力ノードに接続された他端と、を有する第 2 キャパシタと、

前記第 2 入力ノードと前記出力ノードとの間に接続されたスイッチと、

前記比較結果に基づいて前記第 1 デジタル信号を生成するデジタル信号生成部と、

を備える半導体集積回路。

【請求項 2】

第 1 電圧又は第 2 電圧が供給される一端を有する入力キャパシタと、

前記入力キャパシタの他端に接続された第 1 入力ノードと、第 2 入力ノードと、出力ノードと、を有し、前記第 1 入力ノードの第 3 電圧と前記第 2 入力ノードの第 4 電圧とを比較した結果を前記出力ノードから出力する比較器と、

前記第 2 入力ノードに接続された一端と、第 1 参照電圧又は第 2 参照電圧が供給される他端と、をそれぞれ有する複数の第 1 キャパシタを有するキャパシタ部と、

第 3 参照電圧又はランプ電圧が供給される一端と、前記第 2 入力ノードに接続された他端と、を有する第 2 キャパシタと、

前記第 1 入力ノードと前記出力ノードとの間に接続された第 1 スwitchと、

前記第 2 入力ノードと第 4 参照電圧が供給される参照電圧ノードとの間に接続された第 2 スwitchと、

前記比較結果に基づいて前記第 1 デジタル信号を生成するデジタル信号生成部と、

を備える半導体集積回路。

【請求項 3】

前記複数の第 1 キャパシタの容量値は、単位容量値の 2 のべき乗倍に重み付けされ、

前記単位容量値の 4 倍以上の容量値を有する前記第 1 キャパシタの少なくとも何れかは、前記単位容量値の 2 倍の容量値をそれぞれ有する複数の単位キャパシタを含み、

前記各単位キャパシタは、前記第 2 入力ノードに接続された一端と、前記第 1 参照電圧又は前記第 2 参照電圧が供給される他端と、を有する、請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】

前記第 1 電圧は、イメージセンサの画素に光が照射されないときのリセット電圧であり、

前記第 2 電圧は、前記画素に光が照射されたときの信号電圧である、請求項 1 から請求項 3 の何れかに記載の半導体集積回路。

【請求項 5】

画素と、

前記画素に光が照射されないときのリセット電圧と、前記画素に光が照射されたときの信号電圧との差をデジタル信号に変換する AD 変換器と、を備え、

前記 AD 変換器は、

前記リセット電圧又は前記信号電圧が供給される第 1 入力ノードと、第 2 入力ノードと、出力ノードと、を有し、前記第 1 入力ノードの電圧と前記第 2 入力ノードの電圧とを比較して比較結果を前記出力ノードから出力する比較器と、

前記第 2 入力ノードに接続された一端と、第 1 参照電圧又は第 2 参照電圧が供給される他端と、をそれぞれ有する複数の第 1 キャパシタを有するキャパシタ部と、

第 3 参照電圧又はランプ電圧が供給される一端と、前記第 2 入力ノードに接続された他端と、を有する第 2 キャパシタと、

前記第2入力ノードと前記出力ノードとの間に接続されたスイッチと、
前記比較結果に基づいて前記デジタル信号を生成するデジタル信号生成部と、
を有するイメージセンサ。

【書類名】 要約書

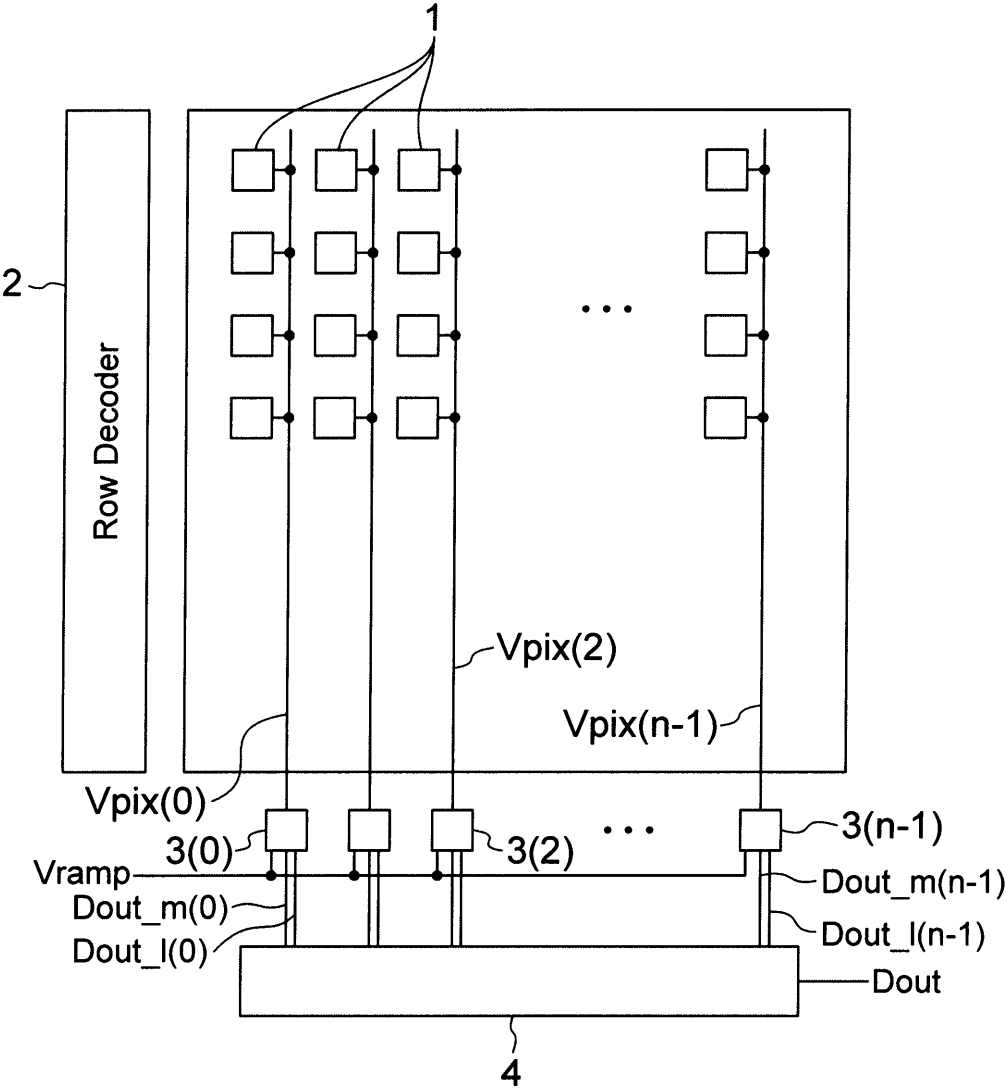
【要約】

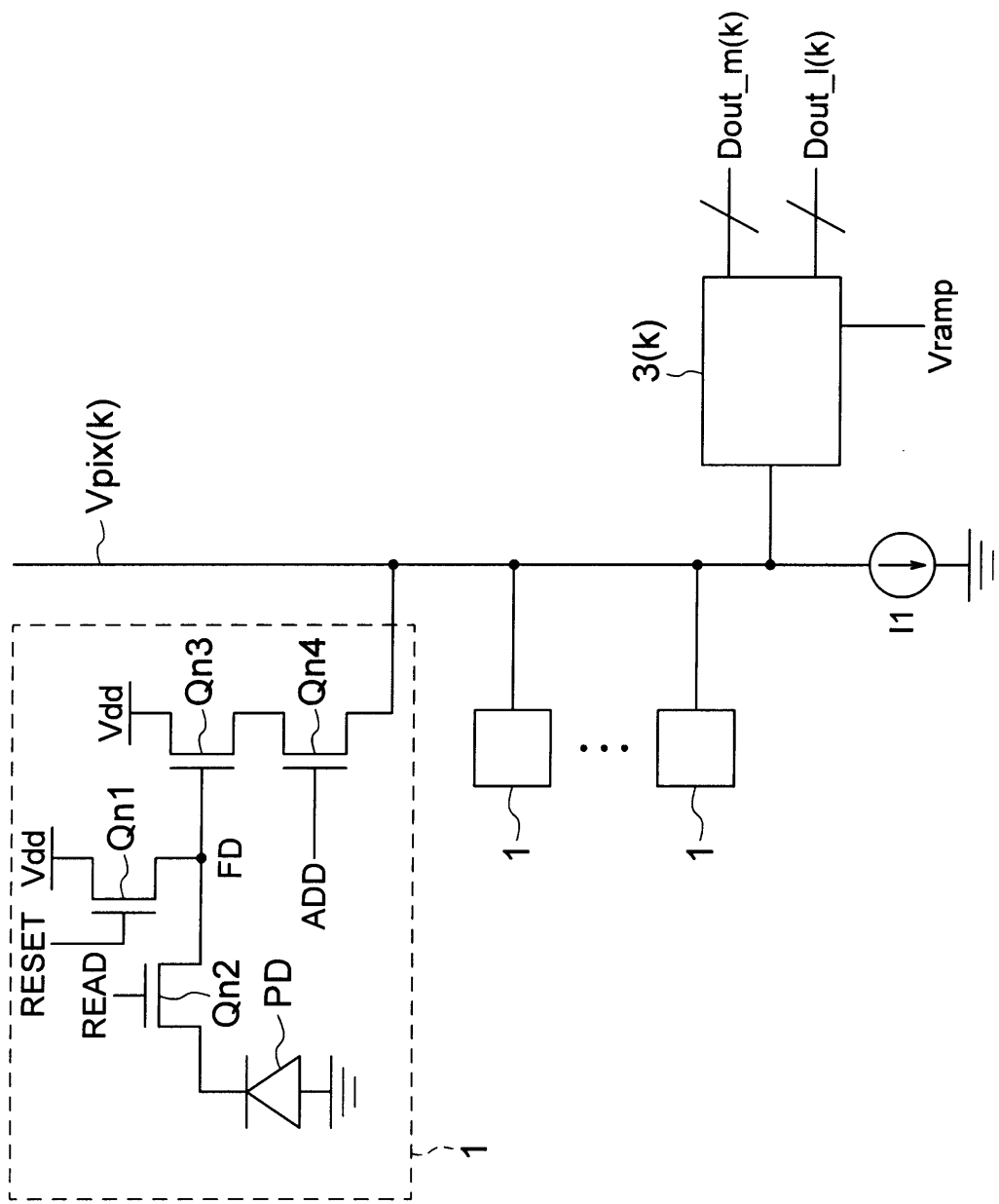
【課題】 小面積、広ダイナミックレンジ且つ低ノイズでAD変換する。

【解決手段】 実施形態によれば、半導体集積回路は、比較器と、複数の第1キャパシタを有するキャパシタ部と、第2キャパシタと、スイッチと、デジタル信号生成部と、を備える。前記比較器は、第1入力ノードの第1電圧又は第2電圧と第2入力ノードの第3電圧とを比較した結果を出力ノードから出力する。前記複数の第1キャパシタは、前記第2入力ノードに接続された一端と、第1又は第2参照電圧が供給される他端と、をそれぞれ有する。前記第2キャパシタは、第3参照電圧又はランプ電圧が供給される一端と、前記第2入力ノードに接続された他端と、を有する。前記スイッチは、前記第2入力ノードと前記出力ノードとの間に接続される。前記デジタル信号生成部は、前記比較結果に基づいて前記第1デジタル信号を生成する。

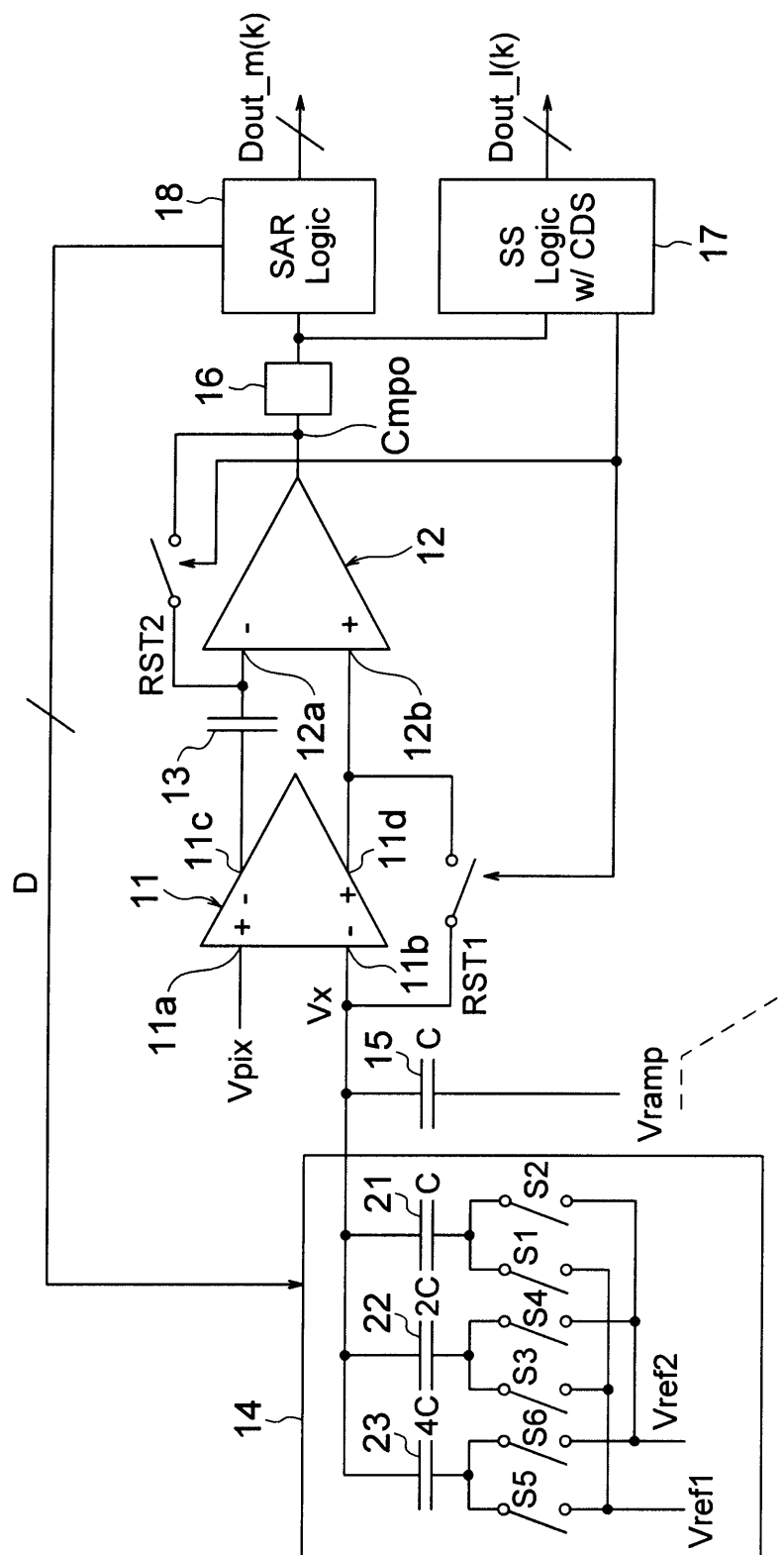
【選択図】 図3

【書類名】 図面
【図 1】



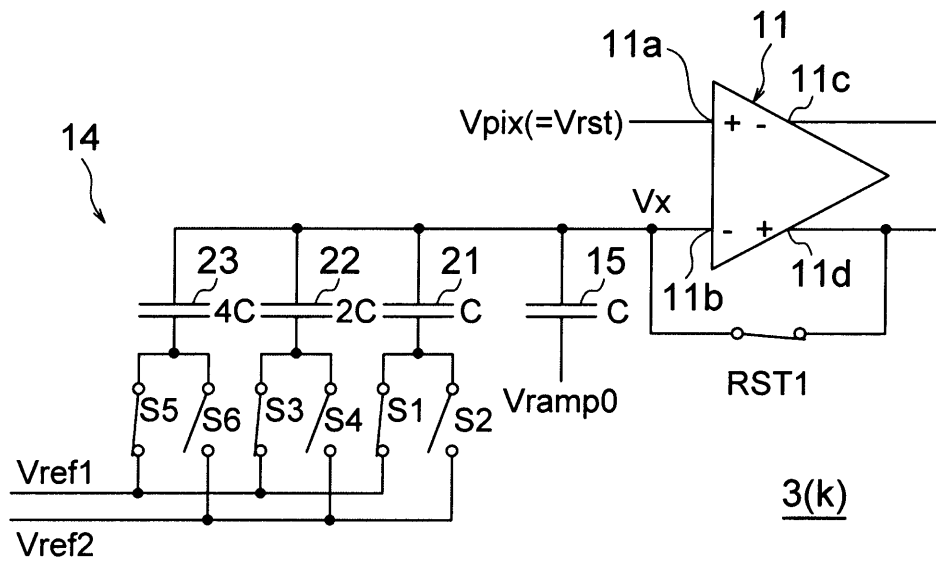


【図 3】


$$\frac{3(k)}{}$$

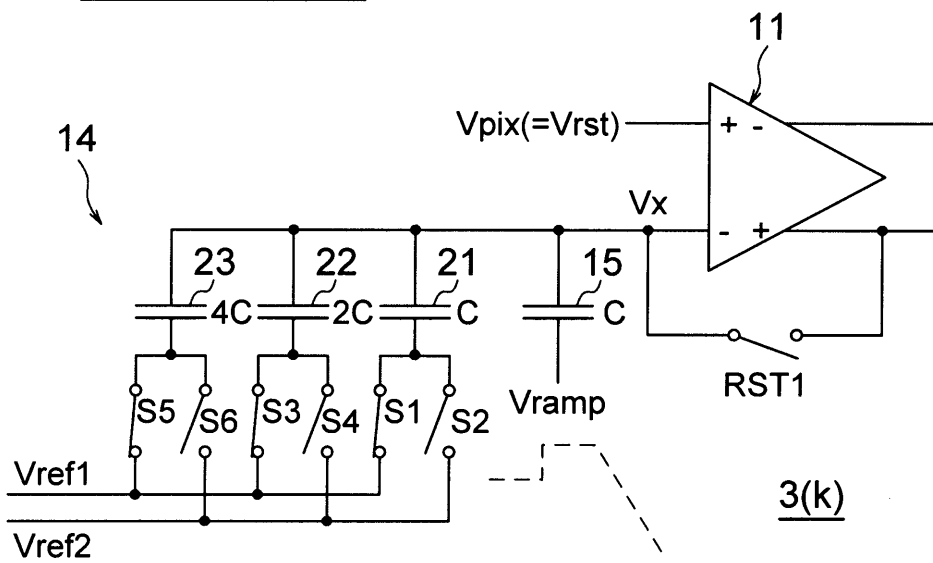
【図 4】

リセット



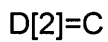
(a)

リセット電圧AD変換

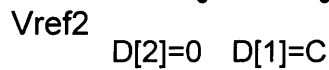


(b)

【図 5】

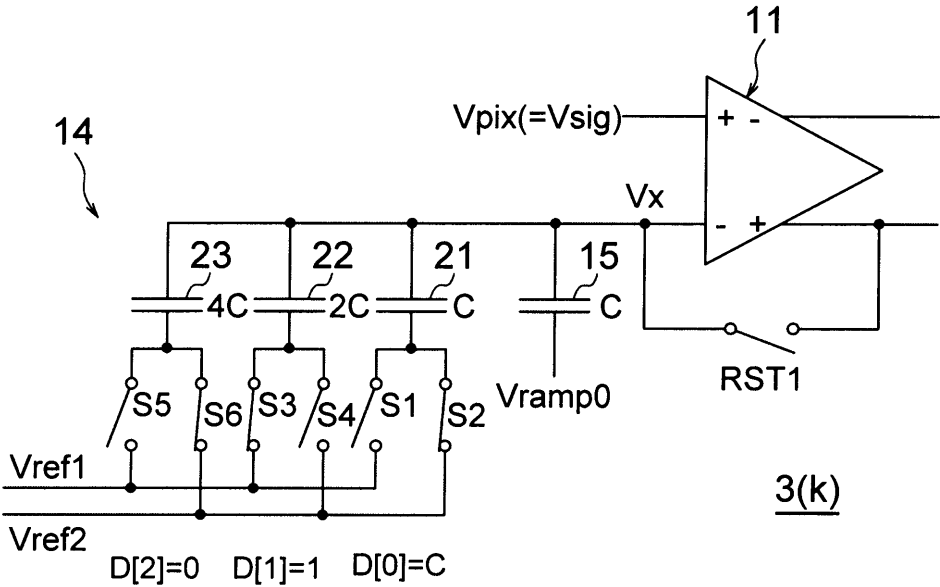


(a)



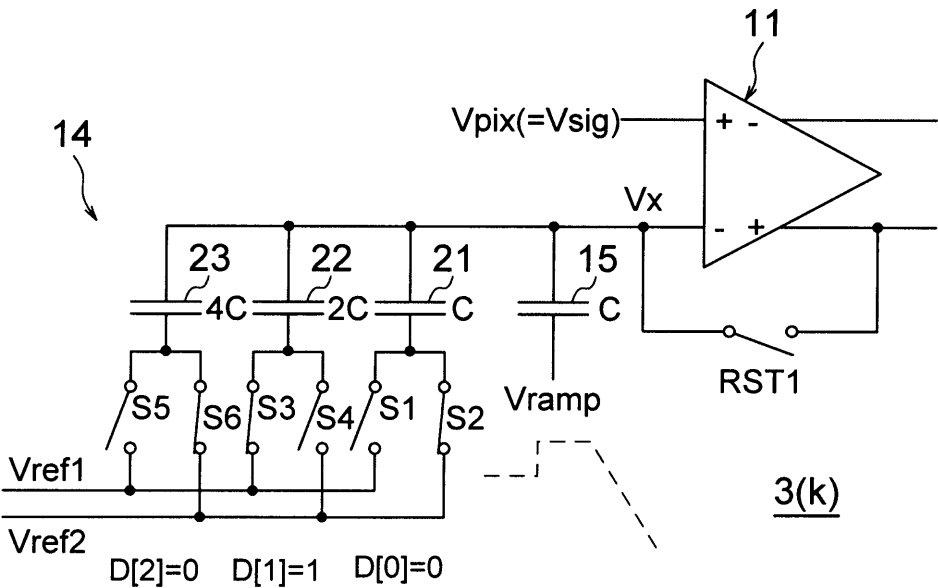
(b)

信号電圧SAR

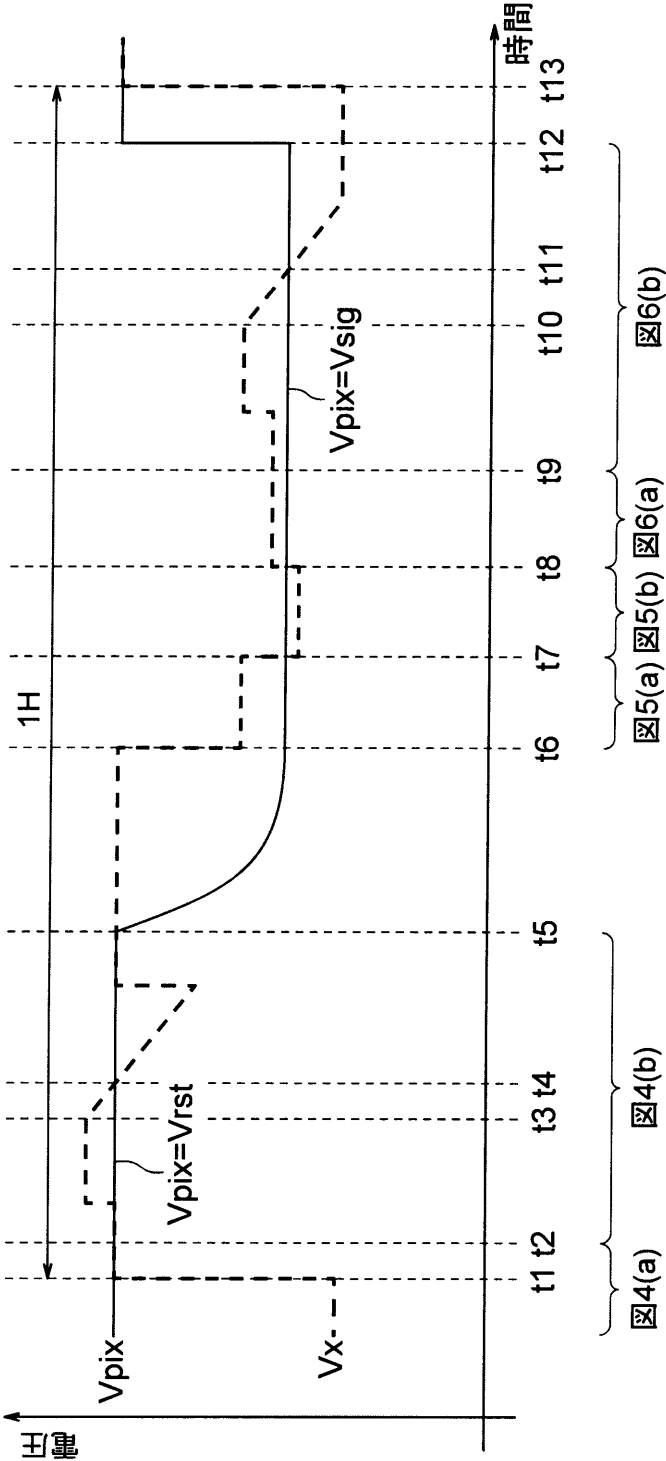


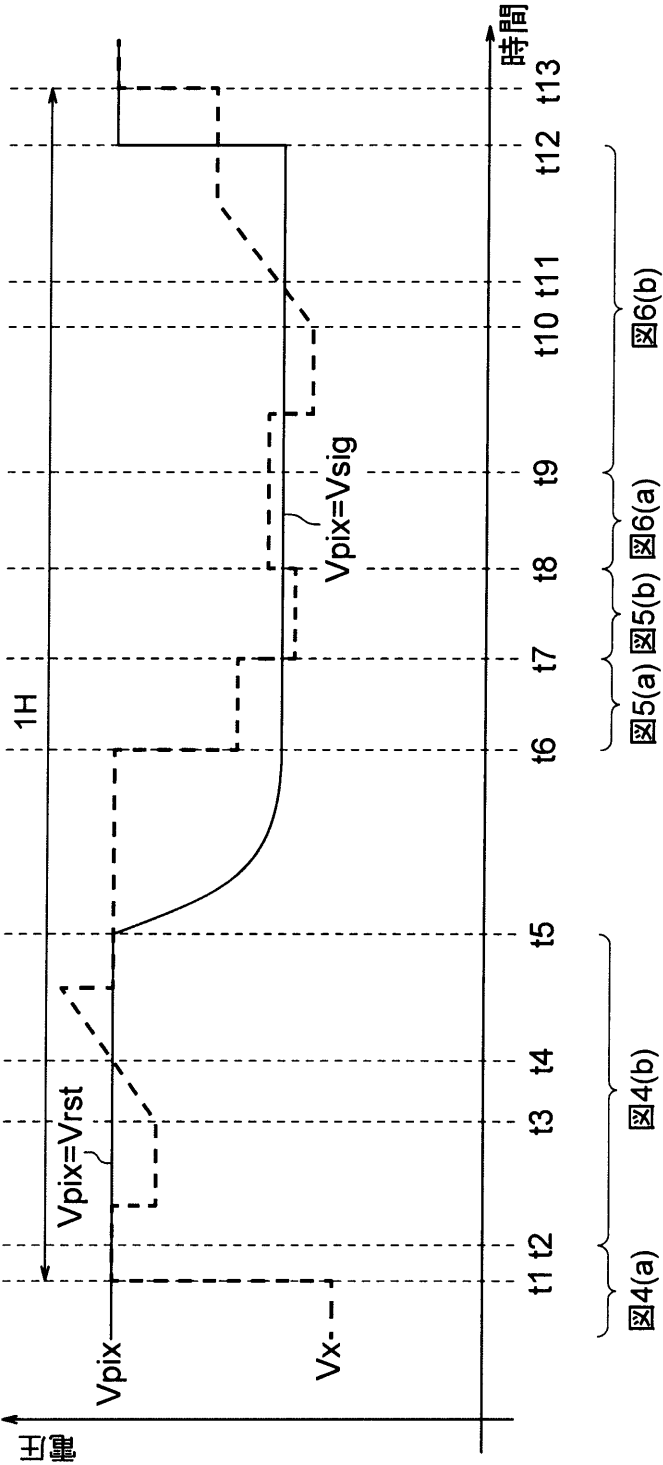
(a)

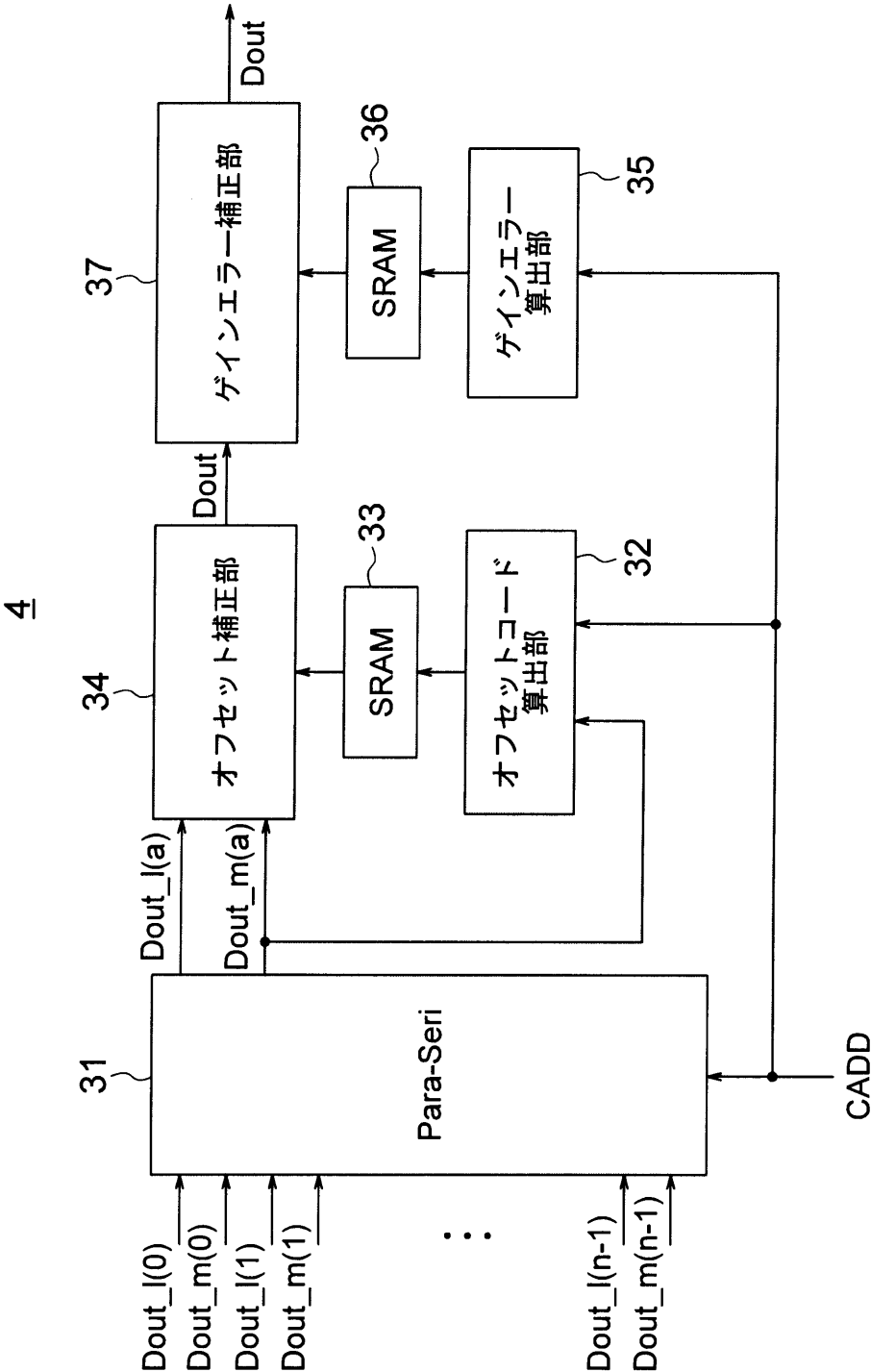
信号電圧AD変換

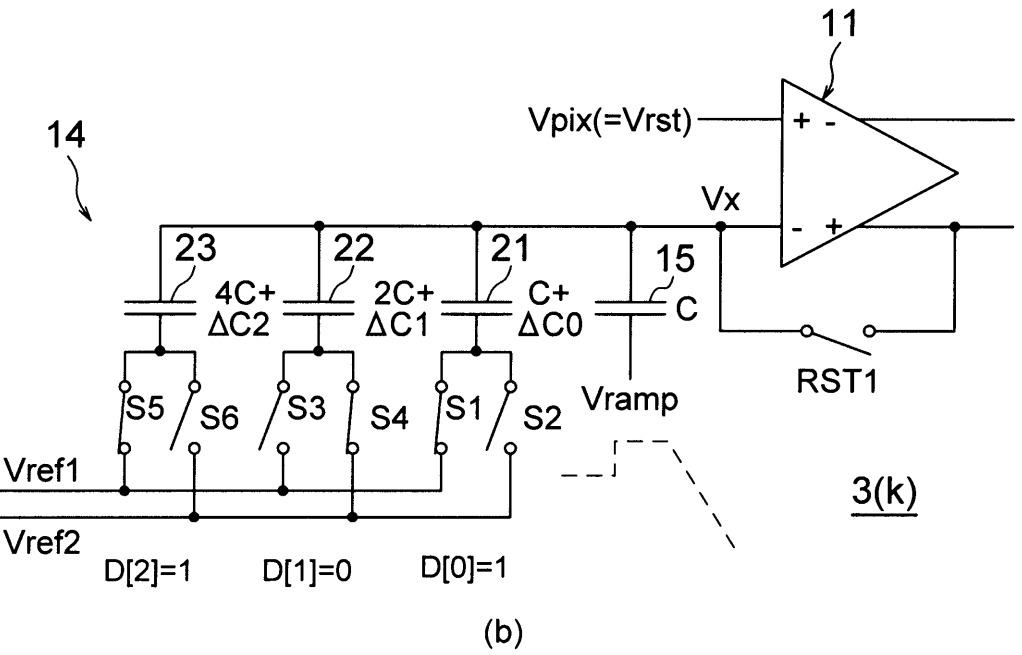
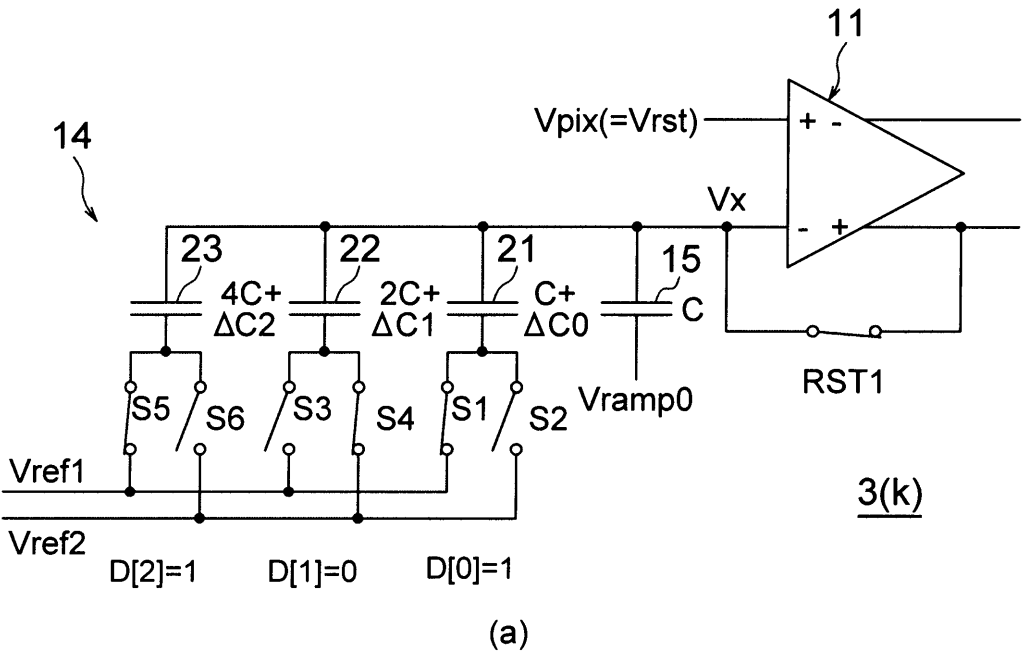


(b)

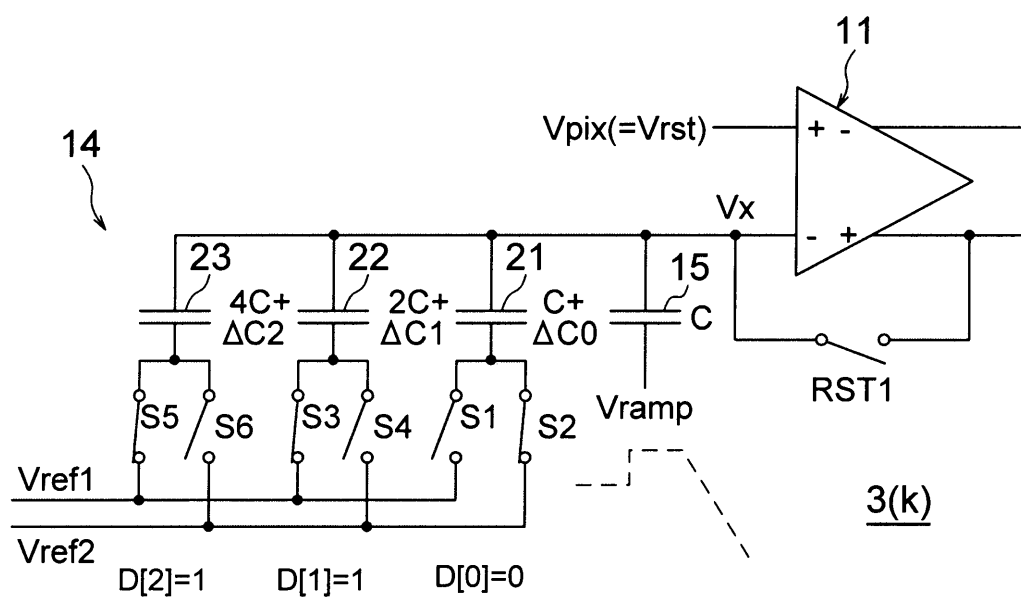


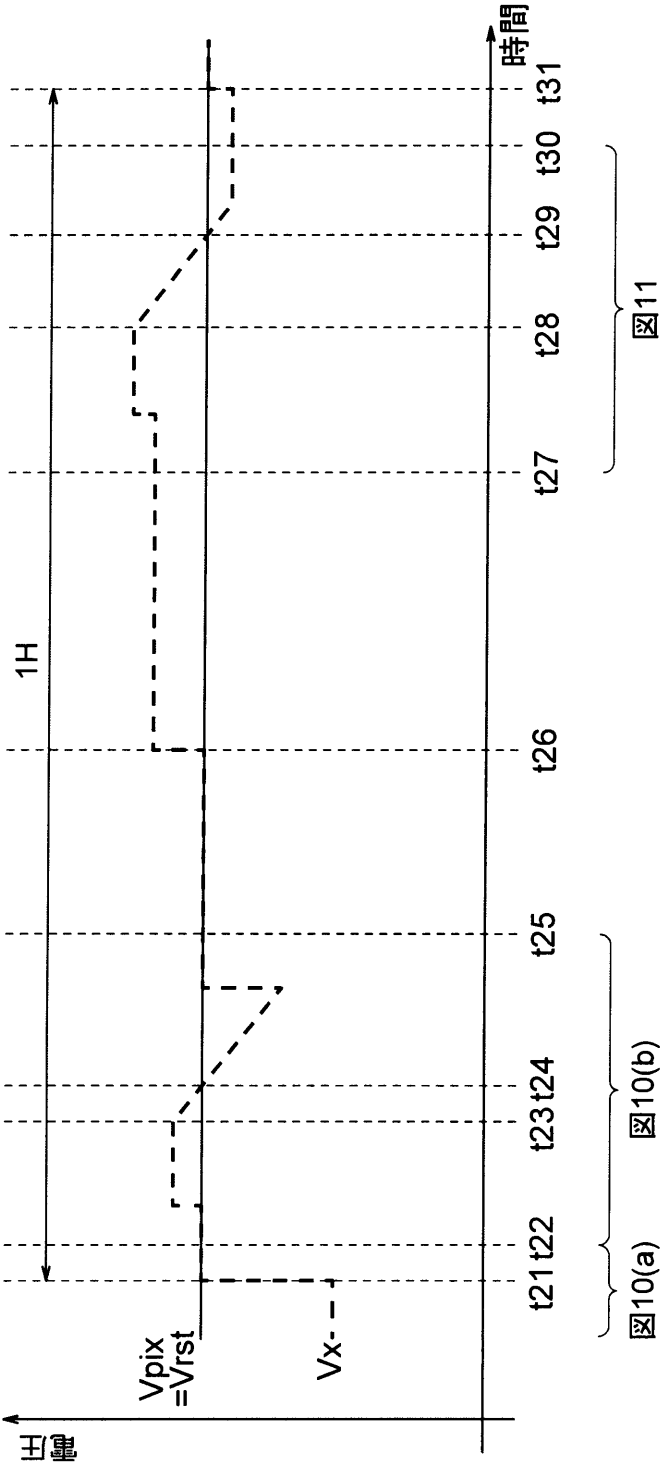




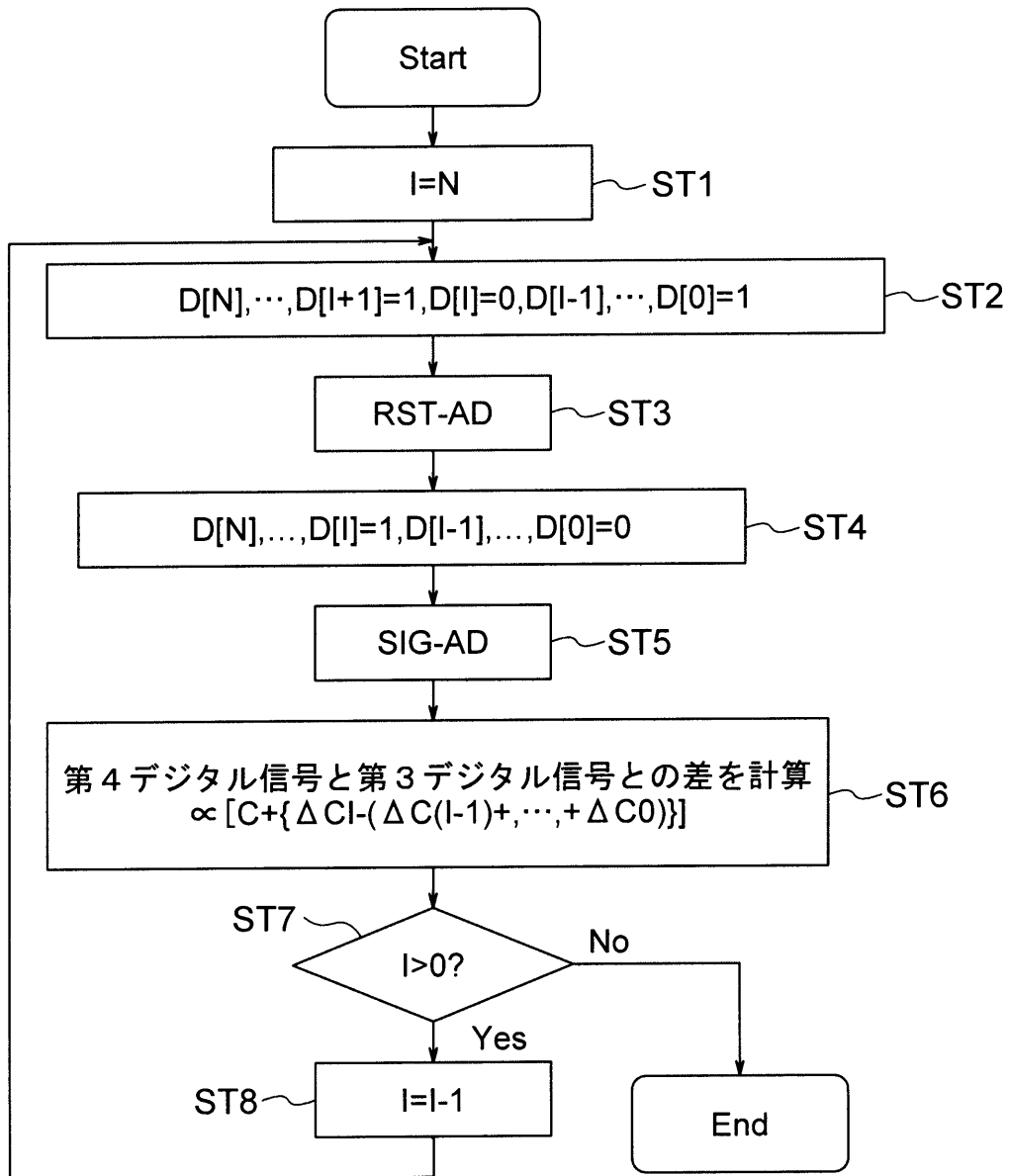


【図 1 1】

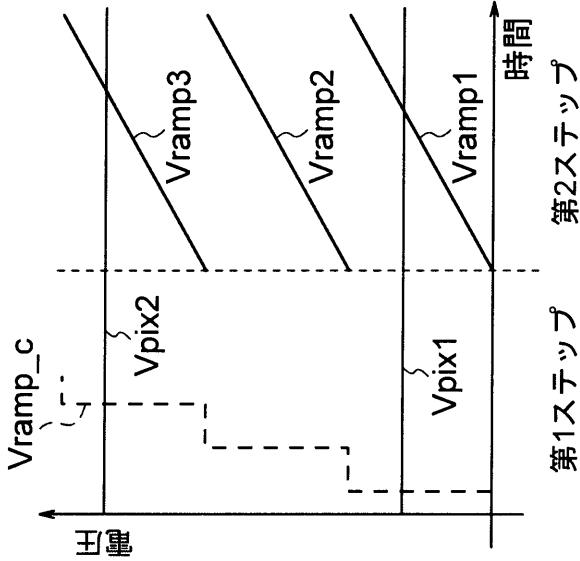
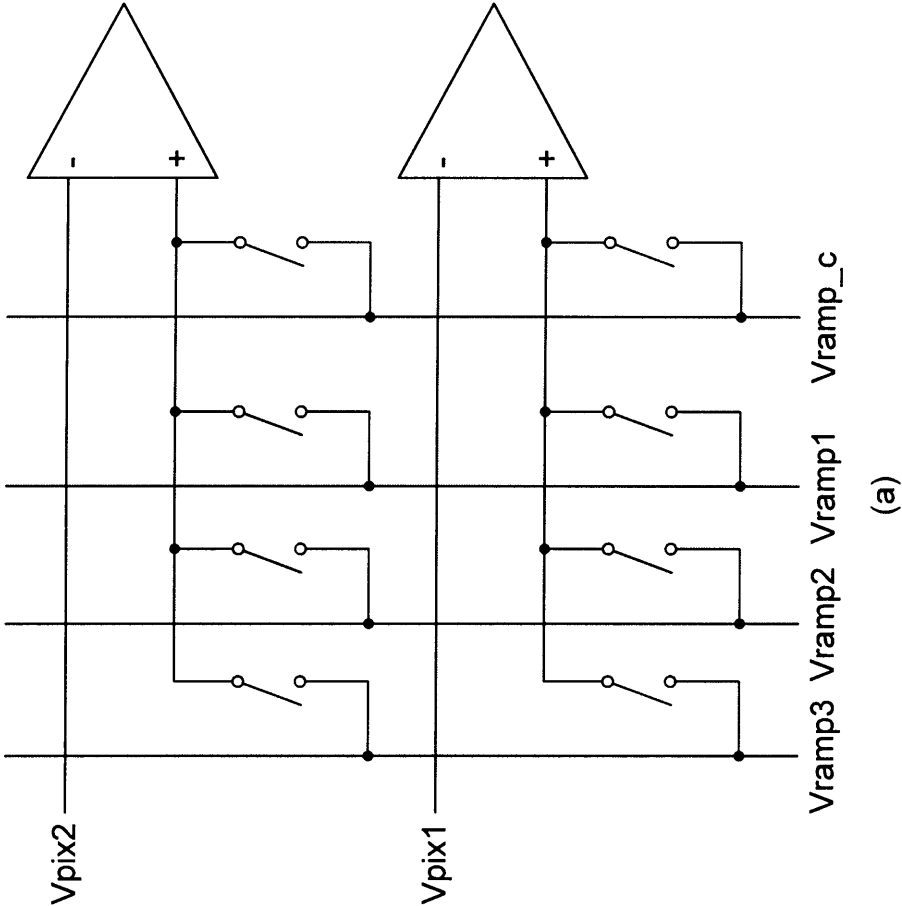




【図 1 3】

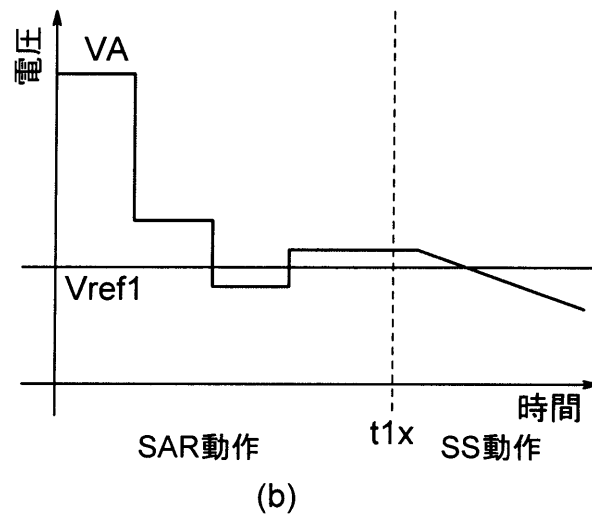
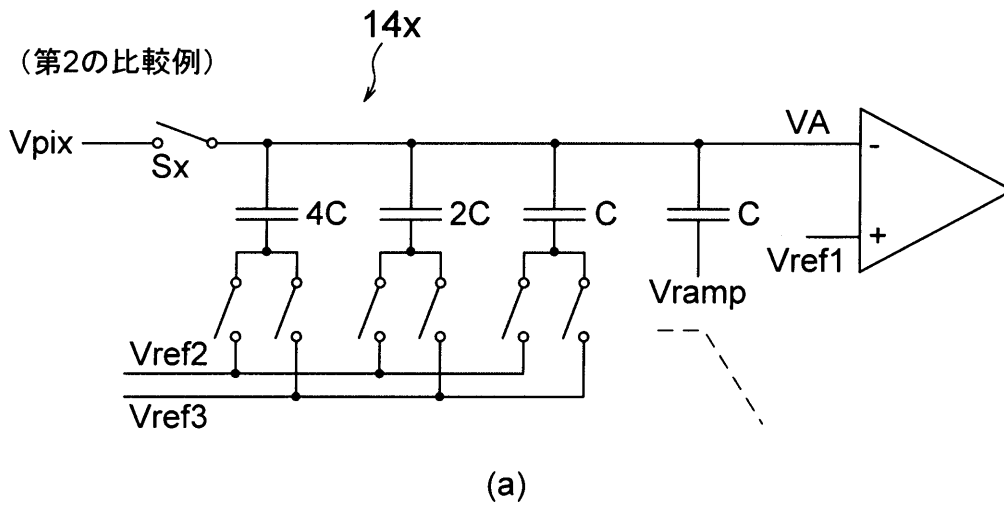


(第1の比較例)

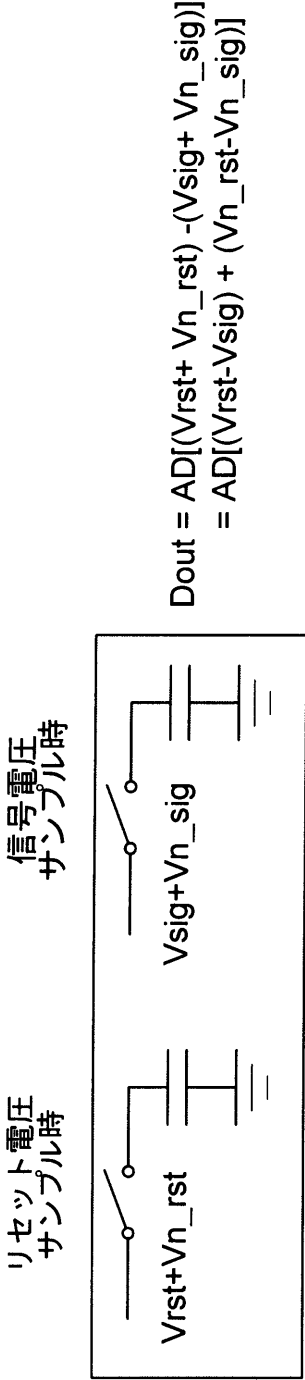


(b)

【図 1 5】

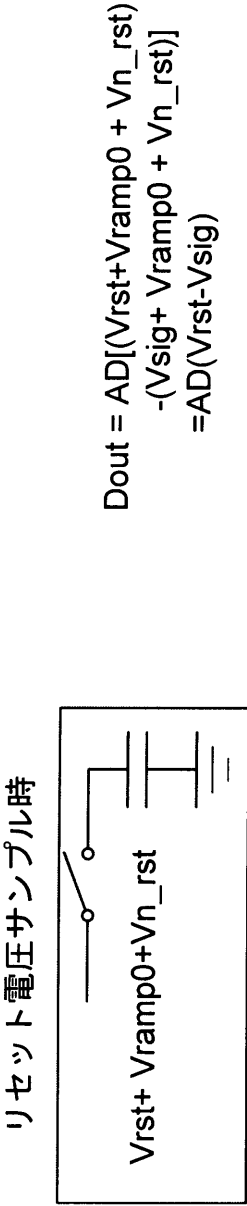


(第2の比較例)



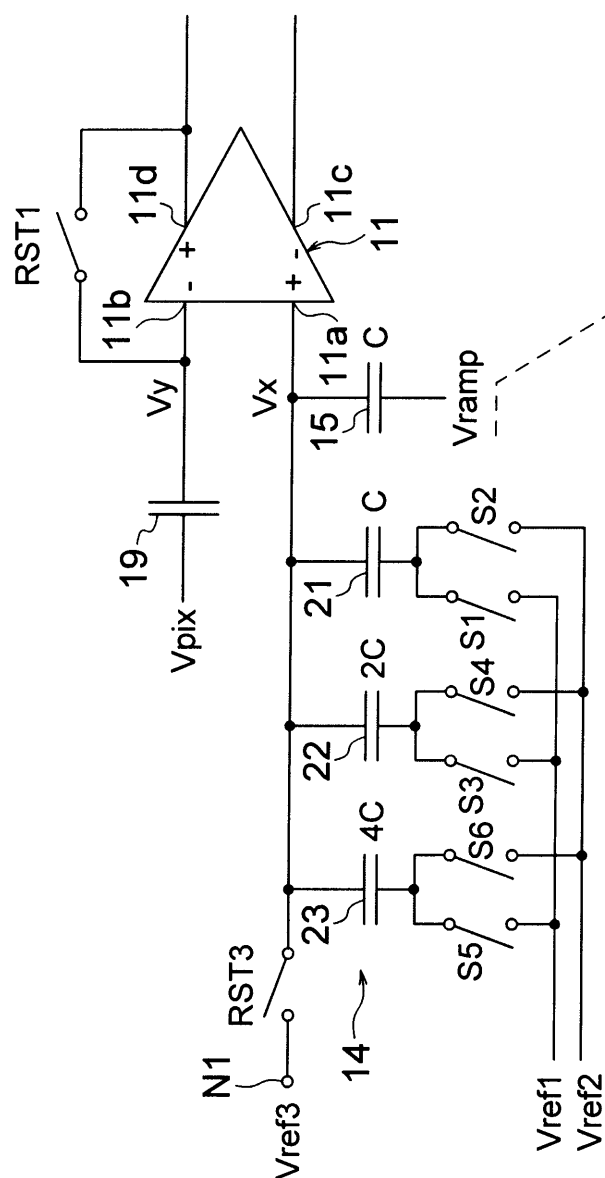
(a)

(第1の実施形態)

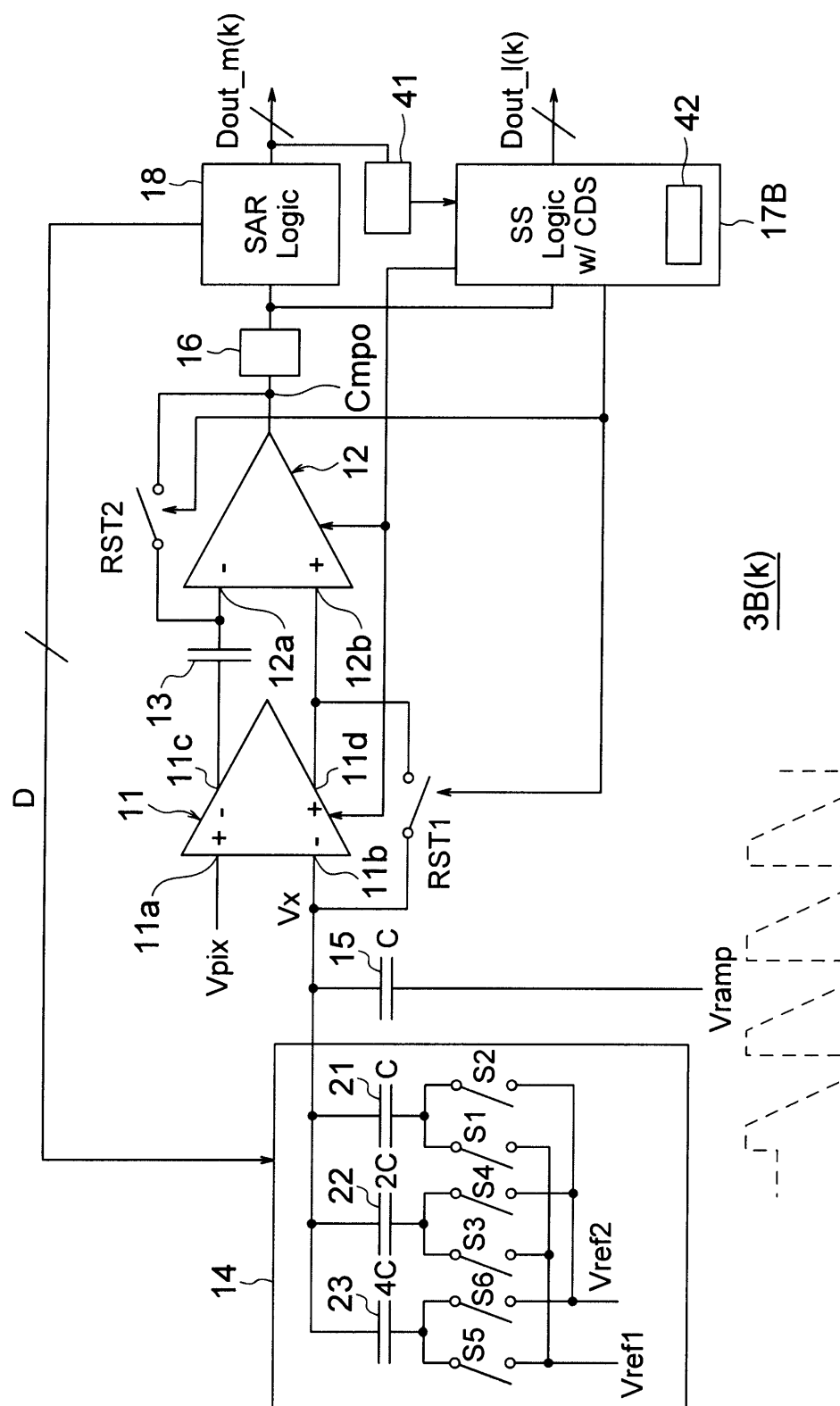


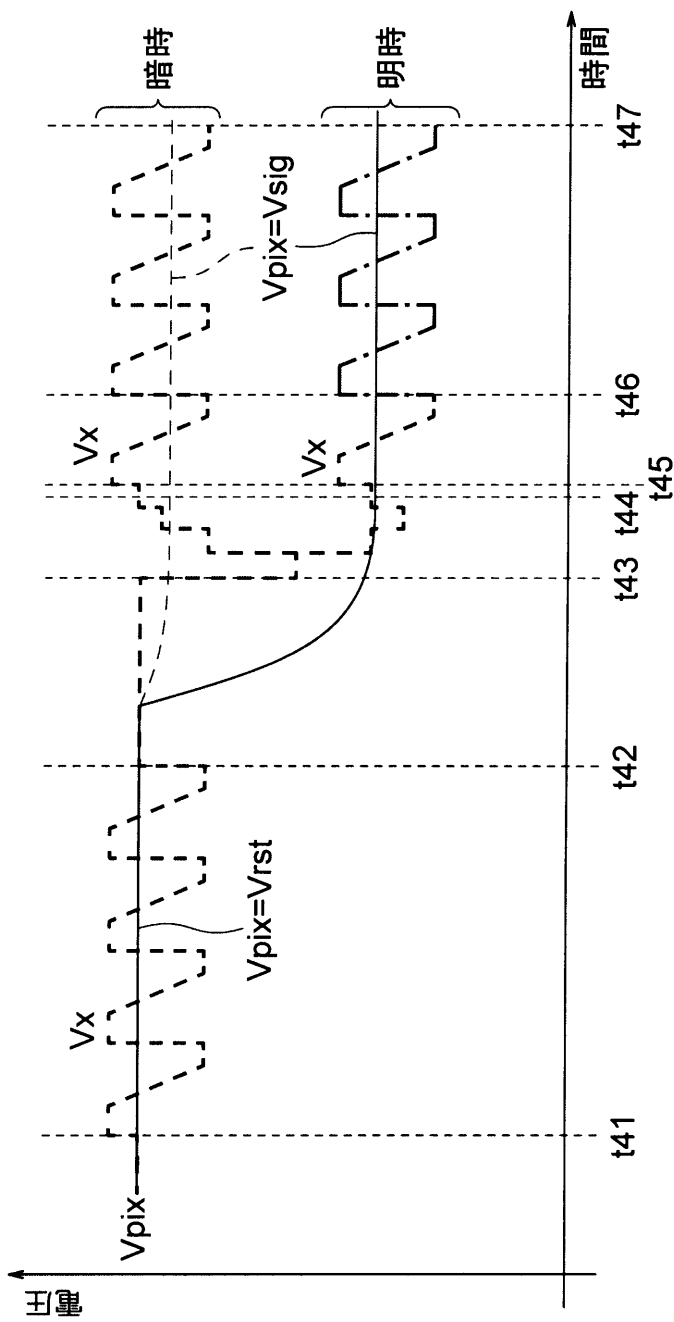
(b)

【図 1 7】



【図 18】





第2デジタル 信号D	生成回数	ビットシフト量
3'b111	2^M	0
3'b110	2^M	0
3'b101	2^(M-1)	1
⋮ ⋮	⋮ ⋮	⋮ ⋮
3'b000	1	M

(a)

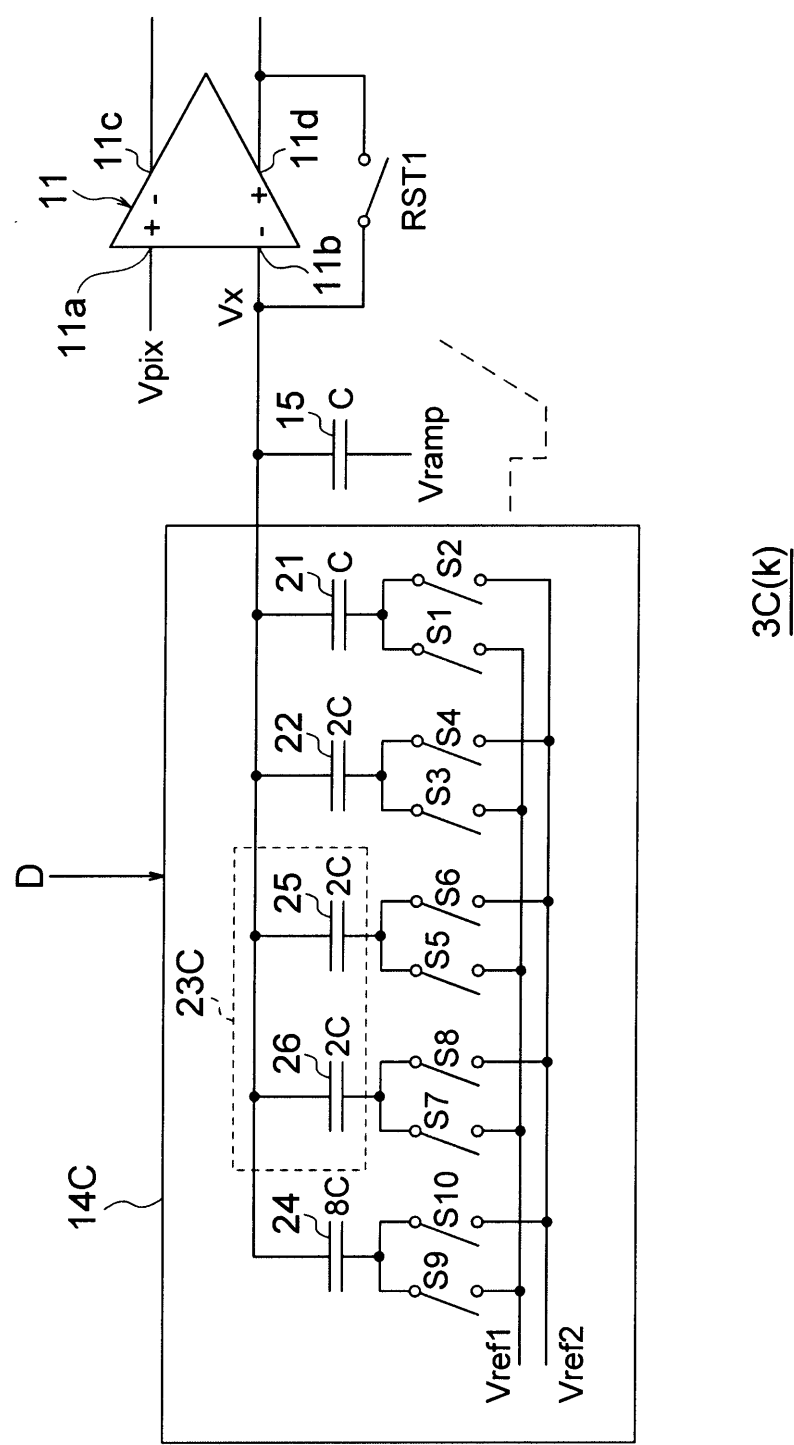
M=2の場合

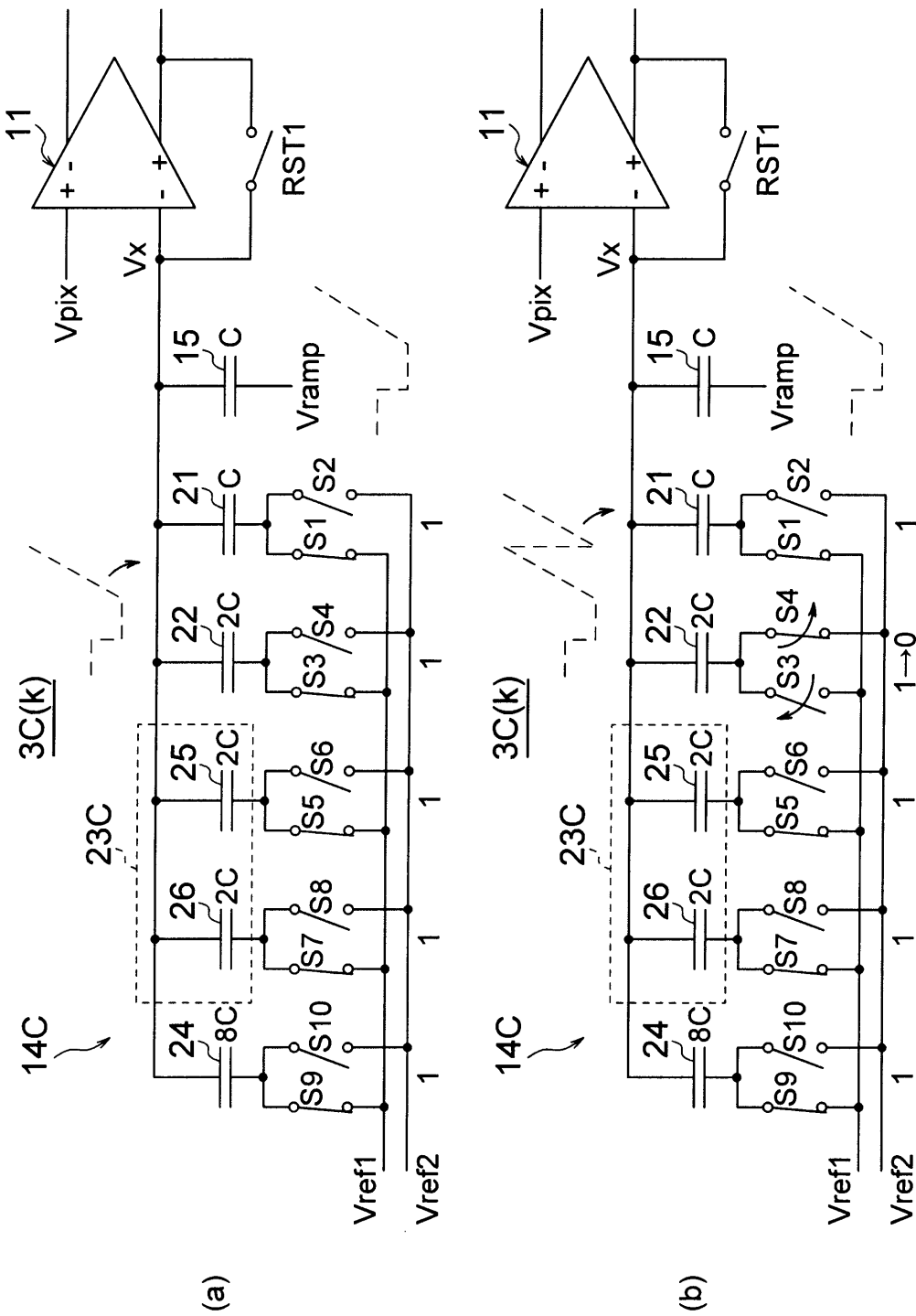
(D : 3'b111)
D3の総和: 10'b0110110110 (438)
D4の総和: 10'b1001110111 (887)
CDS結果: 10'b0111000001 (449)

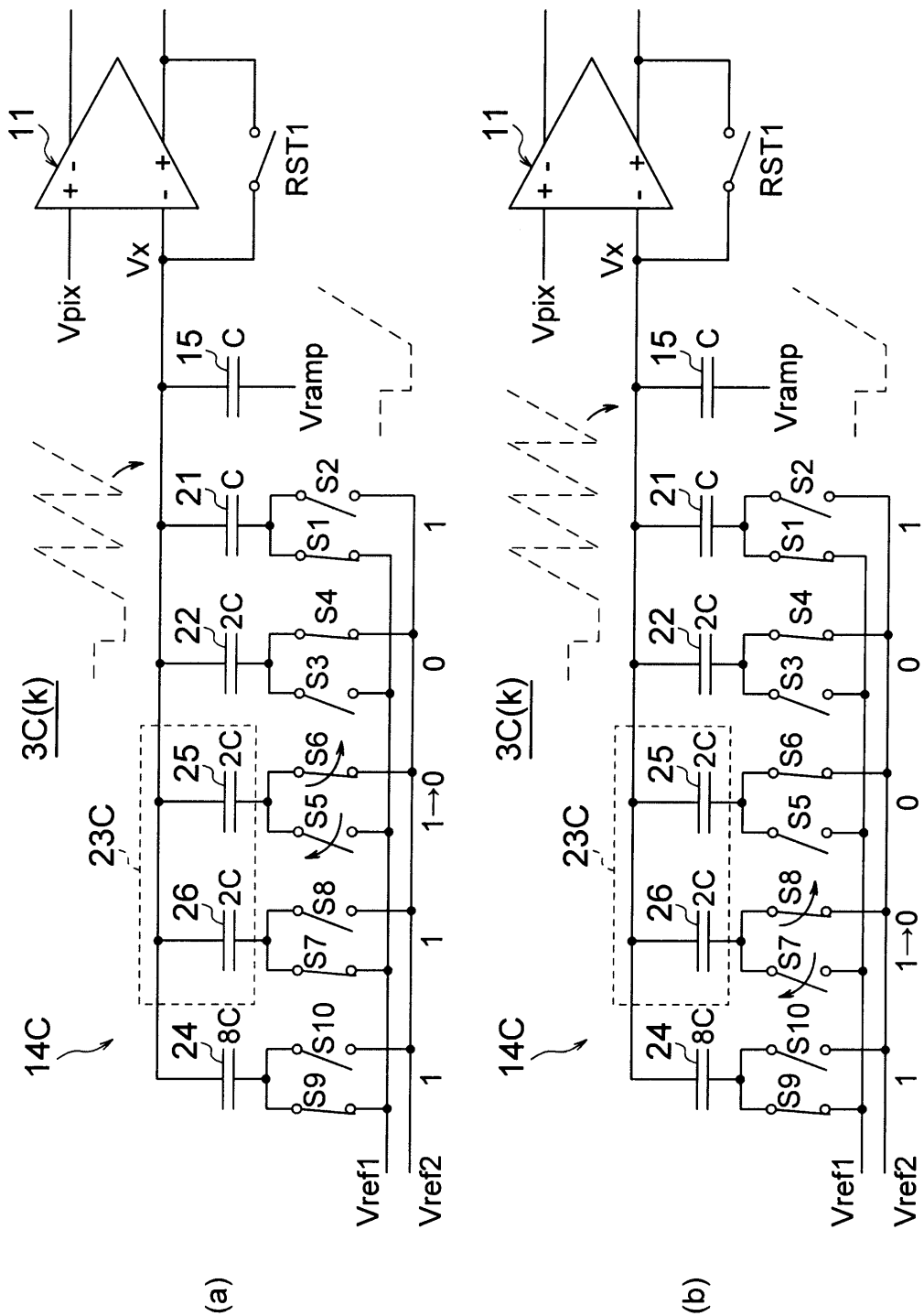
(D : 3'b000)
D3の総和: 10'b0011110011
→8'b00111100(60)
D4: 8'b11011101 (221)
CDS結果: 8'b10100001 (161)
→10'b1010000100(644)

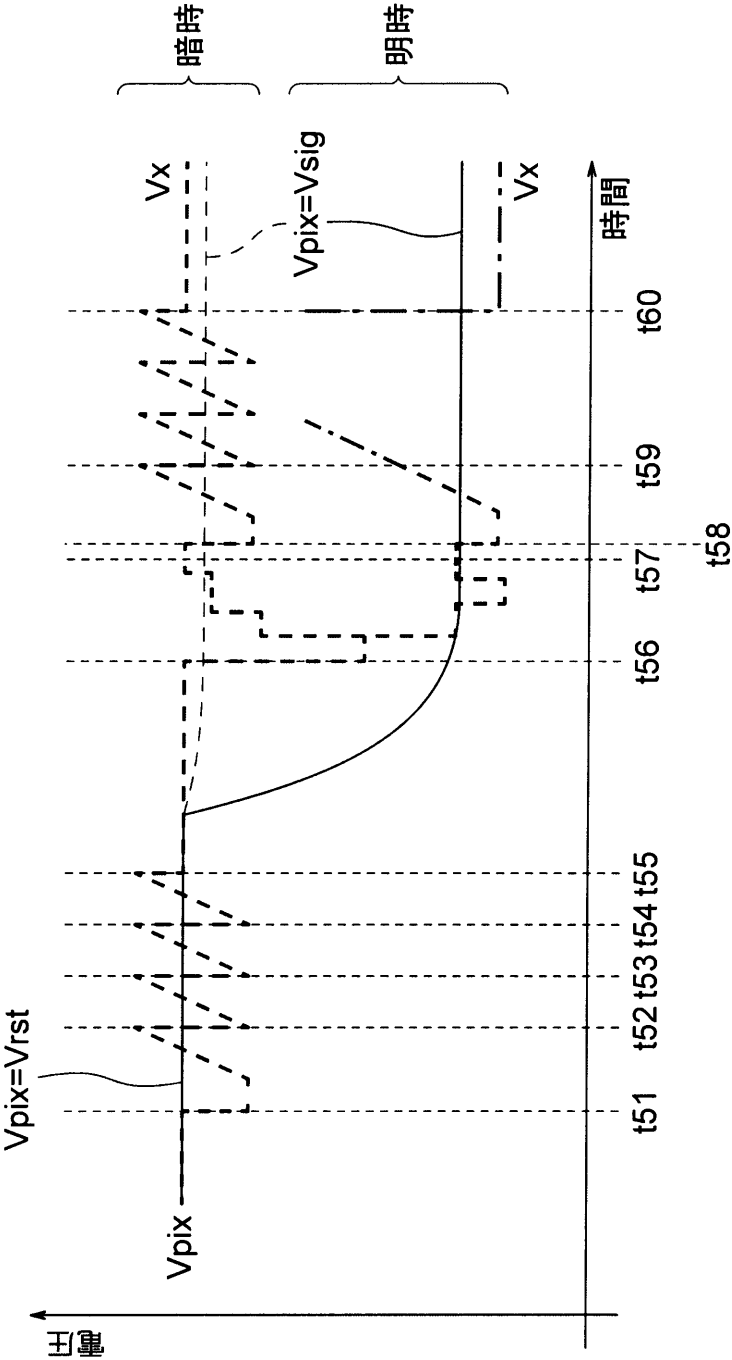
(b)

【図 2 1】





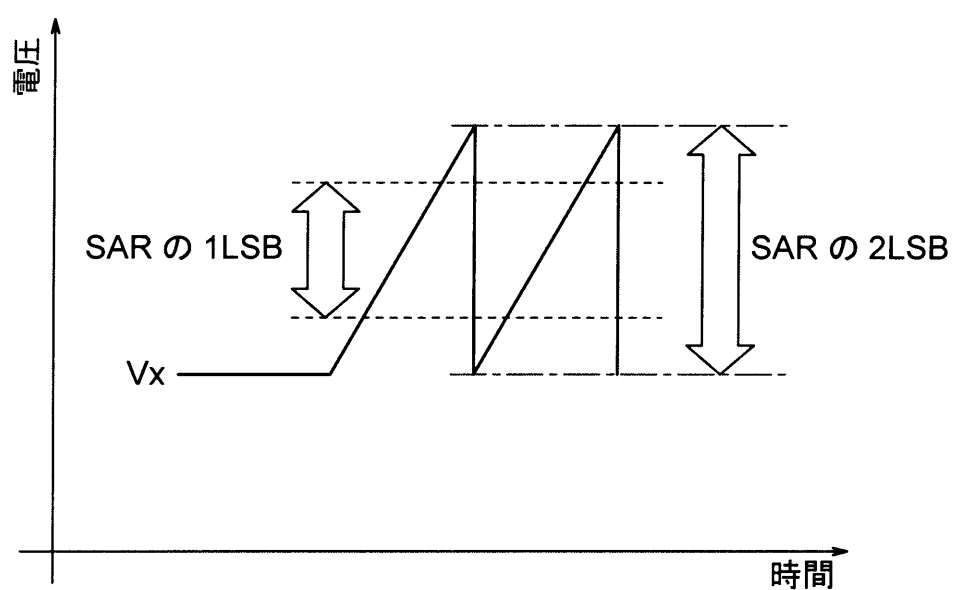


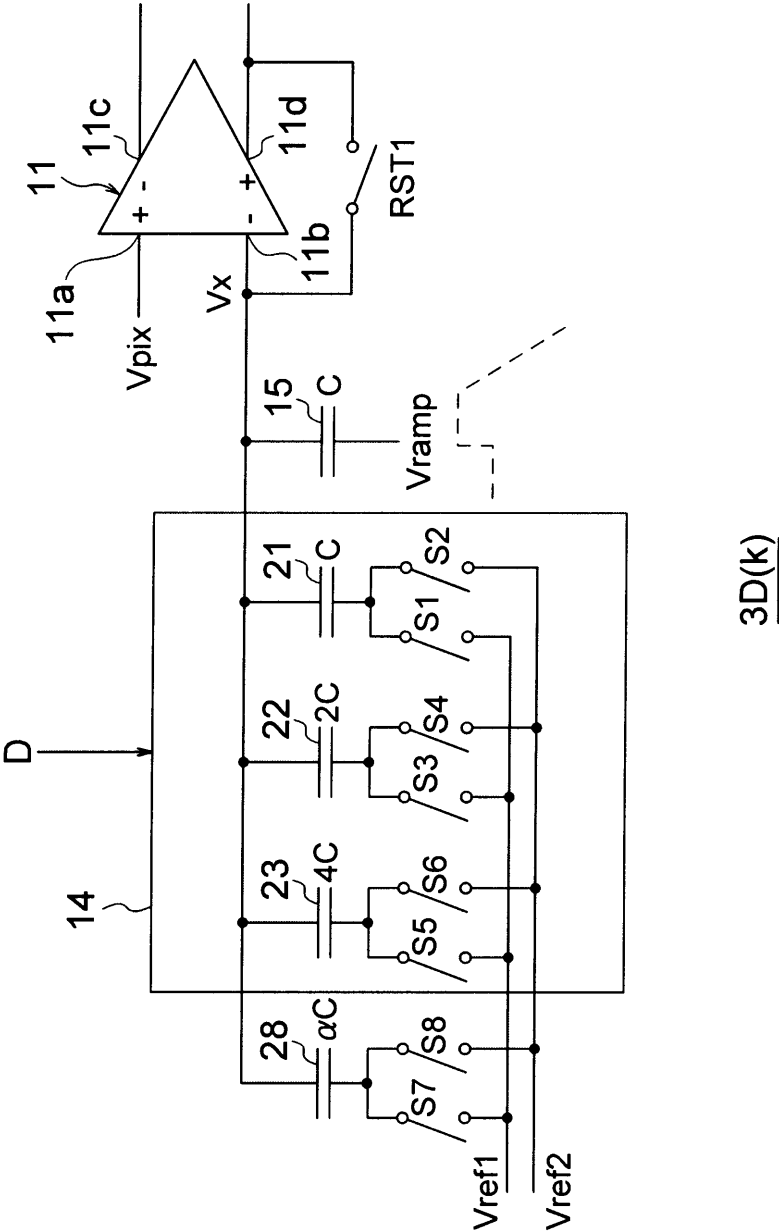


【図 2 5】

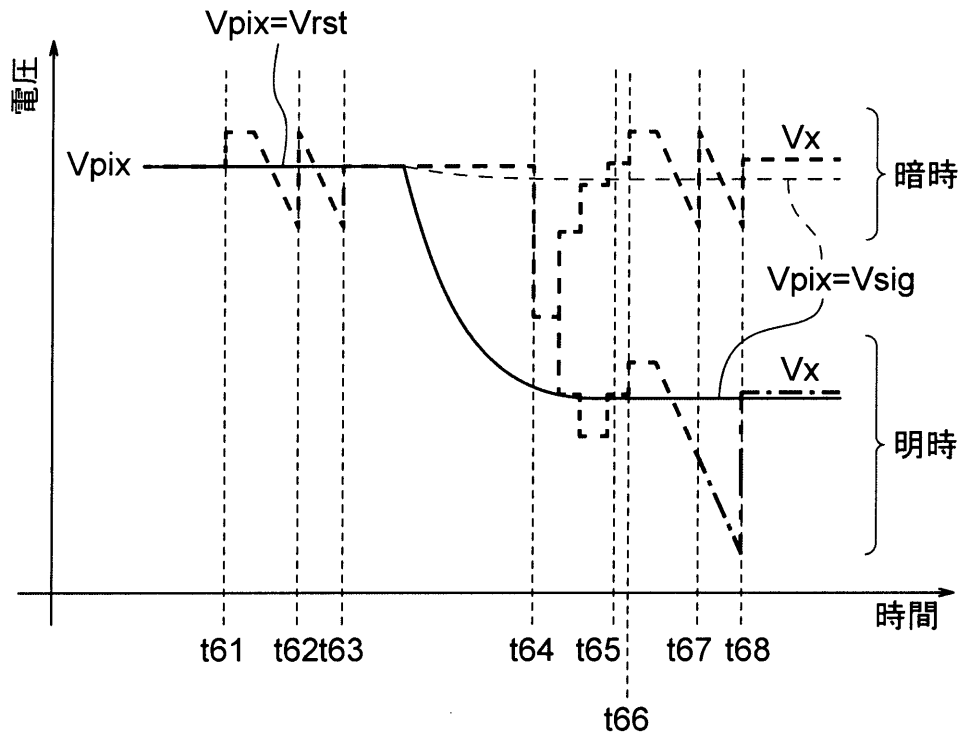
第2デジタル 信号D	生成回数	ビットシフト量
4'b111x	4	0
4'b110x	2	1
4'b10xx	1	2
4'b0xxx	1	2

【図 2 6】





【図 2 8】



【図 2 9】

