

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

MOSFET (Metal Oxide Semiconductor Field Effect Transistor)などの半導体装置において、オン状態からオフ状態に切り替わる際に、自己インダクタンスによってドレイン電極にサージ電圧が生じることがある。このとき、ドレイン電圧は振動しつつ、時間の経過とともにその振幅は小さくなっていく。

半導体装置や、その半導体装置と接続された回路部品の破壊を抑制するために、サージ電圧が生じた際のドレイン電圧の振幅は小さいことが望ましい。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-227533号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、サージ電圧が生じた際のドレイン電圧の振幅を小さくできる半導体装置を提供することである。

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、第1導電形の第1半導体領域と、第2導電形の第2半導体領域と、第1導電形の第3半導体領域と、導電層と、ゲート電極と、第1電極と、を有する。

前記第1半導体領域は、第1領域と、第1領域の周りに設けられた第2領域と、を有する。

前記第2半導体領域は、前記第1領域の上に設けられている。

前記第3半導体領域は、前記第2半導体領域の上に選択的に設けられている。

前記導電層は、第1部分と、第2部分と、第3部分と、を有する。

前記第1部分は、前記第1領域の上に設けられている。前記第1部分は、第1絶縁部を介して前記第1半導体領域に囲まれている。

前記第2部分は、前記第1領域から前記第2半導体領域に向かう第1方向に対して垂直な第2方向に延びている。前記第2部分は、前記第1半導体領域の上に設けられている。

前記第2部分は、前記第2領域の上に位置している。

前記第3部分は、前記第1部分と前記第2部分との間に接続されている。前記第3部分は、前記第1方向および前記第2方向と交差する第3方向に延びている。

前記ゲート電極は、前記第1部分の上に、前記第1部分と離間して設けられている。前記ゲート電極は、前記第3方向において第2絶縁部を介して前記第2半導体領域と対面している。

前記第1電極は、前記導電層の上に設けられている。前記第1電極は、前記第3半導体領域および前記導電層と電気的に接続されている。前記第1電極と前記第3部分との間には、前記第2部分が接続されている。

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係る半導体装置の平面図である。

【図2】第1実施形態に係る半導体装置の平面図である。

【図3】第1実施形態に係る半導体装置の平面図である。

【図4】図1のA-A'断面図である。

【図5】図1のB-B'断面図である。

【図6】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図7】第1実施形態に係る半導体装置の製造工程を表す工程平面図である。

【図8】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図9】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図10】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図11】導電層10の他の一例を表す部分拡大平面図である。

【図12】導電層10の他の一例を表す部分拡大断面図である。

【図13】第2実施形態に係る半導体装置の平面図である。

【図14】第2実施形態に係る半導体装置の平面図である。

【図15】図13のA-A'断面図である。

【発明を実施するための形態】

【0007】

以下に、本発明の各実施形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

また、本願明細書と各図において、既に説明したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

実施形態の説明には、XYZ直交座標系を用いる。第1領域R1からp形ベース領域2に向かう方向をZ方向（第1方向）とし、Z方向に対して垂直であって相互に直交する2方向をX方向（第2方向）及びY方向（第3方向）とする。

以下の説明において、 $n^+$ および $n^-$ の表記は、各導電形における不純物濃度の相対的な高低を表す。すなわち、 $n^+$ は $n^-$ よりもn形の不純物濃度が相対的に高いことを示す。

以下で説明する各実施形態について、各半導体領域のp形とn形を反転させて各実施形態を実施してもよい。

【0008】

（第1実施形態）

図1～図5を用いて、第1実施形態に係る半導体装置の一例について説明する。

図1～図3は、第1実施形態に係る半導体装置100の平面図である。

図4は、図1のA-A'断面図である。

図5は、図1のB-B'断面図である。

図2および図3において、ソース電極32およびゲート電極パッド33は省略されている。さらに、図2においては、導電層12の上に位置する絶縁部が省略されている。図3においては、導電層10の上に位置する絶縁部、および導電層12が省略されている。

【0009】

半導体装置100は、例えば、MOSFETである。

図1～図5に表すように、半導体装置100は、 $n^+$ 形（第1導電形）のドレイン領域4（第4半導体領域）、 $n^-$ 形半導体領域1（第1半導体領域）、p形（第2導電形）のベース領域2（第2半導体領域）、 $n^+$ 形ソース領域3（第3半導体領域）、導電層10、導電層12、第1絶縁部21、第2絶縁部22、第3絶縁部23、ドレイン電極31、ソース電極32、およびゲート電極パッド33、を有する。

【0010】

図1に表すように、半導体装置100の上面には、ソース電極32とゲート電極パッド33が互いに離間して設けられている。

また、 $n^-$ 形半導体領域1は、第1領域R1と、第1領域R1の周りに設けられた第2領域R2と、を有する。第1領域R1は、 $n^-$ 形半導体領域1のX方向およびY方向における中心を含む領域である。

**【0011】**

図2に表すように、ソース電極32の下およびゲート電極パッド33の下には、導電層10および導電層12が設けられている。導電層10は、接続部10cにおいてソース電極32と接続されている。導電層12は、接続部12cにおいてゲート電極パッド33と接続されている。

**【0012】**

導電層12は、X方向に延びるゲート電極12Gと、Y方向に延びるゲート配線12Wと、を有する。ゲート電極12Gは、Y方向において複数設けられている。それぞれのゲート電極12GのX方向の端部は、ゲート配線12Wに接続されている。

**【0013】**

図3に表すように、導電層10は、第1部分101、第2部分102、および第3部分103を有する。

第1部分101は、Y方向において複数設けられており、それぞれの第1部分101は、X方向に延びている。第2部分102は、X方向に延びている。第3部分103は、Y方向に延びている。

**【0014】**

第2部分102のX方向における位置は、第1部分101のX方向における位置と、第3部分103のX方向における位置と、の間にあり、第1部分101のX方向の端部および第2部分102のX方向の端部は、第3部分103に接続されている。このため、第3部分103は、第1部分101と第2部分102との間に接続されており、第1部分101と第2部分102とは、第3部分103を介して電氣的に接続されている。

**【0015】**

第1部分101および第3部分103は、p形不純物またはn形不純物を含んでいてもよい。このとき、第2部分102は、これらの不純物を含んでいないことが望ましい。または、第2部分102は不純物を含んでいてもよいが、第2部分102における不純物濃度が、第1部分101における不純物濃度および第3部分103における不純物濃度よりも小さいことが望ましい。

**【0016】**

図4に表すように、半導体装置100の下面にはドレイン電極31が設けられている。n<sup>+</sup>形ドレイン領域4は、ドレイン電極31の上に設けられ、ドレイン電極31と電氣的に接続されている。n<sup>+</sup>形ドレイン領域4の上には、n<sup>-</sup>形半導体領域1が設けられている。

**【0017】**

n<sup>-</sup>形半導体領域1の第1領域R1の上には、p形ベース領域2が設けられている。p形ベース領域2の上には、n<sup>+</sup>形ソース領域3が選択的に設けられている。

p形ベース領域2およびn<sup>+</sup>形ソース領域3は、Y方向において複数設けられ、それぞれがX方向に延びている。

**【0018】**

導電層10の第1部分101は、第1領域R1の上に設けられ、第1絶縁部21を介してn<sup>-</sup>形半導体領域1に囲まれている。ゲート電極12Gは、第1部分101の上に設けられている。ゲート電極12Gは、Y方向において、第2絶縁部22を介してp形ベース領域2と対面している。

第1部分101とゲート電極12Gとの間には、第3絶縁部23が設けられ、第1部分101とゲート電極12Gは、Z方向において離間している。

**【0019】**

p形ベース領域2およびn<sup>+</sup>形ソース領域3の上は、これらの領域の上に設けられたソース電極32と電氣的に接続されている。

ゲート電極12Gとソース電極32との間には、絶縁部が設けられ、ゲート電極12Gとソース電極32とは電氣的に分離されている。

**【0020】**

図5に表すように、第2部分102および第3部分103は、 $n$ -形半導体領域1の上に設けられており、第2領域R2の上に位置している。第3部分103は、Z方向に沿って設けられている。第2部分102は、第3部分103のZ方向の一端と接続され、第1部分101は、第3部分103のZ方向の他端と接続されている。

#### 【0021】

第2部分102の少なくとも一部は、ソース電極32と第3部分103との間に接続されている。すなわち、第1部分101とソース電極32は、第2部分102の少なくとも一部および第3部分103を介して電氣的に接続されている。図5に表すように、例えば、Z方向における第2部分102の厚みは、X方向における第3部分103の厚みよりも薄い。

#### 【0022】

ドレイン電極31に、ソース電極32に対して正の電圧が印加された状態で、ゲート電極12Gに閾値以上の電圧が加えられることで、MOSFETがオン状態となる。このとき、 $p$ 形ベース領域2の第2絶縁部22近傍の領域にチャネル（反転層）が形成される。

#### 【0023】

MOSFETがオフ状態であり、かつソース電極32の電位に対してドレイン電極31に正の電位が印加されているときは、第1絶縁部21と $n$ -形半導体領域1との界面から $n$ -形半導体領域1に向けて空乏層が広がる。これは、ゲート電極12Gの下に、ソース電極32と接続された第1部分101が設けられているためである。この第1絶縁部21と $n$ -形半導体領域1との界面から広がる空乏層により、耐圧を高めることができる。

#### 【0024】

ここで、各構成要素の材料の一例を説明する。

$n$ +形ドレイン領域4、 $n$ -形半導体領域1、 $p$ 形ベース領域2、および $n$ +形ソース領域3は、シリコン、炭化シリコン、窒化ガリウム、またはガリウムヒ素を含む。

導電層10および12は、ポリシリコンなどの導電材料を含む。

導電層10の第1部分101および第3部分103には、リン、ヒ素、またはアンチモンなどの $n$ 形不純物、あるいはボロンなどの $p$ 形不純物を添加することができる。

第1絶縁部21～第3絶縁部23は、酸化シリコンなどの絶縁材料を含む。

ドレイン電極31、ソース電極32、およびゲート電極パッド33は、アルミニウムなどの金属材料を含む。

#### 【0025】

次に、図6～図10を参照して、第1実施形態に係る半導体装置の製造方法の一例を説明する。

図6、図8、図9、および図10は、第1実施形態に係る半導体装置100の製造工程を表す工程断面図である。

図7は、第1実施形態に係る半導体装置100の製造工程を表す工程平面図である。

図6、図8、および図10は、図1のA-A'線が付された位置と対応する位置における工程断面図である。

図9は、図1のB-B'線が付された位置と対応する位置における工程断面図である。

#### 【0026】

まず、 $n$ +形の半導体層4aの上に $n$ -形の半導体層1aが形成された半導体基板を用意する。以下では、 $n$ +形半導体層4aおよび $n$ -形半導体層1aの主成分がシリコンである場合について説明する。

#### 【0027】

次に、 $n$ -形半導体層1aの表面に、複数のトレンチTrを形成する。複数のトレンチTrはY方向に並び、それぞれのトレンチTrはX方向に延びている。続いて、 $n$ -形半導体層1aの表面およびトレンチTrの内壁を熱酸化し、図6(a)に表すように、絶縁層21aを形成する。絶縁層21aの上に、さらにシリコン窒化層を形成してもよい。

#### 【0028】

次に、絶縁層21aの上に、導電層10aを形成する。続いて、この導電層10aの一

部を覆うマスクM1を形成する。マスクM1は、導電層10aの上の、図3に表す第2部分102と第3部分103に対応する位置に、配される。

このときの様子を図6(b)および図7に表す。なお、図7において、トレンチTrが形成された位置を破線で表す。

#### 【0029】

続いて、このマスクを用いて、RIE(Reactive Ion Etching)法により、導電層10aの一部を除去する。このとき、図8(a)に表すように、導電層10aの一部がトレンチTrの内部に残るように、RIEを行う。この工程により、第1部分101～第3部分103を有する導電層10が形成される。

#### 【0030】

このあと、マスクM1が配された状態で、第1部分101の上面および第3部分103の側面に、p形不純物またはn形不純物を含む層を堆積させてもよい。不純物を含む層を堆積させた後に、熱処理を行うことで、第1部分101および第3部分103中に不純物を拡散させ、これらの部分における電気抵抗を小さくすることができる。

#### 【0031】

次に、マスクM1を除去し、導電層10の表面を熱酸化することで、絶縁層23aを形成する。続いて、絶縁層21aの一部を除去し、トレンチTrの側壁の一部およびn<sup>-</sup>形半導体層1aの表面を露出させる。この露出した部分を熱酸化することで、図8(b)に表すように、絶縁層22aを形成する。絶縁層22aの膜厚は、例えば、絶縁層21aの膜厚よりも薄い。

#### 【0032】

次に、絶縁層22aの上およびトレンチTrの内部に導電層を形成する。この導電層をエッチバックすることで、ゲート配線12Wおよび複数のゲート電極12Gを有する導電層12が形成される。

#### 【0033】

次に、n<sup>-</sup>形半導体層1aの表面にp形不純物およびn形不純物を順次イオン注入し、p形ベース領域2およびn<sup>+</sup>形ソース領域3を形成する。このとき、n<sup>-</sup>形半導体層1aのうちp形ベース領域2およびn<sup>+</sup>形ソース領域3以外の部分が、n<sup>-</sup>形半導体領域1に対応する。

#### 【0034】

続いて、導電層12を覆う絶縁層24aを形成し、絶縁層22aおよび24aを、図10(a)に表すようにパターニングする。このとき、図9に表すように、絶縁層24aに、開口OP1および開口OP2も同時に形成する。開口OP1を通して第2部分102の一部が露出し、開口OP2を通してゲート配線12Wの一部が露出する。

#### 【0035】

次に、p形ベース領域2、n<sup>+</sup>形ソース領域3、および絶縁層24aを覆う金属層を形成する。このとき、金属層の一部は、開口OP1およびOP2の内部に設けられ、第2部分102およびゲート配線12Wと接続される。続いて、この金属層をパターニングすることで、ソース電極32およびゲート電極パッド33が形成される。

#### 【0036】

次に、図10(b)に表すように、n<sup>+</sup>形半導体層4aの裏面を、n<sup>+</sup>形半導体層4aが所定の厚さになるまで研削する。この工程により、n<sup>+</sup>形ドレイン領域4が形成される。

その後、n<sup>+</sup>形ドレイン領域4の裏面にドレイン電極31を形成することで、図1～図5に表す半導体装置100が形成される。

#### 【0037】

次に、本実施形態による作用および効果について説明する。

本実施形態によれば、半導体装置をオフした際のドレイン電圧の振動の振幅を小さくすることができる。

#### 【0038】

この点について、より具体的に説明する。

本実施形態に係る半導体装置では、ソース電極32と接続された導電層10の一部が、ゲート電極12Gの下に設けられている。この場合、ドレイン電極31とソース電極32との間に、導電層10の電気抵抗Rと、ドレイン・ソース間容量Cと、が接続された状態となる。すなわち、MOSFETと並列に、RCスナバ回路が接続された状態となる。

#### 【0039】

半導体装置をオフした際、自己インダクタンスによって、ドレイン電極31にはサージ電圧が生じる。このとき、ドレイン・ソース間容量Cに電流が流れるが、この電流の大きさは、電気抵抗Rに反比例する。

#### 【0040】

ここで、本実施形態に係る半導体装置では、導電層10が第2部分102を有する。この第2部分102はX方向に延び、X方向と交差する方向に延びた第3部分103と接続されている。そして、第2部分102を介して、ソース電極32と第3部分103は電気的に接続されている。このため、ソース電極32と第3部分103との間における電流経路が、第2部分102において狭くなっている。このような構成を採用することで、例えばソース電極32と第3部分103が第2部分102を介さずに直接接続されている場合に比べて、ソース電極32と第1部分101との間の電気抵抗を高めることができる。

#### 【0041】

ソース電極32と第1部分101との間の電気抵抗を高めることで、半導体装置をオフした際に、導電層10を通してドレイン電極31とソース電極32との間に流れる電流を小さくすることができる。このため、本実施形態によれば、ドレイン電極31にサージ電圧が生じ、ドレイン電圧の振動が生じた場合でも、その振幅を抑制することが可能である。

#### 【0042】

また、本実施形態では、第3部分103とソース電極32との間の電気抵抗を高めることで、サージ電圧が生じた際のドレイン電圧の振幅を抑制している。このような構成を採用することで、第1部分101の電気抵抗および第3部分103の電気抵抗を高めずに、第3部分103とソース電極32との間の電気抵抗を高くすることができる。

#### 【0043】

上述した通り、サージ電圧が生じた際、導電層10に電流が流れる。このため、第1部分101における電位が上昇し、第1部分101とドレイン電極31との間の電位差が小さくなる。第1部分101とドレイン電極31との間の電位差が小さくなると、第1部分101からn形半導体領域1に向けて広がる空乏層が縮むため、半導体装置の耐圧が低下する。耐圧が低下すると、アバランシェ降伏が生じやすくなるため、ソース電極32とドレイン電極31との間に流れる電流が大きくなり、半導体装置のスイッチング損失が大きくなる。

#### 【0044】

導電層10に電流が流れた際の、第1部分101における電位の上昇量は、第1部分101の電気抵抗および第3部分103の電気抵抗と反比例する。第1部分101および第3部分103の電気抵抗を小さくすることで、第1部分101における電圧降下が抑制されるためである。

#### 【0045】

本実施形態のように、導電層10に第2部分102を設けることで、第1部分101とソース電極32との間の抵抗を高めることにより、半導体装置のスイッチング損失の増大を抑制しつつ、ドレイン電圧の振幅を小さくすることができる。

#### 【0046】

また、第1部分101および第3部分103がp形不純物またはn形不純物を含むことで、第1部分101および第3部分103の電気抵抗を小さくすることができる。第1部分101および第3部分103の電気抵抗を小さくすることで、ドレイン電圧の振幅を小さくしつつ、半導体装置のスイッチング損失を低減することが可能である。

このとき、ソース電極32と第3部分103との間の電気抵抗を高めるために、第2部分102は当該不純物を含んでいないことが望ましい。または、第2部分102が不純物を含んでいる場合であっても、第2部分102における不純物濃度は、第1部分101における不純物濃度および第3部分103における不純物濃度よりも小さいことが望ましい。

#### 【0047】

なお、第1部分101および第3部分103のどちらか一方のみが不純物を含んでいてもよい。第1部分101および第3部分103の少なくともどちらかが不純物を含むことで、第1部分101および第3部分103における全体の電気抵抗を小さくすることができるためである。

#### 【0048】

(第1変形例)

導電層10の形状として、図3に表す例以外にも、種々の形状を採用可能である。

図11は、導電層10の他の一例を表す部分拡大平面図である。図11において、導電層10のうち、第2部分102近傍のみが拡大して表されている。

#### 【0049】

図11(a)に表すように、導電層10は、接続部10cと第2部分102との間に屈曲した部分を有していてもよい。

または、図11(b)に表すように、接続部10cを有する部分の幅が、第2部分102の幅より広くてもよい。

いずれの構成においても、ソース電極32と第3部分103との間に第2部分102の少なくとも一部が接続されることで、ソース電極32と第3部分103との間の電気抵抗を高めることが可能である。

#### 【0050】

(第2変形例)

図12は、導電層10の他の一例を表す部分拡大断面図である。

図12では、導電層10および12近傍が拡大されて図示されている。

図12に表すように、第1部分101は、ポリシリコンを含む層に加えて、金属層MLを含んでいてもよい。金属層MLは、例えば、タンタル、チタン、コバルト、およびニッケルなどの金属材料を含む。

金属層MLは、導電層10aを加工した後に、トレンチTr内部に形成された第1部分101の上に金属材料を堆積させることで形成できる。このとき、さらに第3部分103の側面上に金属層が形成されても良い。

#### 【0051】

または、第1部分101は、金属層MLに代えて、シリサイド化された部分を含んでいてもよい。当該シリサイド部は、トレンチTr内部に形成された第1部分101の上に金属材料を堆積させ、熱処理を行うことで形成できる。シリサイド部を形成するための金属材料としては、タンタル、チタン、コバルト、およびニッケルなどを用いることができる。このとき、さらに第3部分103の一部がシリサイド化されても良い。

#### 【0052】

第1部分101が金属層やシリサイド層などの、電気抵抗が低い層を含むことで、第1部分101全体の電気抵抗を低減することができる。この結果、ドレイン電圧の振動の振幅を小さくしつつ、半導体装置の消費電力を低減することが可能となる。

#### 【0053】

(第2実施形態)

図13～図15を用いて、第2実施形態に係る半導体装置の一例を説明する。

図13および図14は、第2実施形態に係る半導体装置200の平面図である。

図15は、図13のA-A'断面図である。

図13および図14において、ソース電極32およびゲート電極パッド33は省略されている。また、図13においては、導電層12の上に位置する絶縁部が省略されている。図

4においては、導電層12および導電層10の上に位置する絶縁部が省略されている。

【0054】

第2実施形態に係る半導体装置200は、半導体装置100との比較において、導電層10および12の構造が異なる。

図13のB-B'断面における構造は、例えば、図1のA-A'断面における構造と同じである。

【0055】

図13に表すように、導電層12は、ゲート配線12Wおよびゲート電極12Gに加えて、X方向に延びる延在部分12Eをさらに有する。

ゲート配線12Wおよびゲート電極12Gは、Y方向に延び、延在部分12Eは、X方向に延びている。延在部分12Eは、Y方向において複数設けられ、それぞれの延在部分12EのX方向の端部は、ゲート配線12Wに接続されている。ゲート電極12Gは、X方向およびY方向において複数設けられ、それぞれのゲート電極12GのY方向の端部は、延在部分12Eに接続されている。

【0056】

図14に表すように、導電層10は、第1部分101～第3部分103に加えて、X方向に延びる第4部分104をさらに有する。

第1部分101および第3部分103は、Y方向に延び、第2部分102および第4部分104は、X方向に延びている。第4部分104は、Y方向において複数設けられ、それぞれの第4部分104のX方向の端部は、第3部分103に接続されている。第1部分101は、X方向およびY方向において複数設けられ、それぞれの第1部分101のY方向の端部は、第4部分104に接続されている。

【0057】

図15に表すように、延在部分12Eおよび第4部分104は、ゲート電極12Gおよび第1部分101より上方に設けられている。

【0058】

本実施形態においても、第1実施形態と同様に、半導体装置のスイッチング損失の増大を抑制しつつ、ドレイン電圧の振幅を小さくすることが可能である。

【0059】

以上で説明した各実施形態における、各半導体領域の間の不純物濃度の相対的な高低については、例えば、SCM（走査型静電容量顕微鏡）を用いて確認することが可能である。なお、各半導体領域におけるキャリア濃度は、各半導体領域において活性化している不純物濃度と等しいものとみなすことができる。従って、各半導体領域の間のキャリア濃度の相対的な高低についても、SCMを用いて確認することができる。

【0060】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。実施形態に含まれる、例えば、n<sup>+</sup>形ドレイン領域4、n<sup>-</sup>形半導体領域1、p形ベース領域2、n<sup>+</sup>形ソース領域3、導電層12、第1絶縁部21、第2絶縁部22、第3絶縁部23、ドレイン電極31、ソース電極32、およびゲート電極パッド33などの各要素の具体的な構成に関しては、当業者が公知の技術から適宜選択することが可能である。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

【符号の説明】

【0061】

100、200…半導体装置 1…n<sup>-</sup>形半導体領域 2…p形ベース領域 3…n<sup>+</sup>形ソース領域 4…n<sup>+</sup>形ドレイン領域 10、12…導電層 31…ドレイン電極 32…ソース電極 33…ゲート電極パッド



【書類名】 特許請求の範囲

【請求項 1】

第 1 領域と、前記第 1 領域の周りに設けられた第 2 領域と、を有する第 1 導電形の第 1 半導体領域と、  
前記第 1 領域の上に設けられた第 2 導電形の第 2 半導体領域と、  
前記第 2 半導体領域の上に選択的に設けられた第 1 導電形の第 3 半導体領域と、  
前記第 1 領域の上に設けられ、第 1 絶縁部を介して前記第 1 半導体領域に囲まれた第 1 部分と、  
前記第 1 領域から前記第 2 半導体領域に向かう第 1 方向に対して垂直な第 2 方向に延び、前記第 1 半導体領域の上に設けられ、前記第 2 領域の上に位置する第 2 部分と、  
前記第 1 部分と前記第 2 部分との間に接続され、前記第 1 方向および前記第 2 方向と交差する第 3 方向に延びる第 3 部分と、  
を有する導電層と、  
前記第 1 部分の上に前記第 1 部分と離間して設けられ、前記第 3 方向において第 2 絶縁部を介して前記第 2 半導体領域と対面するゲート電極と、  
前記導電層の上に設けられ、前記第 3 半導体領域および前記導電層と電氣的に接続され、前記第 3 部分との間に前記第 2 部分が接続された第 1 電極と、  
を備えた半導体装置。

【請求項 2】

前記第 1 部分および前記ゲート電極は、前記第 2 方向に延びており、  
前記第 1 部分の前記第 2 方向の端部は、前記第 3 部分に接続されている請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 部分の前記第 2 方向における位置は、前記第 1 部分の前記第 2 方向における位置と、前記第 3 部分の前記第 2 方向における位置と、の間にある請求項 2 記載の半導体装置。

【請求項 4】

前記第 1 部分は、第 1 導電形または第 2 導電形の不純物を含み、  
前記第 2 部分は、前記不純物を含まない請求項 1～3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記第 1 部分および前記第 2 部分は、第 1 導電形または第 2 導電形の不純物を含み、  
前記第 1 部分における前記不純物の濃度は、前記第 2 部分における前記不純物の濃度よりも低い請求項 1～3 のいずれか 1 つに記載の半導体装置。

【請求項 6】

前記導電層は、前記第 2 方向に延びる第 4 部分をさらに含み、  
前記第 4 部分の前記第 2 方向の端部は、前記第 3 部分に接続され、  
前記第 1 部分は、前記第 4 部分に接続された請求項 1～5 のいずれか 1 つに記載の半導体装置。

【請求項 7】

前記第 1 方向における前記第 2 部分の厚みは、前記第 2 方向における前記第 3 部分の厚みよりも薄い請求項 1～6 のいずれか 1 つに記載の半導体装置。

【書類名】 要約書

【要約】

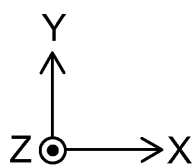
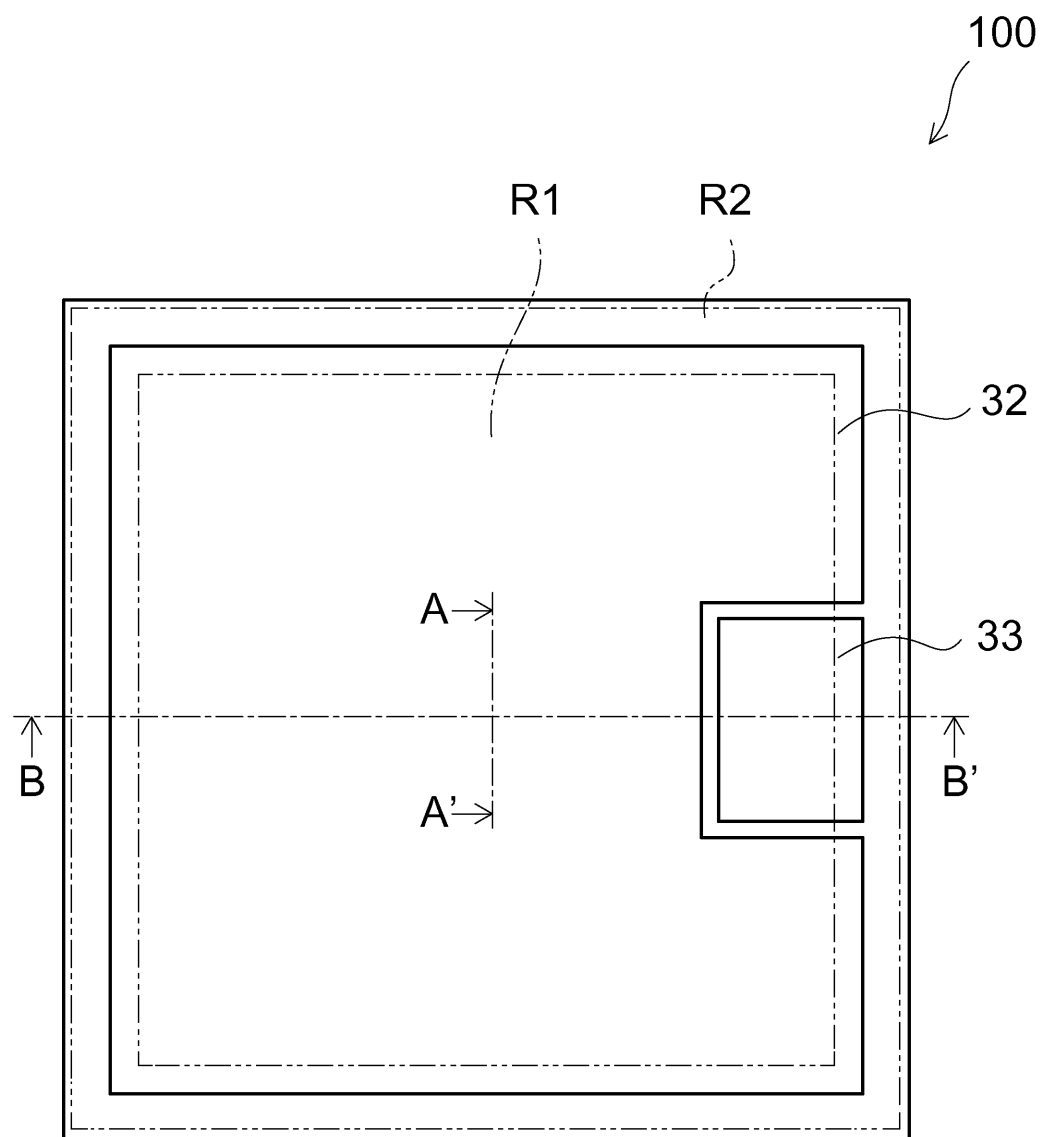
【課題】 サージ電圧が生じた際のドレイン電圧の振幅を小さくできる半導体装置を提供する。

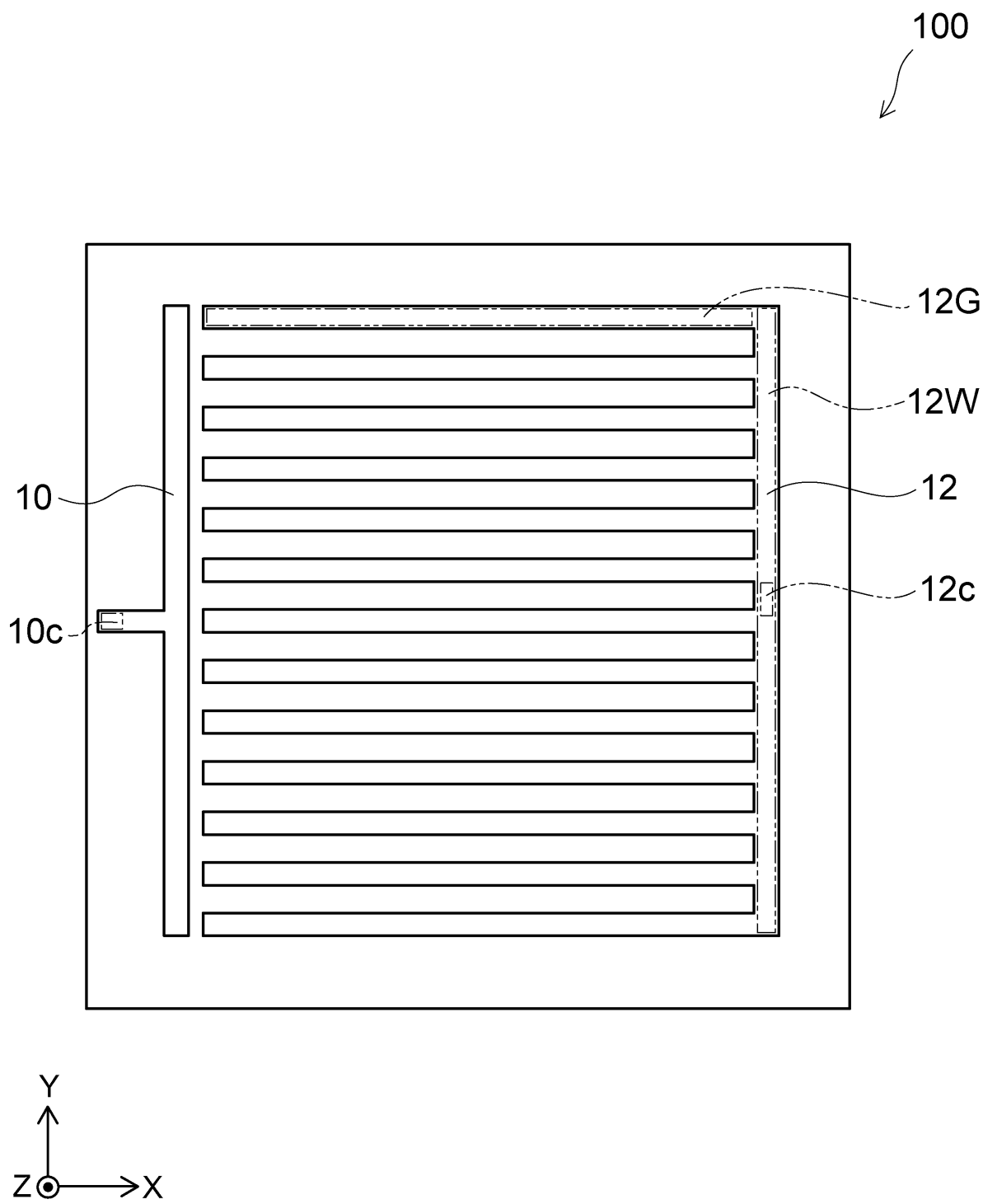
【解決手段】 実施形態に係る半導体装置は、第1導電形の第1半導体領域と、第2導電形の第2半導体領域と、第1導電形の第3半導体領域と、導電層と、ゲート電極と、第1電極と、を有する。導電層は、第1部分と、第2部分と、第3部分と、を有する。第1部分は、第1領域の上に設けられている。第1部分は、第1絶縁部を介して第1半導体領域に囲まれている。第2部分は、第2方向に延びている。第2部分は、第1半導体領域の上に設けられている。第2部分は、第2領域の上に位置している。第3部分は、第1部分と第2部分との間に接続されている。第3部分は、第3方向に延びている。第1電極は、第3半導体領域および導電層と電氣的に接続されている。第1電極と第3部分との間には、第2部分が接続されている。

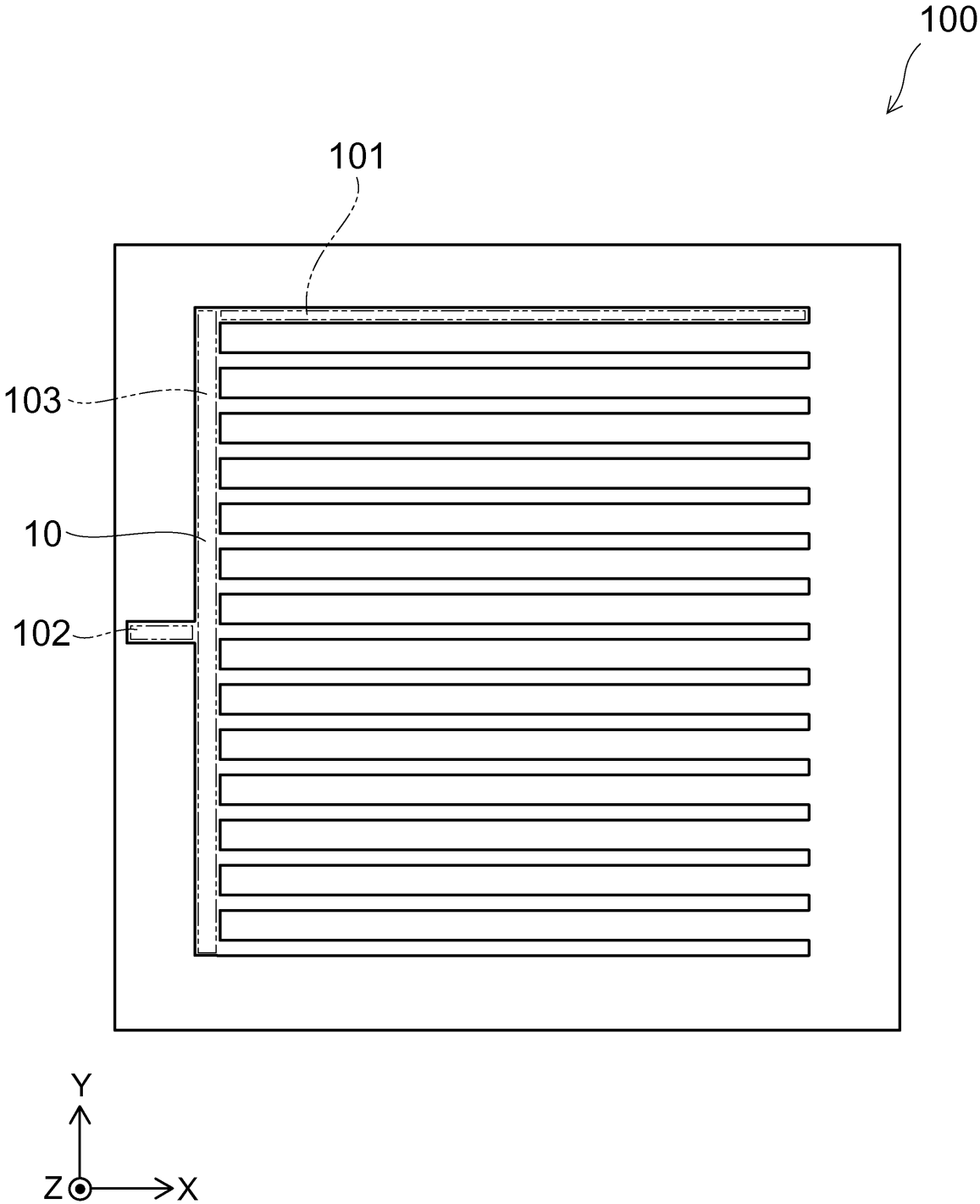
【選択図】 図3

【書類名】図面

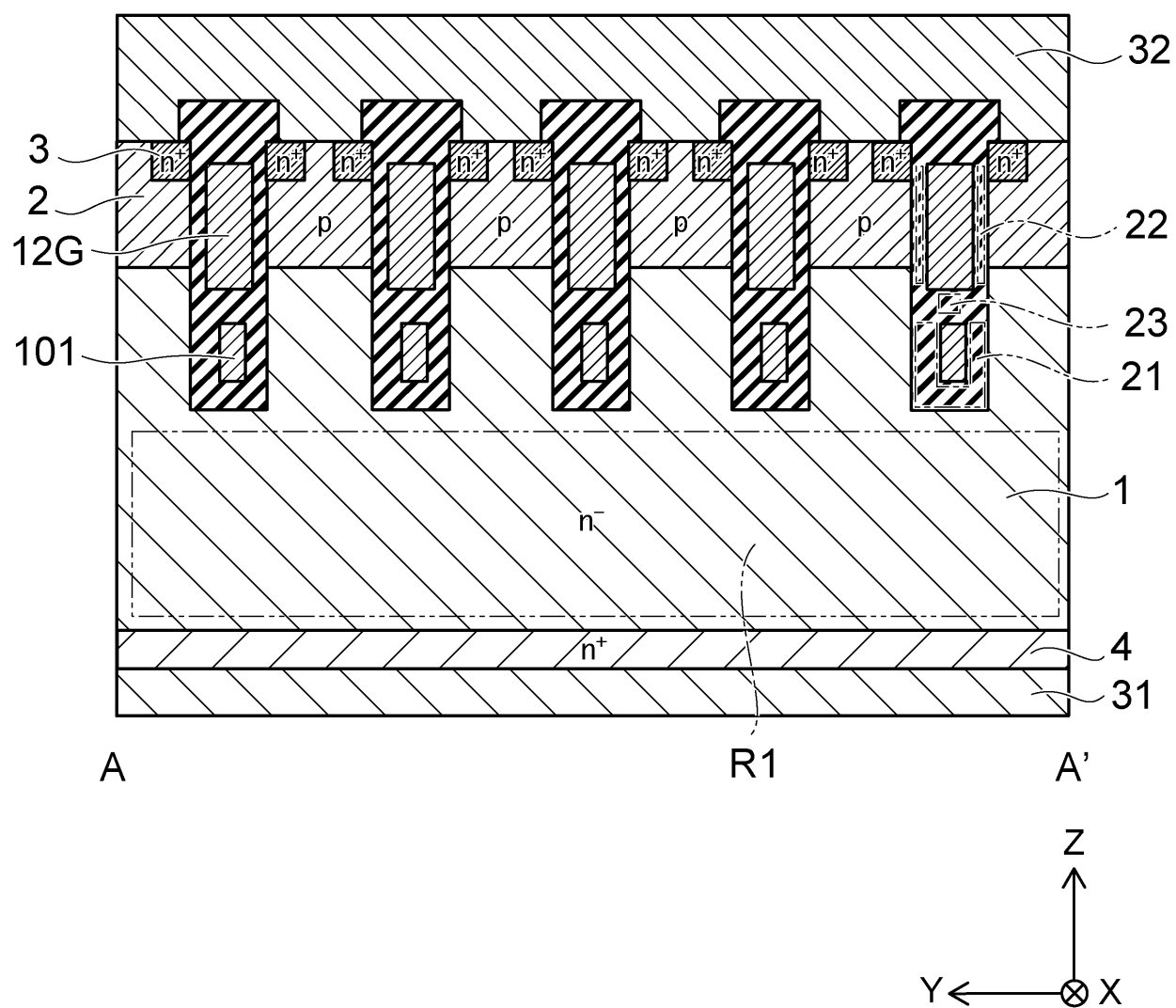
【図1】





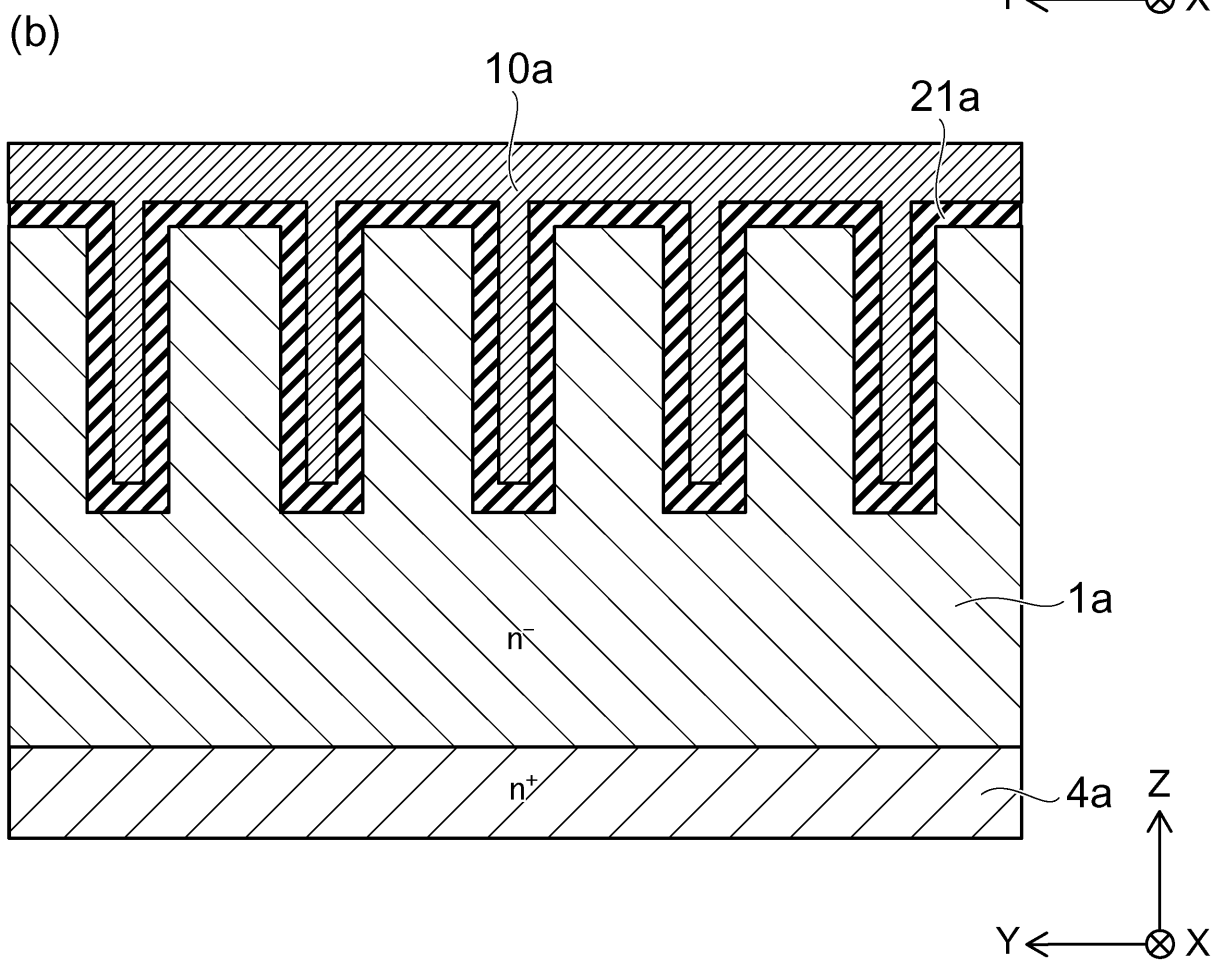
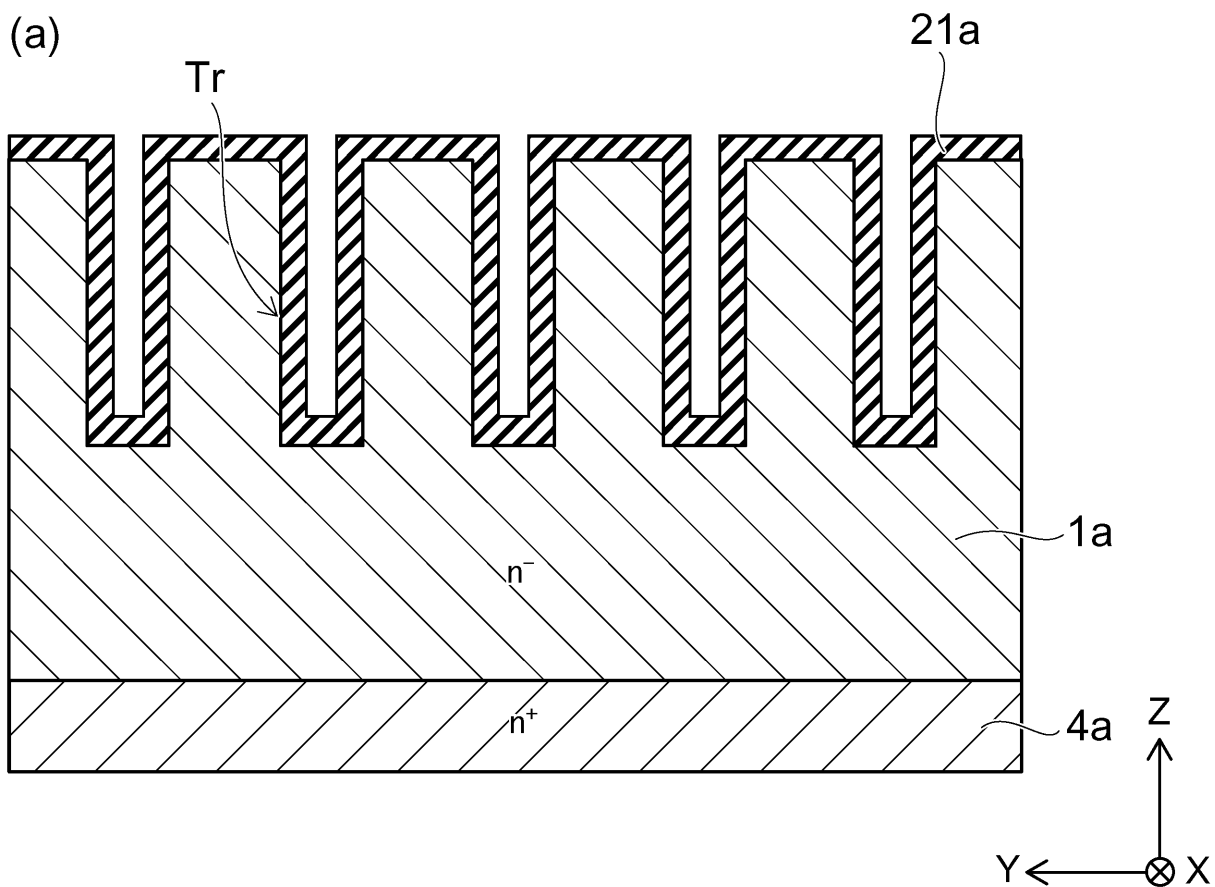


【図 4】

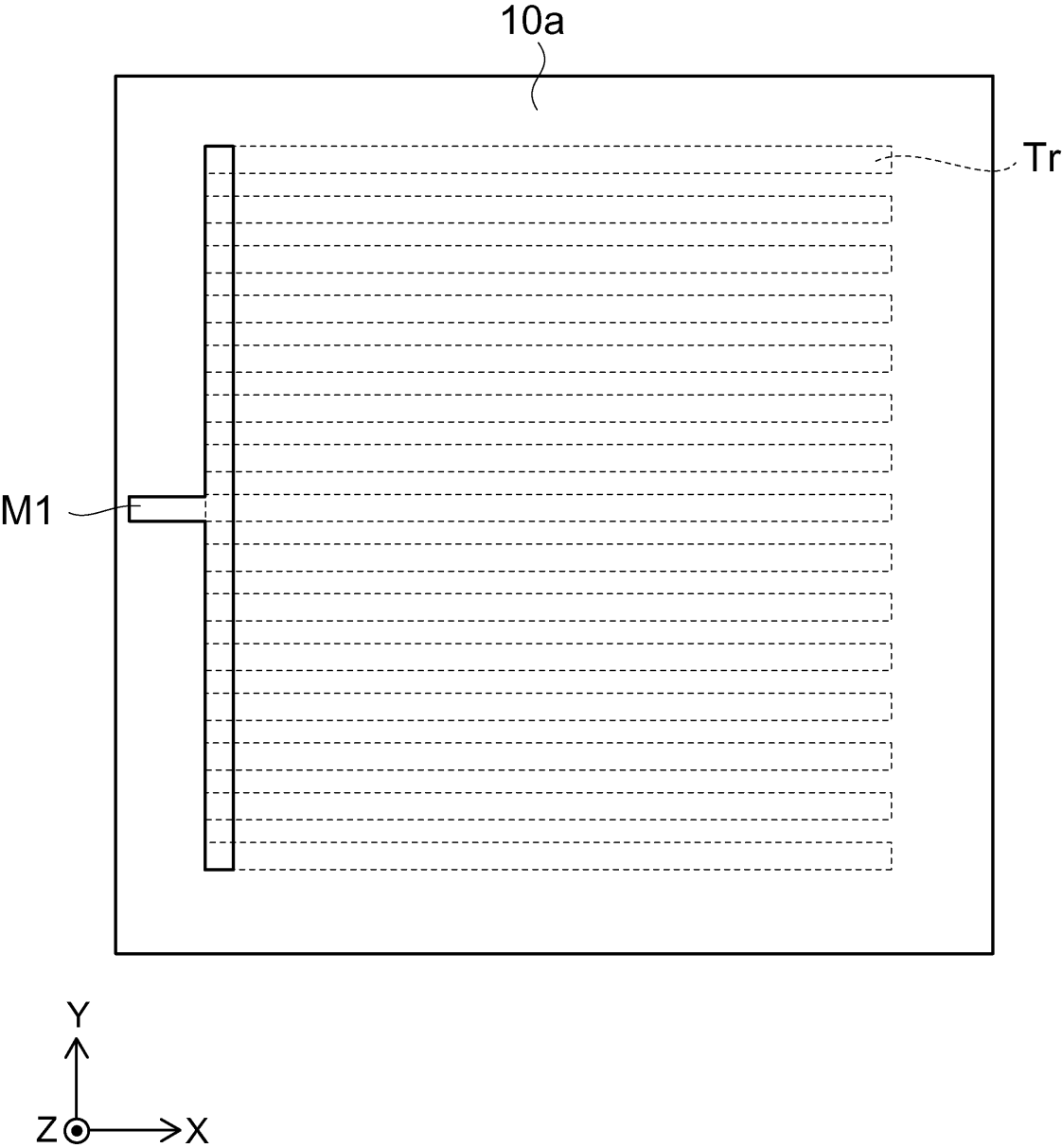




【図 6】

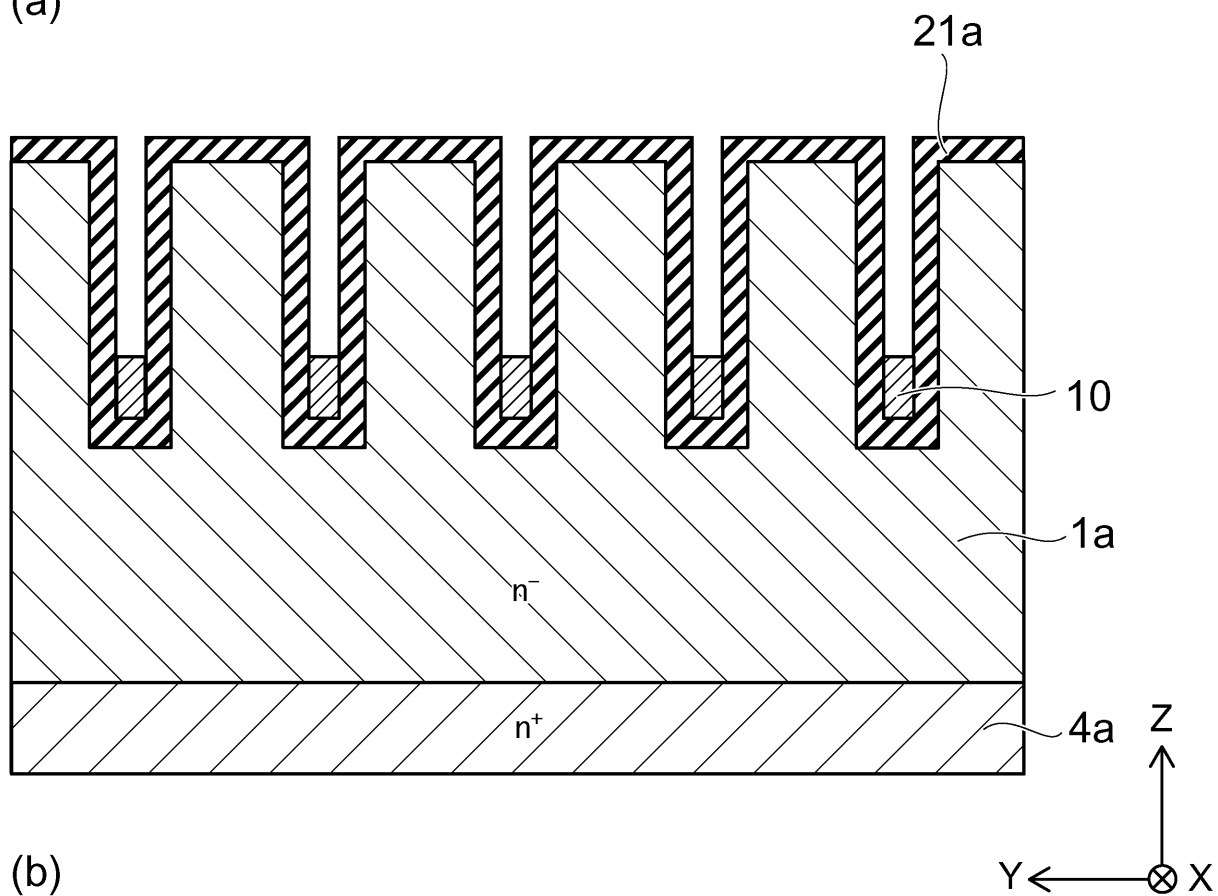




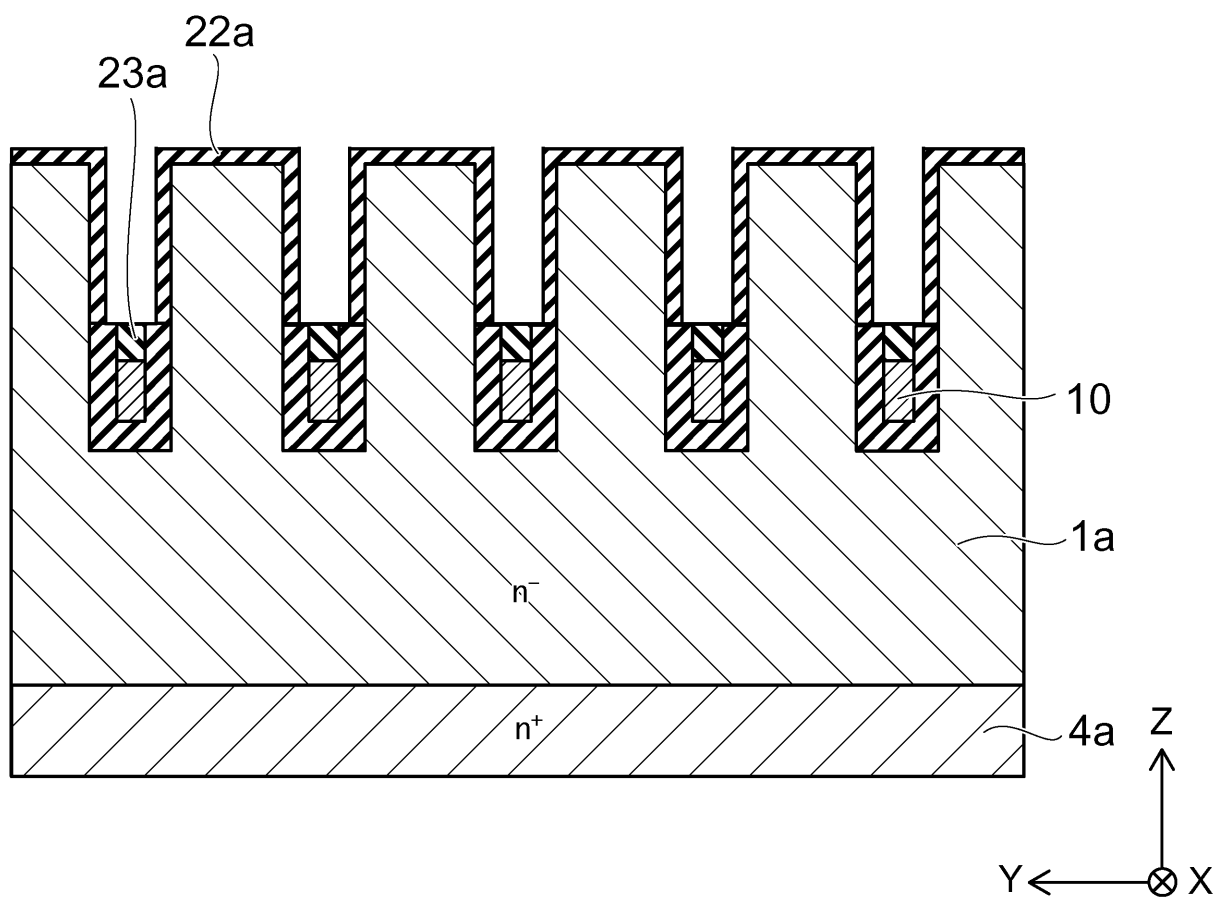


【図 8】

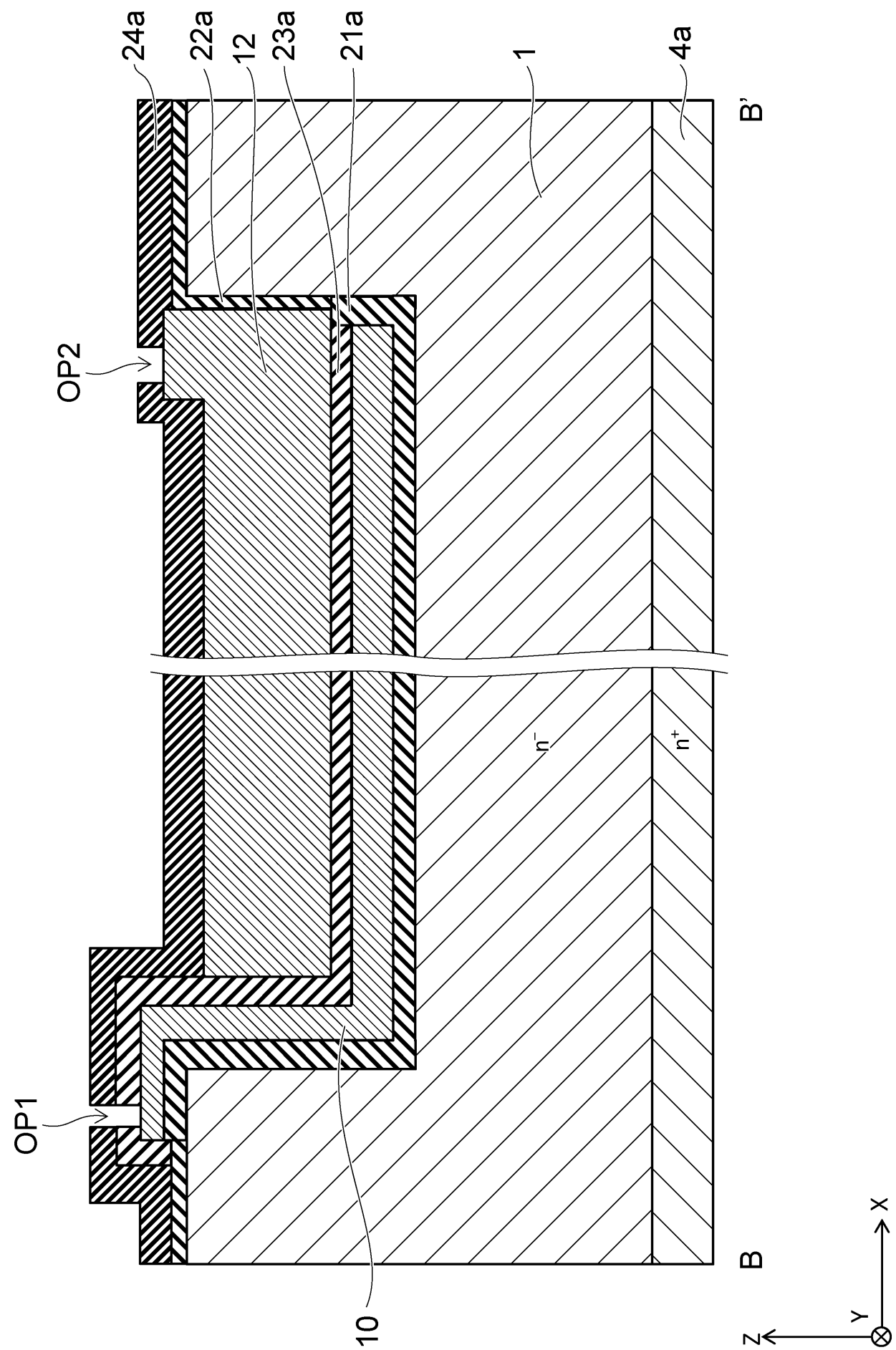
(a)



(b)

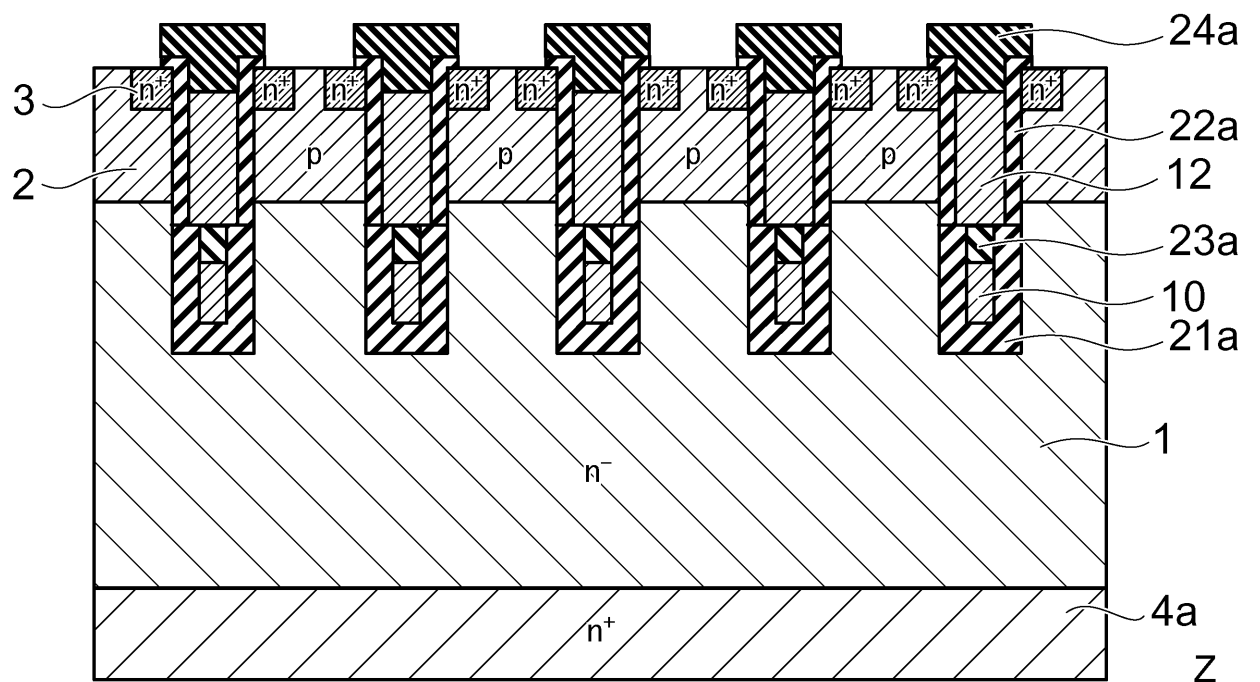


【図 9】

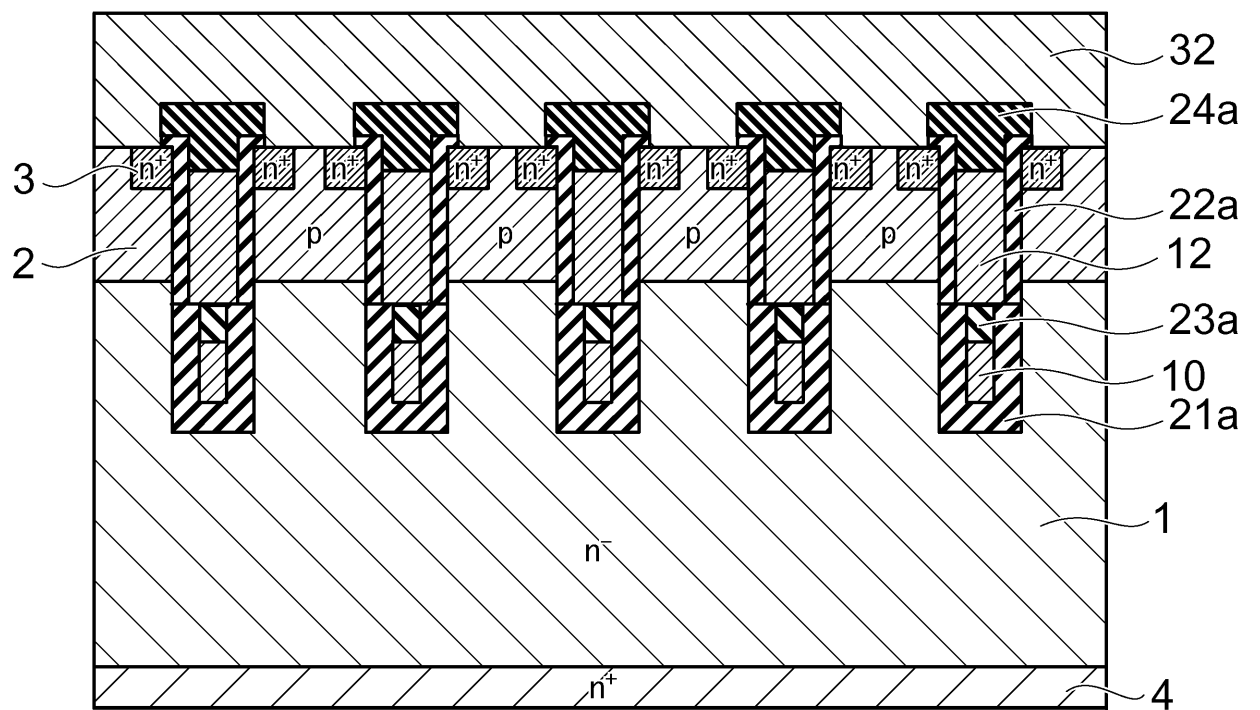


【図 10】

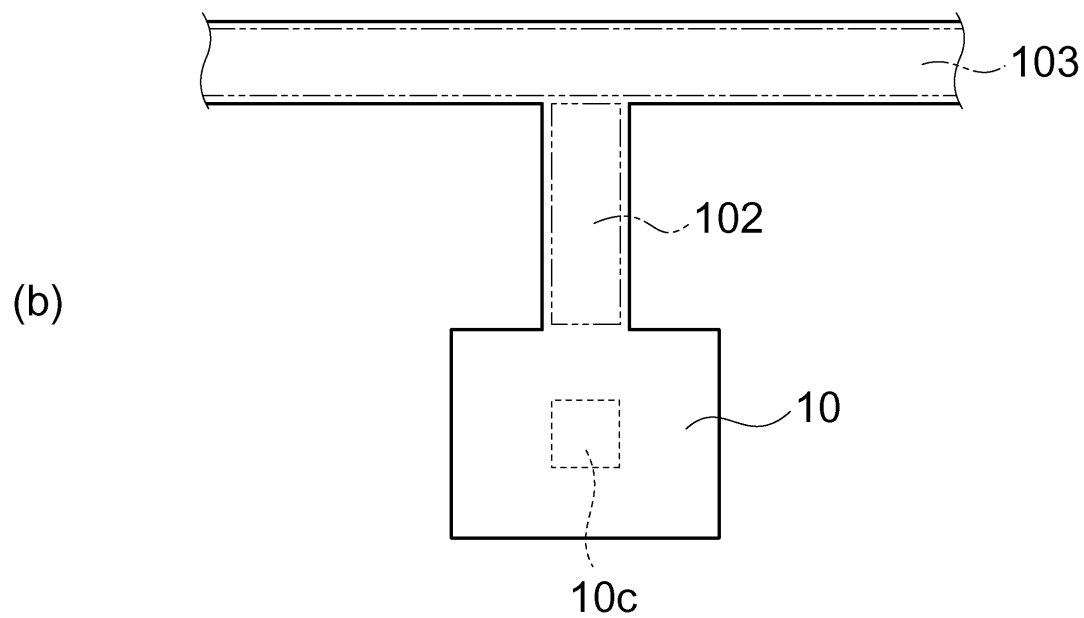
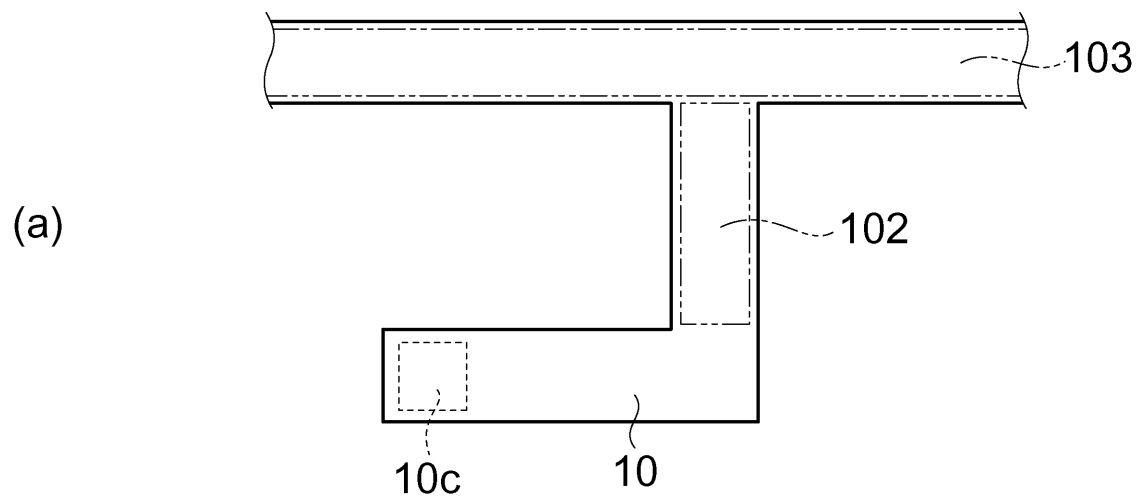
(a)

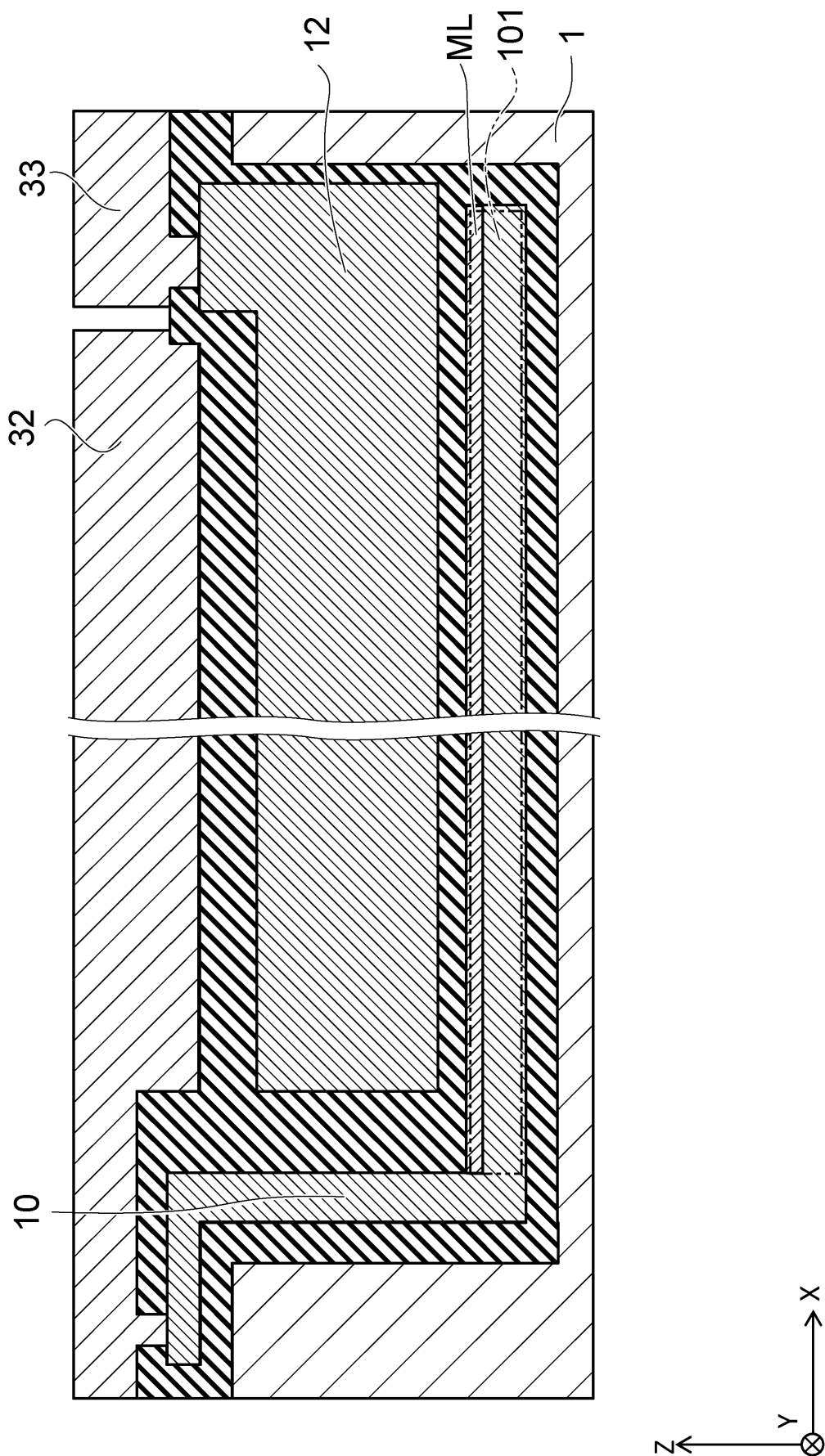


(b)

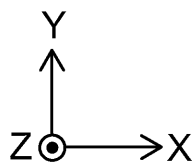
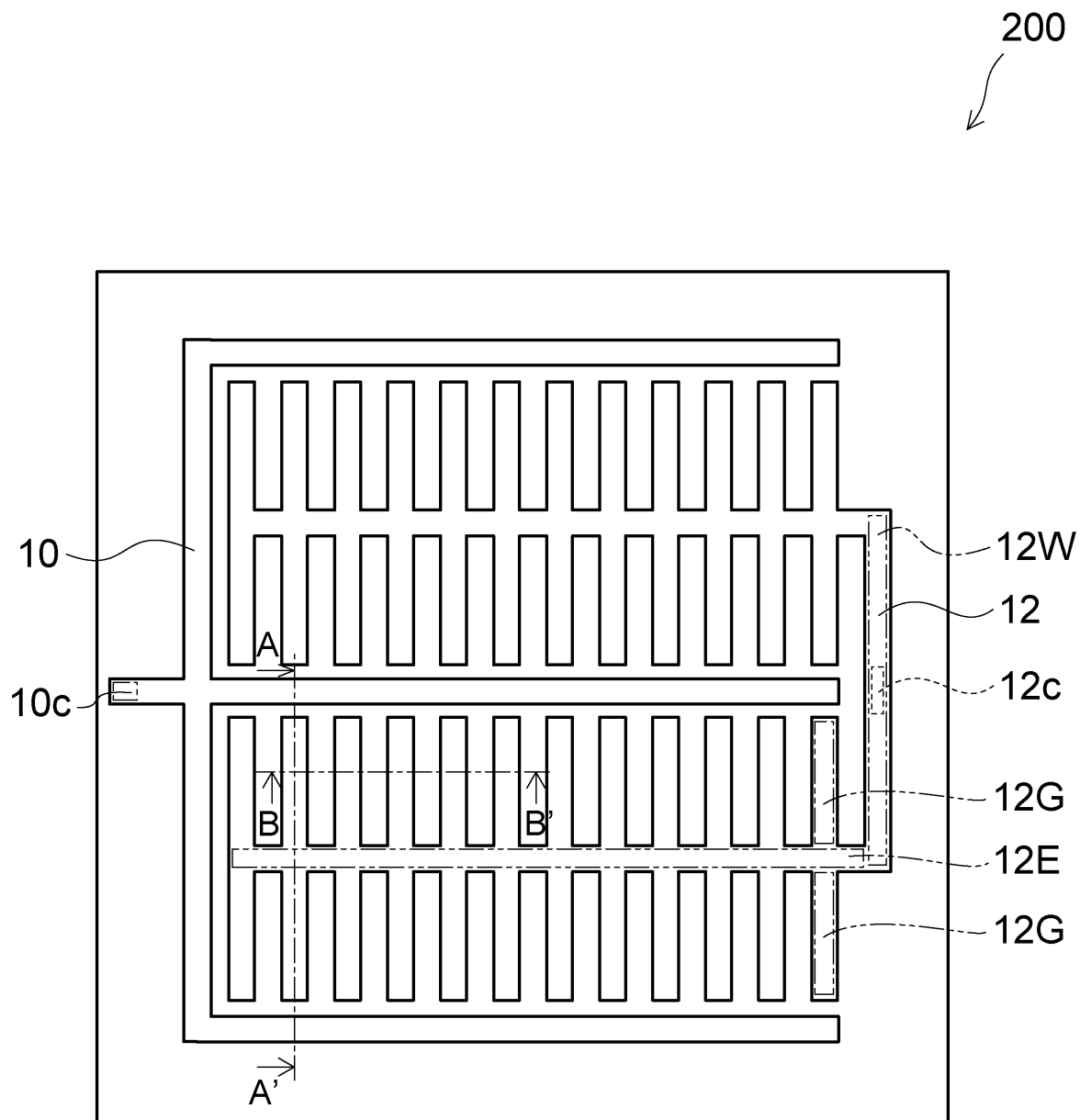


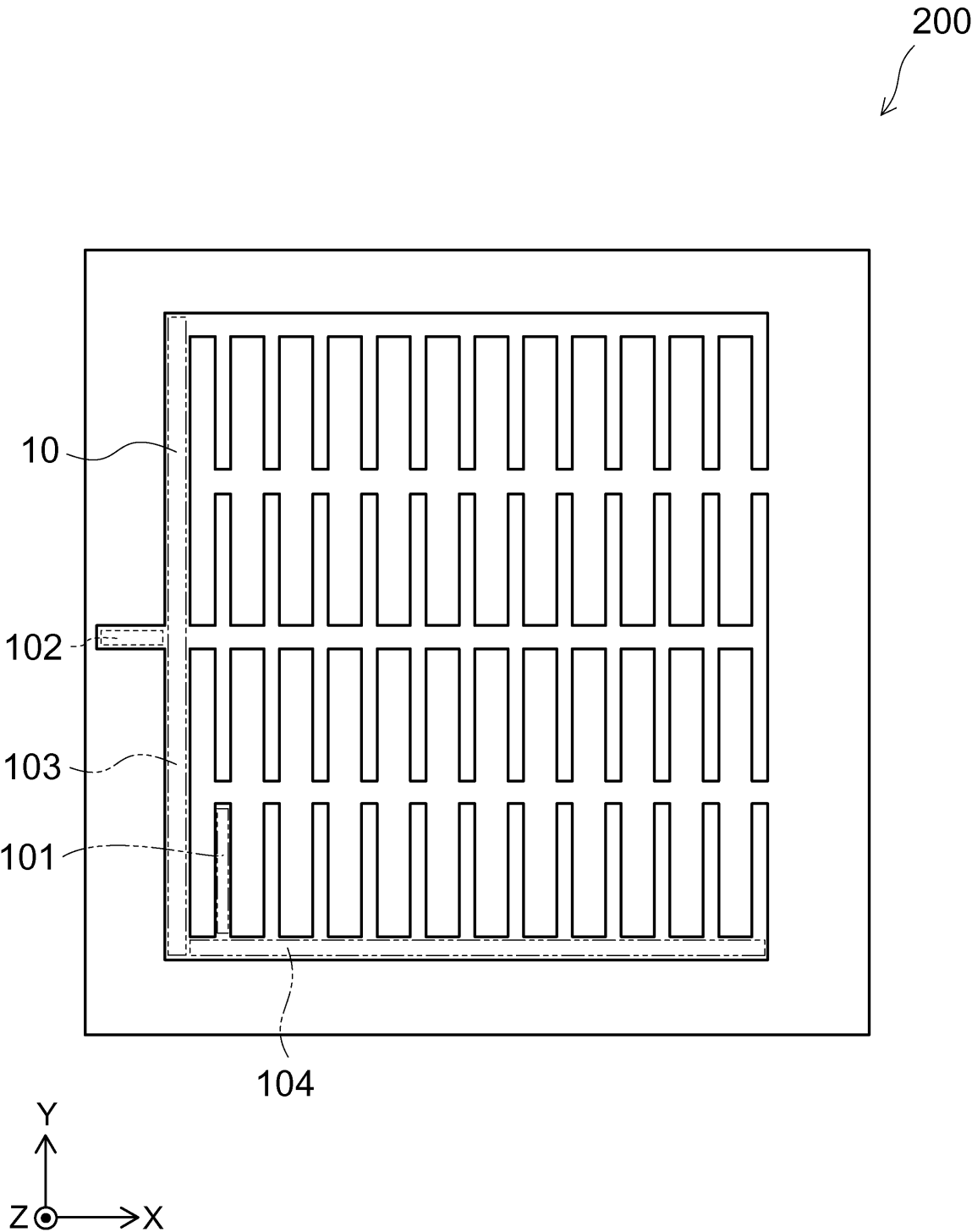
【図 1 1】





【図 13】







【図 1 5】

