

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

I G B T (Insulated Gate Bipolar Transistor)などの半導体装置において、寄生バイポーラトランジスタのラッチアップを抑制するために、エミッタ領域が間引きされた構造を有するものがある。

しかし、エミッタ領域が間引きされると、チャネル密度が低下するため、オン電圧が上昇する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-13224号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、オン電圧の上昇を抑制できる半導体装置を提供することである。

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、第1導電形の第1半導体領域と、第2導電形の第2半導体領域と、第2導電形の第3半導体領域と、第1導電形の第4半導体領域と、第2導電形の第5半導体領域と、ゲート電極と、第1電極と、を有する。

前記第2半導体領域は、前記第1半導体領域の上に設けられている。

前記ゲート電極は、ゲート絶縁層を介して前記第2半導体領域に囲まれた部分を有する。

前記第1電極は、前記ゲート電極と離間して設けられている。前記第1電極は、第1絶縁層を介して前記第2半導体領域に囲まれた部分を有する。

前記第3半導体領域は、前記第1絶縁層と前記ゲート絶縁層との間の一部に設けられている。

前記第3半導体領域は、前記第1絶縁層に接している。前記第3半導体領域の第2導電形のキャリア濃度は、前記第2半導体領域の第2導電形のキャリア濃度よりも高い。

前記第4半導体領域は、第1部分を有する。前記第1部分は、前記第1半導体領域から前記第2半導体領域に向かう第1方向において、前記第3半導体領域と並んでいる。前記第4半導体領域は、前記第2半導体領域の上および前記第3半導体領域の上に設けられている。前記第4半導体領域は、前記ゲート電極と前記第1電極との間に位置する。

前記第5半導体領域は、前記第4半導体領域の上に選択的に設けられている。前記第5半導体領域は、前記ゲート絶縁層に接している。前記第5半導体領域は、前記第1方向に対して垂直な第2方向において前記第1部分と並んでいる。

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係る半導体装置の一部を表す斜視断面図である。

【図2】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図3】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図4】第2実施形態に係る半導体装置の一部を表す斜視断面図である。

【図5】第2実施形態の変形例に係る半導体装置の一部を表す斜視断面図である。

【発明を実施するための形態】

【0007】

以下に、本発明の各実施形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同一とは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

また、本願明細書と各図において、既に説明したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

なお、各実施形態の説明には、XYZ直交座標系を用いる。p⁺形コレクタ領域1からn⁻形半導体領域3に向かう方向をZ方向（第1方向）とし、Z方向に対して垂直であって相互に直交する2方向をX方向及びY方向とする。

以下の説明において、n⁺、n、n⁻及びp⁺、pの表記は、各導電形における不純物濃度の相対的な高低を表す。すなわち、n⁺はnよりもn形の不純物濃度が相対的に高く、n⁻はnよりもn形の不純物濃度が相対的に低いことを示す。また、p⁺はpよりもp形の不純物濃度が相対的に高いことを示す。

以下で説明する各実施形態について、各半導体領域のp形とn形を反転させて各実施形態を実施してもよい。

【0008】

（第1実施形態）

図1を参照して、第1実施形態に係る半導体装置の一例について説明する。

図1は、第1実施形態に係る半導体装置100の一部を表す斜視断面図である。

【0009】

半導体装置100は、例えば、IGBTである。

図1に表すように、半導体装置100は、p⁺形（第1導電形）コレクタ領域1（第1半導体領域）と、n⁺形（第2導電形）半導体領域2と、n⁻形半導体領域3（第2半導体領域）と、p形ベース領域4（第4半導体領域）と、n⁺形エミッタ領域5（第5半導体領域）と、n形半導体領域6（第3半導体領域）と、ゲート電極10と、ゲート絶縁層11と、第1電極20と、第1絶縁層21と、コレクタ電極31と、エミッタ電極32と、を有する。

【0010】

コレクタ電極31は、半導体装置100の下面に設けられている。

p⁺形コレクタ領域1は、コレクタ電極31の上に設けられ、コレクタ電極31と電気的に接続されている。

n⁺形半導体領域2は、p⁺形コレクタ領域1の上に設けられている。

n⁻形半導体領域3は、n⁺形半導体領域2の上に設けられている。

p形ベース領域4は、n⁻形半導体領域3の上に設けられている。

n⁺形エミッタ領域5は、p形ベース領域4の上に選択的に設けられている。

【0011】

ゲート電極10および第1電極20は、n⁻形半導体領域3の上に、互いに離間して設けられている。ゲート電極10および第1電極20は、X方向において交互に設けられている。

【0012】

ゲート電極10は、X方向において、ゲート絶縁層11を介してp形ベース領域4と対面している。第1電極20は、X方向において、第1絶縁層21を介してp形ベース領域4と対面している。また、ゲート電極10および第1電極20は、X-Y面に沿ってn⁻形半導体領域3に囲まれた部分を有する。

【0013】

n形半導体領域6は、ゲート絶縁層11と第1絶縁層21との間の一部に設けられている。また、n形半導体領域6は、Z方向において、p形ベース領域4とn⁻形半導体領域3との間に位置し、第1絶縁層21に接している。n形半導体領域6は、p形ベース領域4に接していてもよいし、n形半導体領域6とp形ベース領域4との間にn⁻形半導体領

域3の他の一部が設けられていてもよい。

【0014】

p形ベース領域4は、Z方向においてn形半導体領域6と並ぶ第1部分4aを有する。第1部分4aは第1絶縁層21に接している。また、第1部分4aは、X方向においてn⁺形エミッタ領域5と並んでいる。

【0015】

換言すると、ゲート電極10と第1電極20との間において、n⁺形エミッタ領域5はゲート電極10側にのみ選択的に設けられ、n形半導体領域6は第1電極20側にのみ選択的に設けられている。n⁺形エミッタ領域5とn形半導体領域6は、Z方向において並んでいない。

【0016】

p形ベース領域4、n⁺形エミッタ領域5、n形半導体領域6、ゲート電極10、および第1電極20は、X方向において複数設けられ、それぞれがY方向に延びている。

【0017】

エミッタ電極32は、半導体装置100の上面に設けられており、p形ベース領域4およびn⁺形エミッタ領域5と電氣的に接続されている。また、ゲート電極10とエミッタ電極32との間には絶縁層が設けられ、ゲート電極10とエミッタ電極32は電氣的に分離されている。

第1電極20は、エミッタ電極32と電氣的に接続されていてもよい。あるいは、第1電極20は、ゲート電極10と電氣的に接続されていてもよい。

【0018】

コレクタ電極31に、エミッタ電極32に対して正の電圧が印加された状態で、ゲート電極10に閾値以上の電圧が加えられることで、IGBTがオン状態となる。このとき、p形ベース領域4のゲート絶縁層11近傍の領域にチャネル（反転層）が形成される。

【0019】

次に、第1実施形態に係る半導体装置100の製造方法の一例について、図2および図3を用いて説明する。

図2および図3は、第1実施形態に係る半導体装置100の製造工程を表す工程断面図である。

【0020】

まず、n⁺形の半導体層2aの上にn⁻形の半導体層3aが形成された半導体基板を用意する。続いて、図2(a)に表すように、n⁻形半導体層3aの表面に選択的にn形不純物をイオン注入し、n形半導体領域6を形成する。

【0021】

次に、n⁻形半導体層3aおよびn形半導体領域6の上に、n⁻形の半導体層3b（不図示）を形成する。n⁻形半導体層3bにp形の不純物をイオン注入することで、p形ベース領域4を形成する。続いて、p形ベース領域4の表面に選択的にn形不純物をイオン注入することで、図2(b)に表すように、n⁺形エミッタ領域5を形成する。

【0022】

次に、p形ベース領域4を貫通する複数のトレンチを形成する。トレンチの一部はn⁺形エミッタ領域5を貫通し、トレンチの他の一部はn形半導体領域6を貫通している。続いて、このトレンチの内壁を熱酸化することで、絶縁層11aを形成する。この絶縁層11aの上に導電層を形成し、図3(a)に表すように導電層をエッチバックする。この工程により、それぞれのトレンチの内部に、ゲート電極10または第1電極20が形成される。

【0023】

次に、これらの電極およびp形ベース領域4を覆う絶縁層11bを形成する。絶縁層11aおよび11bをパターニングすることで、ゲート絶縁層11および第1絶縁層21が形成される。続いて、これらの絶縁層の上に金属層を形成し、この金属層をパターニングすることでエミッタ電極32が形成される。

【0024】

次に、 n^+ 形半導体層2aが所定の厚さになるまで、 n^+ 形半導体層2aの裏面を研磨する。続いて、図3(b)に表すように、 n^+ 形半導体層2aの底面に p 形不純物をイオン注入し、 p^+ 形コレクタ領域1を形成する。

その後、 p^+ 形コレクタ領域1の下にコレクタ電極31を形成することで、図1に表す半導体装置100が作製される。

【0025】

ここで、本実施形態の作用および効果について説明する。

本実施形態に係る半導体装置100は、ゲート電極10側に選択的に設けられた n^+ 形エミッタ領域5、および第1電極20側に選択的に設けられた n 形半導体領域6を有する。

【0026】

n^+ 形エミッタ領域5がゲート電極10側に選択的に設けられていることで、それぞれの p 形ベース領域4を流れる電流が小さくなり、寄生バイポーラトランジスタのラッチアップが抑制される。

このとき、 n^+ 形エミッタ領域5が第1電極20側に設けられていないため、チャネル密度が低下し、半導体装置のオン電圧が上昇する。

【0027】

一方、 n 形半導体領域6を設けることで、 n 形半導体領域6において正孔を蓄積させることができる。このとき、 n 形半導体領域6を、第1電極20側に選択的に設けることで、チャネルを通して n 形半導体領域3に流れる電子と、 n 形半導体領域6に蓄積された正孔と、の再結合を抑制することができる。電子と正孔の再結合が抑制されることで、 n 形半導体領域3におけるキャリアの密度を高め、半導体装置のオン電圧を低減することができる。

【0028】

すなわち、本実施形態によれば、 n^+ 形エミッタ領域5をゲート電極10側に選択的に設けることで生じるオン電圧の上昇を、 n 形半導体領域6を第1電極20側に選択的に設けることで抑制することが可能である。

【0029】

(第2実施形態)

図4を参照して、第2実施形態に係る半導体装置の一例について説明する。

図4は、第2実施形態に係る半導体装置200の一部を表す斜視断面図である。

【0030】

第2実施形態に係る半導体装置200は、半導体装置100との比較において、 p^+ 形半導体領域7をさらに有する点で異なる。また、半導体装置200では、第1電極20は、ゲート電極10と電気的に接続されている。

【0031】

p^+ 形半導体領域7は、Z方向において n 形半導体領域6と n^+ 形半導体領域2との間に設けられている。 n 形半導体領域6は、 p 形ベース領域4と p^+ 形半導体領域7との間に位置し、これらの半導体領域と接している。

【0032】

半導体装置200では、ゲート電極10および第1電極20に対して、閾値以上の正の電圧が印加されることで、MOSFETがオン状態となる。ただし、 n^+ 形エミッタ領域5は、ゲート電極10側にのみ選択的に設けられている。このため、第1電極20に対して、閾値以上の正の電圧が印加されると第1絶縁層21近傍にチャネルが形成されるが、電子は当該チャネルを流れない。

【0033】

MOSFETをオン状態にした後、ゲート電極10および第1電極20に対して負の電圧を印加する。この動作により、第1電極20と対面する n 形半導体領域6の第1絶縁層21近傍の領域に、正孔に対するチャネルが形成される。 n 形半導体領域3に蓄積され

た正孔は、このチャネルを通してエミッタ電極 3 2 に排出される。

【0034】

本実施形態によれば、MOSFETをターンオンした際のキャリアの排出を効率的に行うことができる。このため、本実施形態によれば、第1実施形態で述べた効果に加えて、半導体装置のスイッチング損失を低減することができる。

【0035】

また、p⁺形半導体領域 7 が設けることで、n形半導体領域 6 に形成されるチャネルを通して正孔が排出される際に、排出経路における正孔に対する抵抗を小さくすることができる。このため、半導体装置のスイッチング損失をより一層低減することが可能である。

【0036】

(変形例)

図 5 は、第 2 実施形態の変形例に係る半導体装置 2 1 0 の一部を表す斜視断面図である。

半導体装置 2 0 0 では、X 方向において、2 つの第 1 部分 4 a と 2 つの n⁺形エミッタ領域 5 が交互に設けられていた。これに対して、変形例に係る半導体装置 2 1 0 では、X 方向において、第 1 部分 4 a と n⁺形エミッタ領域 5 が交互に設けられている。

【0037】

本変形例においても、ゲート電極 1 0 および第 1 電極 2 0 に対して負の電圧が印加されることで、n形半導体領域 6 に、正孔に対するチャネルが形成される。従って、本変形例によれば、第 2 実施形態と同様に、半導体装置のスイッチング損失を低減することが可能である。

【0038】

以上で説明した各実施形態における、各半導体領域の間の不純物濃度の相対的な高低については、例えば、SCM（走査型静電容量顕微鏡）を用いて確認することが可能である。なお、各半導体領域におけるキャリア濃度は、各半導体領域において活性化している不純物濃度と等しいものとみなすことができる。従って、各半導体領域の間のキャリア濃度の相対的な高低についても、SCMを用いて確認することができる。

また、各半導体領域における不純物濃度については、例えば、SIMS（二次イオン質量分析法）により測定することが可能である。

【0039】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。実施形態に含まれる、例えば、p⁺形コレクタ領域 1、n⁺形半導体領域 2、n⁻形半導体領域 3、p 形ベース領域 4、n⁺形エミッタ領域 5、ゲート電極 1 0、ゲート絶縁層 1 1、第 1 電極 2 0、第 1 絶縁層 2 1、コレクタ電極 3 1、およびエミッタ電極 3 2 などの各要素の具体的な構成に関しては、当業者が公知の技術から適宜選択することが可能である。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

【符号の説明】

【0040】

1 0 0、2 0 0、2 1 0…半導体装置 1…p⁺形コレクタ領域 2…n⁺形半導体領域
3…n⁻形半導体領域 4…p 形ベース領域 5…n⁺形エミッタ領域 6…n 形半導体領域 7…p⁺形半導体領域 1 0…ゲート電極 1 1…ゲート絶縁層 2 0…第 1 電極
2 1…第 1 絶縁層 3 1…コレクタ電極 3 2…エミッタ電極

【書類名】 特許請求の範囲

【請求項 1】

第 1 導電形の第 1 半導体領域と、
前記第 1 半導体領域の上に設けられた第 2 導電形の第 2 半導体領域と、
ゲート絶縁層を介して前記第 2 半導体領域に囲まれた部分を有するゲート電極と、
第 1 絶縁層を介して前記第 2 半導体領域に囲まれた部分を有し、前記ゲート電極と離間して設けられた第 1 電極と、
前記第 1 絶縁層と前記ゲート絶縁層との間の一部に設けられ、前記第 1 絶縁層に接し、第 2 導電形のキャリア濃度が前記第 2 半導体領域の第 2 導電形のキャリア濃度よりも高い、第 2 導電形の第 3 半導体領域と、
前記第 1 半導体領域から前記第 2 半導体領域に向かう第 1 方向において前記第 3 半導体領域と並ぶ第 1 部分を有し、前記第 2 半導体領域の上および前記第 3 半導体領域の上に設けられ、前記ゲート電極と前記第 1 電極との間に位置する第 1 導電形の第 4 半導体領域と、
前記第 4 半導体領域の上に選択的に設けられ、前記ゲート絶縁層に接し、前記第 1 方向に対して垂直な第 2 方向において前記第 1 部分と並ぶ第 2 導電形の第 5 半導体領域と、
を備えた半導体装置。

【請求項 2】

前記第 1 電極は、前記ゲート電極と電氣的に接続された請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 方向において、前記第 2 半導体領域の一部と前記第 3 半導体領域との間に設けられた第 2 導電形の第 6 半導体領域をさらに備えた請求項 2 記載の半導体装置。

【請求項 4】

前記第 1 電極と前記第 6 半導体領域は、前記第 2 方向において並んでいる請求項 3 記載の半導体装置。

【請求項 5】

前記第 3 半導体領域と前記第 4 半導体領域は、前記第 1 方向において並んでいない請求項 1 ～ 4 のいずれか 1 つに記載の半導体装置。

【書類名】 要約書

【要約】

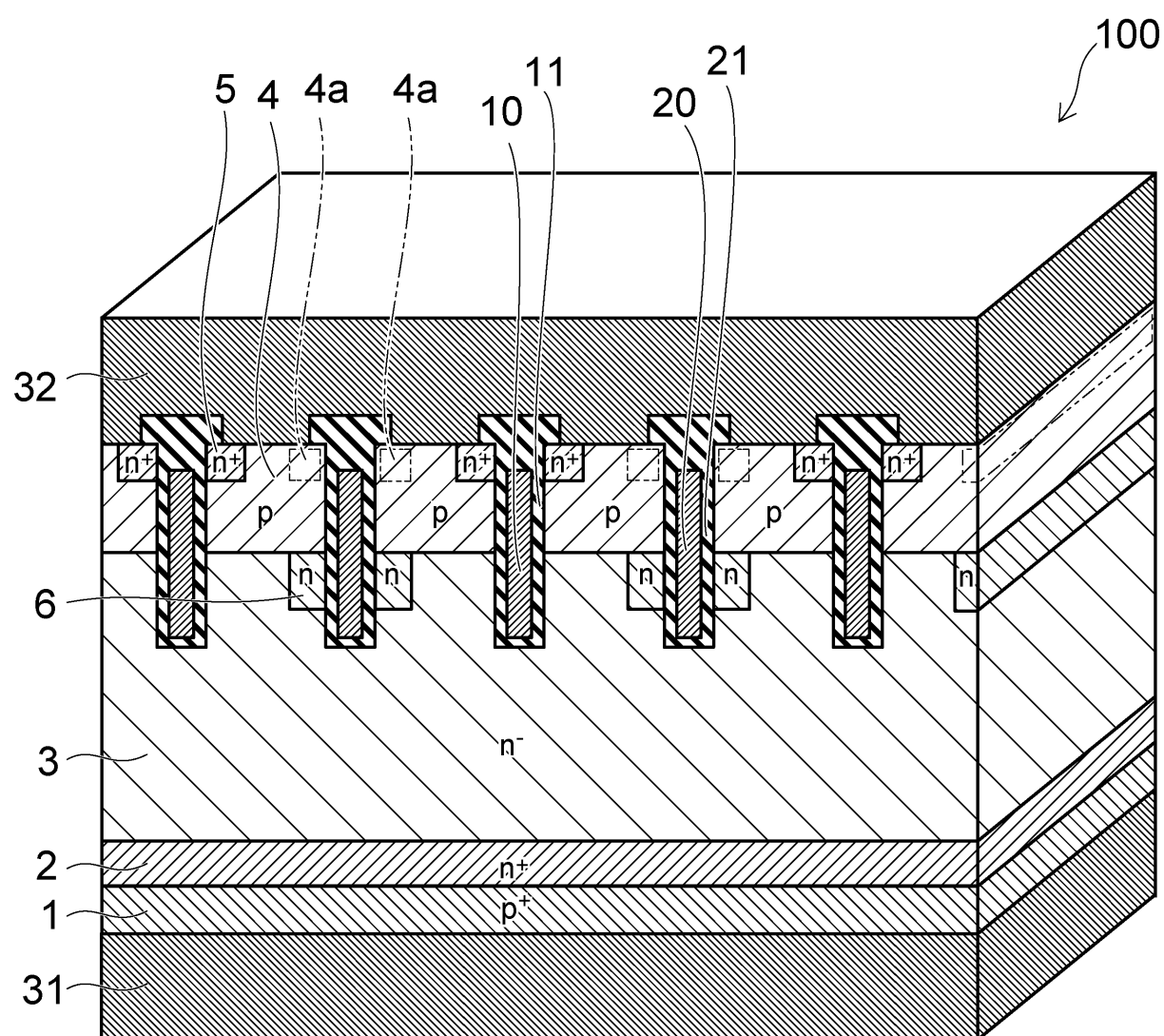
【課題】 オン電圧の上昇を抑制できる半導体装置を提供する。

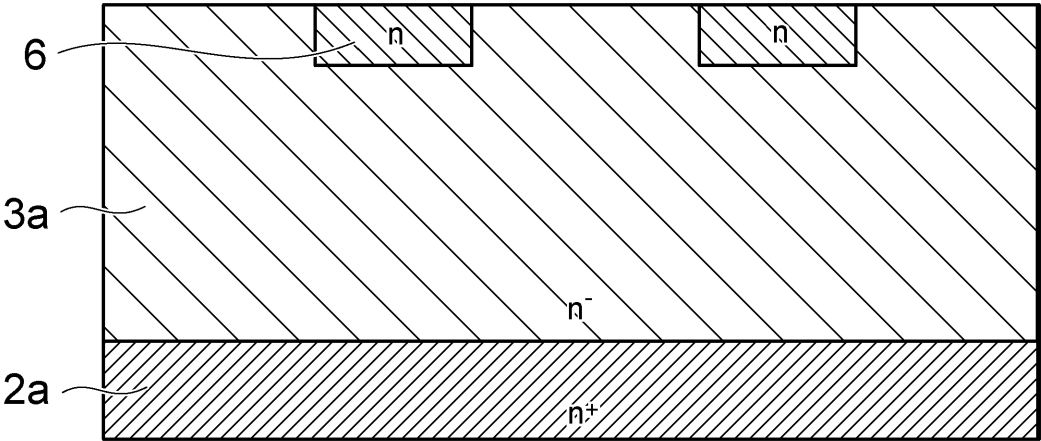
【解決手段】 実施形態に係る半導体装置は、第1導電形の第1半導体領域と、第2導電形の第2半導体領域と、第2導電形の第3半導体領域と、第1導電形の第4半導体領域と、第2導電形の第5半導体領域と、ゲート電極と、第1電極と、を有する。第3半導体領域は、第1絶縁層と前記ゲート絶縁層との間の一部に設けられている。第3半導体領域は、第1絶縁層に接している。第3半導体領域の第2導電形のキャリア濃度は、第2半導体領域の第2導電形のキャリア濃度よりも高い。第4半導体領域は、第1部分を有する。第1部分は、第1半導体領域から第2半導体領域に向かう第1方向において、第3半導体領域と並んでいる。第5半導体領域は、ゲート絶縁層に接している。第5半導体領域は、第1方向に対して垂直な第2方向において第1部分と並んでいる。

【選択図】 図1

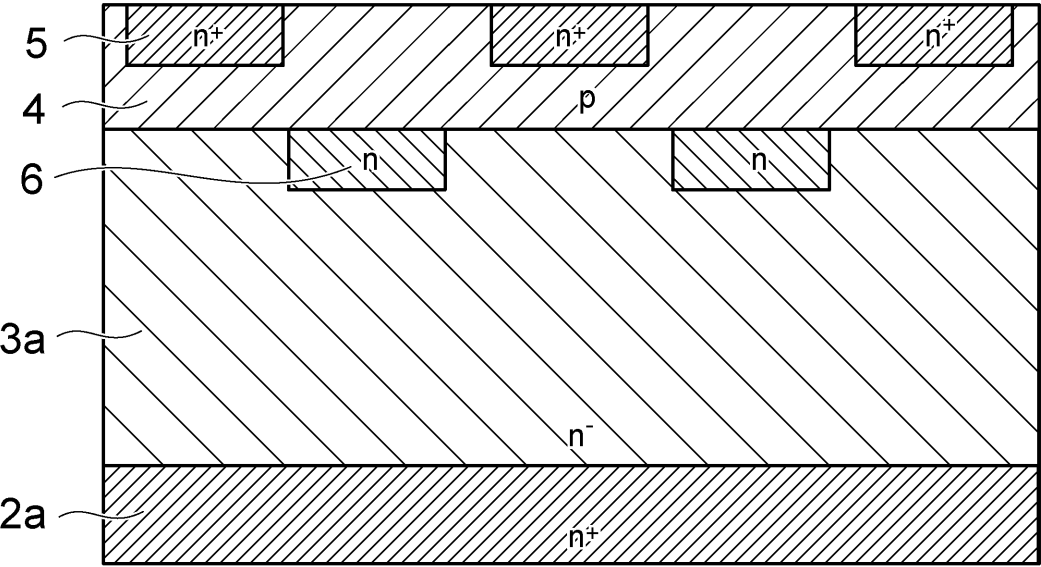
【書類名】図面

【図1】

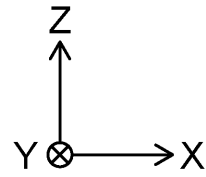




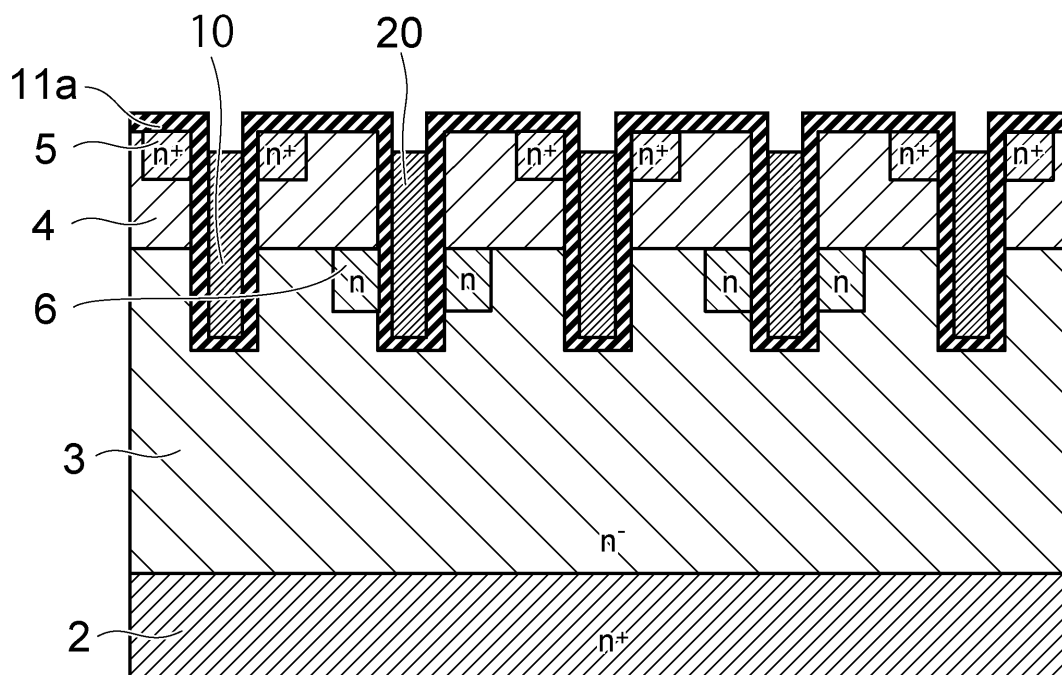
(a)



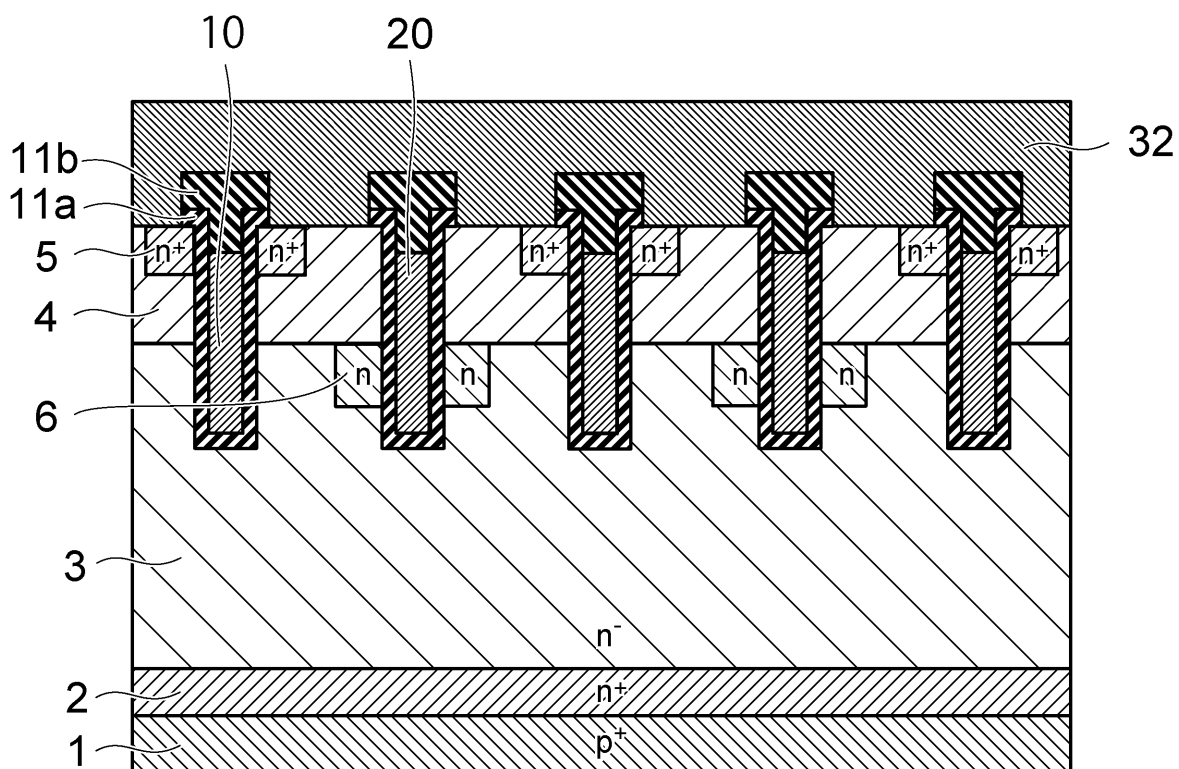
(b)



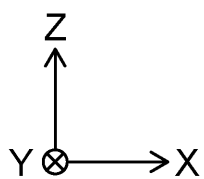
【図 3】



(a)



(b)



【図4】

