

【書類名】明細書

【発明の名称】半導体記憶装置

【技術分野】

【0001】

実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

不揮発性半導体記憶装置としてNAND型フラッシュメモリが知られている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-70730号公報

【特許文献2】特開2013-89272号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

実施形態は、非選択メモリストリングのリードディスタープを抑制することが可能な半導体記憶装置を提供する。

【課題を解決するための手段】

【0005】

実施形態に係る半導体記憶装置は、複数のメモリストリングを備え、前記複数のメモリストリングの各々は、第1及び第2選択トランジスタと、前記第1及び第2選択トランジスタの間に直列接続されかつ積層された複数のメモリセルとを備える、メモリセルアレイと、前記複数のメモリセルにそれぞれ接続された複数のワード線と、前記複数の第1選択トランジスタに共通接続されたビット線と、前記複数の第1選択トランジスタのゲートにそれぞれ接続された複数の第1選択ゲート線と、前記複数の第2選択トランジスタのゲートにそれぞれ接続された複数の第2選択ゲート線と、前記複数の第2選択トランジスタに共通接続されたソース線とを具備する。読み出し動作において、前記ソース線に、接地電圧より高い第1電圧が印加され、前記読み出し動作において、選択されたメモリストリングに接続された第1及び第2選択ゲート線に、前記第1及び第2選択トランジスタをオン状態とする第2電圧が印加される。前記読み出し動作の第1期間において、非選択のメモリストリングに接続された第1選択ゲート線に、前記第2電圧が印加され、前記読み出し動作の前記第1期間に続く第2期間において、前記非選択のメモリストリングに接続された第1選択ゲート線に、前記接地電圧より高く、かつ前記第1電圧に前記第1選択トランジスタの閾値を加えた電圧以下である第3電圧が印加される。

【図面の簡単な説明】

【0006】

【図1】本実施形態に係るNAND型フラッシュメモリのブロック図。

【図2】メモリセルアレイのブロック図。

【図3】メモリセルアレイに含まれる1つのブロックの回路図。

【図4】ブロックの一部領域の断面図。

【図5】ダミーセルトランジスタを説明する回路図。

【図6】センスアンプ部及びデータキャッシュのブロック図。

【図7】センスアンプ部の回路図。

【図8】ロウデコーダの回路図。

【図9】ブロック選択動作を説明する模式図。

【図10】本実施形態に係るNAND型フラッシュメモリの読み出し動作を説明するタイミングチャート。

【図11】比較例に係る読み出し動作を説明するタイミングチャート。

【図12】リードディスタープを説明するための模式的なエネルギーバンド図。

【図13】本実施形態に係るNAND型フラッシュメモリの読み出し動作を説明するタイミングチャート。

【図14】比較例に係る読み出し動作を説明するタイミングチャート。

【発明を実施するための形態】

【0007】

以下、実施形態について図面を参照して説明する。

本実施形態に係る半導体記憶装置は、データを電气的に書き換え可能な不揮発性半導体メモリであり、以下の実施形態では、半導体記憶装置としてNAND型フラッシュメモリを例に挙げて説明する。

【0008】

[1] NAND型フラッシュメモリの構成

図1は、本実施形態に係るNAND型フラッシュメモリ10のブロック図である。NAND型フラッシュメモリ10は、メモリセルアレイ11、ロウデコーダ12、カラムデコーダ13、センスアンプ部14、データキャッシュ(データラッチ回路)15、コアドライバ16、電圧発生回路17、入出力回路18、アドレスレジスタ19、コントローラ20、及びステータスレジスタ21を備える。

【0009】

メモリセルアレイ11は、複数のブロックを備え、複数のブロックの各々は、複数のメモリセルトランジスタ(単にメモリセルという場合もある)を備える。メモリセルトランジスタは、電气的に書き換え可能なEEPROM(登録商標)セルから構成される。メモリセルアレイ11には、メモリセルトランジスタに印加する電圧を制御するために、複数のビット線、複数のワード線、及びソース線が配設される。メモリセルアレイ11の詳細については後述する。

【0010】

ロウデコーダ12は、アドレスレジスタ19からブロックアドレス信号及びロウアドレス信号を受け、これらの信号に基づいて、対応するブロック内のいずれかのワード線を選択する。カラムデコーダ13は、アドレスレジスタ19からカラムアドレス信号を受け、このカラムアドレス信号に基づいて、いずれかのビット線を選択する。

【0011】

センスアンプ部14は、データの読み出し時には、メモリセルからビット線に読み出されたデータを検知及び増幅する。また、センスアンプ部14は、データの書き込み時には、書き込みデータをビット線に転送する。メモリセルアレイ11へのデータの読み出し及び書き込みは、複数のメモリセルを単位として行われ、この単位がページとなる。

【0012】

データキャッシュ15は、ページ単位でデータを保持する。データキャッシュ15は、データの読み出し時には、センスアンプ部14からページ単位で転送されたデータを一時的に保持し、これをシリアルに入出力回路18へ転送する。また、データキャッシュ15は、データの書き込み時には、入出力回路18からシリアルに転送されたデータを一時的に保持し、これをページ単位でセンスアンプ部14へ転送する。

【0013】

コアドライバ16は、データの書き込み、読み出し、及び消去に必要な電圧を、ロウデコーダ12、センスアンプ部14、及び図示せぬソース線ドライバなどに供給する。コアドライバ16によって供給された電圧は、ロウデコーダ12、センスアンプ部14、及びソース線ドライバを介してメモリセル(具体的には、ワード線、選択ゲート線、ビット線、及びソース線)に印加される。

【0014】

電圧発生回路17は、各動作に必要な内部電圧(例えば、電源電圧を昇圧した電圧)を発生し、これら内部電圧をコアドライバ16に供給する。

【0015】

コントローラ20は、NAND型フラッシュメモリ10の全体動作を制御する。コント

ローラ20は、各種の外部制御信号、例えば、チップイネーブル信号CEN、アドレスラッチイネーブル信号ALE、コマンドラッチイネーブル信号CLE、書き込みイネーブル信号WEN、及び読み出しイネーブル信号RENを、外部のホスト装置（図示せず）から受ける。信号名に付記された“n”は、アクティブ・ローを示す。

【0016】

コントローラ20は、これらの外部制御信号に基づいて、入出力端子I/Oから供給されるアドレスAddとコマンドCMDとを識別する。そして、コントローラ20は、アドレスAddを、アドレスレジスタ19を介してカラムデコーダ13及びロウデコーダ12に転送する。また、コントローラ20は、コマンドCMDをデコードする。コントローラ20は、外部制御信号及びコマンドCMDに従って、データの読み出し、書き込み、及び消去の各シーケンス制御を行う。また、コントローラ20は、NAND型フラッシュメモリ10の動作状態をホスト装置に通知するために、レディー/ビジー信号R/Bnを出力する。ホスト装置は、レディー/ビジー信号R/Bnを受けることで、NAND型フラッシュメモリ10の状態を知ることができる。

【0017】

入出力回路18は、ホスト装置との間で、NANDバスを介してデータ（コマンドCMD、アドレスAdd、及びデータを含む）の送受信を行う。

【0018】

ステータスレジスタ21は、例えばパワーオン時に、メモリセルアレイ11のROMフューズから読み出された管理データを一時的に保持する。また、ステータスレジスタ21は、メモリセルアレイ11の動作に必要な各種データを一時的に保持する。ステータスレジスタ21は、例えばSRAMから構成される。

【0019】

[1-1] メモリセルアレイ11の構成

図2は、メモリセルアレイ11のブロック図である。メモリセルアレイ11は、複数のブロックBLK（BLK0、BLK1、BLK2、・・・）を備える。複数のブロックBLKの各々は、複数のストリングユニットSU（SU0、SU1、SU2、・・・）を備える。複数のストリングユニットSUの各々は、複数のNANDストリング22を備える。メモリセルアレイ11内のブロック数、1つのブロックBLK内のストリングユニット数、及び1つのストリングユニットSU内のNANDストリング数はそれぞれ、任意に設定可能である。

【0020】

図3は、メモリセルアレイ11に含まれる1つのブロックBLKの回路図である。複数のNANDストリング22の各々は、複数のメモリセルトランジスタMT、及び2個の選択トランジスタST1、ST2を備える。本明細書では、メモリセルトランジスタをメモリセル又はセルと呼ぶ場合もある。図3は、NANDストリング22が8個のメモリセルトランジスタMT（MT0～MT7）を備える構成例を示しているが、NANDストリング22が備えるメモリセルトランジスタMTの数は任意に設定可能である。メモリセルトランジスタMTは、制御ゲートと電荷蓄積層とを含む積層ゲートを備え、データを不揮発に記憶する。メモリセルトランジスタMTは、1ビットデータ（2値）を記憶するように構成してもよいし、2ビット以上のデータ（又は3値以上）を記憶するように構成してもよい。

【0021】

複数のメモリセルトランジスタMTは、選択トランジスタST1、ST2の間に、それらの電流経路が直列接続されるようにして配置される。この直列接続の一端側のメモリセルトランジスタMTの電流経路は選択トランジスタST1の電流経路の一端に接続され、他端側のメモリセルトランジスタMTの電流経路は選択トランジスタST2の電流経路の一端に接続される。

【0022】

ストリングユニットSU0に含まれる複数の選択トランジスタST1のゲートは、選択

ゲート線SGD0に共通接続され、同様に、ストリングユニットSU1～SU3にはそれぞれ、選択ゲート線SGD1～SGD3が接続される。ストリングユニットSU0に含まれる複数の選択トランジスタST2のゲートは、選択ゲート線SGS0に共通接続され、同様に、ストリングユニットSU1～SU3にはそれぞれ、選択ゲート線SGS1～SGS3が接続される。なお、同一のブロックBLK内にある複数の選択トランジスタST2のゲートは、同一の選択ゲート線SGSに共通接続されていてもよい。同一のブロックBLK内にあるメモリセルトランジスタMT0～MT7の制御ゲートはそれぞれ、ワード線WL0～WL7に接続される。

【0023】

メモリセルアレイ11内でマトリクス状に配置されたNANDストリング22のうち、同一列にある複数のNANDストリング22の選択トランジスタST1の電流経路の他端は、ビット線BL0～BL(m-1)のいずれかに共通接続される。“m”は1以上の整数である。すなわち、1本のビット線BLは、複数のブロックBLK間で同一列にあるNANDストリング22を共通に接続する。同一のブロックBLKに含まれる複数の選択トランジスタST2の電流経路の他端は、ソース線SLに共通接続される。ソース線SLは、例えば複数のブロック間で複数のNANDストリング22を共通に接続する。

【0024】

同一のブロックBLK内にある複数のメモリセルトランジスタMTのデータは、例えば一括して消去される。データの読み出し及び書き込みは、1つのブロックBLKに配設された1本のワード線WLに共通接続された複数のメモリセルトランジスタMTに対して、一括して行われる。このデータ単位をページと呼ぶ。

【0025】

図4は、ブロックBLKの一部領域の断面図である。p型ウェル領域30上に、複数のNANDストリング22が形成されている。すなわち、ウェル領域30上には、選択ゲート線SGSとして機能する例えば4層の配線層31、ワード線WL0～WL7として機能する8層の配線層32、及び選択ゲート線SGDとして機能する例えば4層の配線層33が、順次積層されている。積層された配線層間には、図示せぬ絶縁膜が形成されている。

【0026】

そして、これらの配線層31、32、33を貫通してウェル領域30に達するメモリホール34が形成され、メモリホール34内には、ピラー状の半導体層35が形成されている。半導体層35の側面には、ゲート絶縁膜36、電荷蓄積層(絶縁膜)37、及びブロック絶縁膜38が順次形成される。これらによってメモリセルトランジスタMT、及び選択トランジスタST1、ST2が形成されている。半導体層35は、NANDストリング22の電流経路として機能し、各トランジスタのチャネルが形成される領域となる。半導体層35の上端は、ビット線BLとして機能する金属配線層39に接続される。

【0027】

ウェル領域30の表面領域内には、n+型不純物拡散層40が形成されている。拡散層40上にはコンタクトプラグ41が形成され、コンタクトプラグ41は、ソース線SLとして機能する金属配線層42に接続される。さらに、ウェル領域30の表面領域内には、p+型不純物拡散層43が形成されている。拡散層43上にはコンタクトプラグ44が形成され、コンタクトプラグ44は、ウェル配線CPWELLとして機能する金属配線層45に接続される。ウェル配線CPWELLは、ウェル領域30を介して半導体層35に電位を印加するための配線である。

【0028】

以上の構成が、図4を記載した紙面の奥行き方向に複数配列されており、奥行き方向に並ぶ複数のNANDストリング22の集合によってストリングユニットSUが形成される。

【0029】

なお、NANDストリング22は、ダミーセルトランジスタを備えていてもよい。図5は、ダミーセルトランジスタを説明する回路図である。

【 0 0 3 0 】

選択トランジスタST2とメモリセルトランジスタMT0との間には、例えば2個のダミーセルトランジスタDT0、DT1が直列接続される。メモリセルトランジスタMT7と選択トランジスタST1との間には、例えば2個のダミーセルトランジスタDT2、DT3が直列接続される。ダミーセルトランジスタDT0～DT3のゲートにはそれぞれ、ダミーワード線DWL0～DWL3が接続される。ダミーセルトランジスタの構造は、メモリセルトランジスタと同じである。ダミーセルトランジスタは、データを記憶するためのものではなく、書き込みパルス印加動作や消去パルス印加動作中に、メモリセルトランジスタや選択トランジスタが受けるディスターブを緩和する機能を有する。

【 0 0 3 1 】

メモリセルアレイの構成については、例えば、“三次元積層不揮発性半導体メモリ”という2009年3月19日に出願された米国特許出願12/407,403号に記載されている。また、“三次元積層不揮発性半導体メモリ”という2009年3月18日に出願された米国特許出願12/406,524号、“不揮発性半導体記憶装置及びその製造方法”という2010年3月25日に出願された米国特許出願12/679,991号“半導体メモリ及びその製造方法”という2009年3月23日に出願された米国特許出願12/532,030号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

【 0 0 3 2 】

またデータの消去は、ブロックBLK単位、またはブロックBLKよりも小さい単位で行うことができる。消去方法に関しては、例えば“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE”という2011年9月18日に出願された米国特許出願13/235,389号に記載されている。また、“NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE”という2010年1月27日に出願された米国特許出願12/694,690号に記載されている。更に、“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA ERASE METHOD THEREOF”という2012年5月30日に出願された米国特許出願13/483,610号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

【 0 0 3 3 】

[1 - 2] センスアンプ部14及びデータキャッシュ15の構成

次に、センスアンプ部14及びデータキャッシュ15の構成について説明する。図6は、センスアンプ部14及びデータキャッシュ15のブロック図である。

【 0 0 3 4 】

データキャッシュ15は、例えば3つのキャッシュADL、BDL、XDLを備える。データキャッシュ15に含まれるキャッシュの数は、1つのメモリセルが記憶するビット数に応じて適宜設定される。

【 0 0 3 5 】

キャッシュADL、BDL、XDLは、一時的にデータを格納することが可能である。キャッシュXDLは、I/Oパッドに最も近い位置に配置されるとともに、双方向バスYIOを介して入出力回路18に接続される。キャッシュXDLは、内部バスLBUSを介して、センスアンプ部14、及びキャッシュADL、BDLに接続される。キャッシュXDLに格納された書き込みデータ等は、内部バスLBUSを介して、キャッシュADL、BDLにコピー及び転送することができる。キャッシュADL、BDLの物理的位置に制約はなく、適宜配置してよい。

【 0 0 3 6 】

センスアンプ部(S/A)14は、読み出し時にその結果を保持するためのキャッシュ(センスアンプキャッシュ)SDLを備える。キャッシュSDLに格納された読み出しデータ等は、内部バスLBUSを介して、キャッシュADL、BDLにコピー及び転送することができる。

【 0 0 3 7 】

センスアンプ部14は、メモリセルにビット線BLを介して接続され、一括して読み出すことが可能な単位(例えば32キロバイト)分だけの容量を持つ。具体的には、32キロバイトを一括して読み出せる場合、ビット線BLは32768バイト、すなわち262144ビット分用意され、キャッシュSDL、ADL、BDL、XDLの各々も同数分配置される。

【0038】

[1-3] センスアンプ部14の具体的な構成

次に、センスアンプ部14の構成について説明する。図7は、センスアンプ部14の回路図である。

【0039】

センスアンプ部14は、複数のNチャネルMOSトランジスタ(以下、NMOSと称す)51~57と、複数のPチャネルMOSトランジスタ(以下、PMOSと称す)58、59と、トランスファークゲート60、61と、キャッシュ(データラッチ回路)SDLと、キャパシタ63とを備える。キャッシュSDLは、例えばクロックドインバータ回路62a、62bにより構成される。

【0040】

NMOS51の電流経路の一端は、電源電圧Vddが供給されるノードに接続される。NMOS51の電流経路の他端は、トランスファークゲート60、NMOS54、トランスファークゲート61を介して接地される(接地電圧Vssが供給されるノードに接続される)。NMOS54とトランスファークゲート61との接続ノードには、NMOS55の電流経路の一端が接続される。このNMOS55の他端は、メモリセルアレイ11に配置されたビット線BLに接続される。NMOS51には、NMOS52、53の直列回路が並列接続される。

【0041】

PMOS58の電流経路の一端は、電源電圧Vddが供給されるノードに接続される。PMOS58の電流経路の他端は、PMOS59を介してキャッシュSDLを構成するインバータ回路62aの入力端子に接続されるとともに、NMOS56を介して接地される。このインバータ回路62aとクロスカップルされたクロックドインバータ回路62bの入力端子は、NMOS57を介して内部バスLBUSに接続される。PMOS59のゲートは、センスノードSENを介して、NMOS52とNMOS53との接続ノードと、キャパシタ63の一端とに接続される。キャパシタ63の他端には、クロック信号CLKが供給される。

【0042】

コントローラ20は、以下に述べるように、センスアンプ部14内に各種の制御信号(例えば、信号BLX、BLC、BLS、HLL、XXL、STB、RST、NCO)を供給する。

【0043】

NMOS51のゲートには、信号BLXが供給される。トランスファークゲート60を構成するNMOSのゲートには、キャッシュSDLを構成するインバータ回路62aの出力端子の信号LATが供給される。トランスファークゲート60を構成するPMOSのゲートには、インバータ回路62aの入力端子の信号INVが供給される。NMOS54のゲートには、信号BLCが供給される。NMOS55のゲートには、信号BLSが供給される。

【0044】

トランスファークゲート61を構成するNMOSのゲートには、信号INVが供給される。トランスファークゲート61を構成するPMOSのゲートには、信号LATが供給される。

【0045】

NMOS52のゲートには、信号HLLが供給される。NMOS53のゲートには、信号XXLが供給される。PMOS58のゲートには、信号STBが供給される。NMOS

5 6 のゲートには、リセット信号 R S T が供給される。N M O S 5 7 のゲートには、信号 N C O が供給される。

【 0 0 4 6 】

次に、上記センスアンプ部 1 4 における書き込み動作、読み出し動作、及び書き込みベリファイ動作について概略的に説明する。

【 0 0 4 7 】

(書き込み動作)

メモリセルにデータを書き込む場合、コントローラ 2 0 は、以下のような制御信号を生成する。まず、コントローラ 2 0 は、信号 S T B をハイレベル (以下、“ H ”レベルと記す)、リセット信号 R S T を一旦、“ H ”レベルとして、キャッシュ S D L をリセットする。これにより、キャッシュ S D L の信号 L A T が“ H ”レベル、信号 I N V がローレベル (以下、“ L ”レベルと記す) となる。

【 0 0 4 8 】

この後、コントローラ 2 0 は、信号 N C O を“ H ”レベルとする。これにより、内部バス L B U S からキャッシュ S D L にデータが取り込まれる。このデータが書き込みを示す“ L ”レベル (“ 0 ”) である場合、信号 L A T が“ L ”レベル、信号 I N V が“ H ”レベルとなる。また、データが非書き込みを示す“ H ”レベル (“ 1 ”) である場合、キャッシュ S D L のデータは変わらず、信号 L A T が“ H ”レベル、信号 I N V が“ L ”レベルのまま保持される。

【 0 0 4 9 】

続いて、コントローラ 2 0 は、信号 B L X、B L C、B L S を“ H ”レベルとする。すると、書き込みの場合、すなわちキャッシュ S D L の信号 L A T が“ L ”レベル、信号 I N V が“ H ”レベルの場合、トランスファークゲート 6 0 がオフ、トランスファークゲート 6 1 がオンしてビット線 B L は接地電圧 V s s となる。この状態において、ワード線がプログラム電圧 V p g m となると、メモリセルにデータが書き込まれる。

【 0 0 5 0 】

一方、非書き込みの場合、すなわちキャッシュ S D L の信号 L A T が“ H ”レベル、信号 I N V が“ L ”レベルの場合、トランスファークゲート 6 0 がオン、トランスファークゲート 6 1 がオフとなるため、ビット線 B L は電源電圧 V d d に充電される。ここで、ワード線がプログラム電圧 V p g m となった場合、メモリセルのチャネルが高い電位にブーストされるため、メモリセルにデータが書き込まれない。

【 0 0 5 1 】

(読み出し動作、及び書き込みベリファイ動作)

メモリセルからデータを読み出す場合、コントローラ 2 0 は、以下のような制御信号を生成する。まず、コントローラ 2 0 は、リセット信号 R S T を一旦、“ H ”レベルとして、キャッシュ S D L をリセットする。これにより、キャッシュ S D L の信号 L A T が“ H ”レベル、信号 I N V が“ L ”レベルとなる。

【 0 0 5 2 】

この後、コントローラ 2 0 は、信号 B L S、B L C、B L X、H L L、X X L を所定の電圧とする。これにより、ビット線 B L が充電されるとともに、キャパシタ 6 3 のノード S E N が電源電圧 V d d に充電される。ここで、メモリセルの閾値電圧が読み出しレベルより高い場合、メモリセルはオフ状態であり、ビット線 B L は“ H ”レベルに保持される。つまり、ノード S E N は“ H ”レベルに保持される。また、メモリセルの閾値電圧が読み出しレベルより低い場合、メモリセルはオン状態となり、ビット線 B L の電荷が放電される。このため、ビット線 B L は“ L ”レベルとなる。これにより、ノード S E N も“ L ”レベルとなる。

【 0 0 5 3 】

続いて、コントローラ 2 0 は、信号 S T B を“ L ”レベルとする。すると、メモリセルがオンしている場合、ノード S E N は“ L ”レベルであるため、P M O S 5 9 がオンする。これにより、キャッシュ S D L の信号 I N V が“ H ”レベル、信号 L A T が“ L ”レベ

ルとなる。一方、メモリセルがオフしている場合、ノードSENは“H”レベルであるため、PMOS59がオフする。これにより、キャッシュSDLの信号INVが“L”レベル、信号LATが“H”レベルに保持される。

【0054】

この後、コントローラ20は、信号NCOを“H”レベルとする。すると、NMOS57がオンし、キャッシュSDLのデータが内部バスLBUSへ転送される。

【0055】

また、書き込み動作後、メモリセルの閾値電圧を検証する書き込みベリファイ動作が行われる。この書き込みベリファイ動作は、上記読み出し動作と同様である。

【0056】

[1-4] ロウデコーダ12の構成

次に、ロウデコーダ12の構成について説明する。図8は、ロウデコーダ12の回路図である。ロウデコーダ12は、ブロックデコーダ70、及び複数の転送ゲートを備える。

【0057】

ブロックデコーダ70は、NANDゲート70A、及びインバータ回路70Bを備える。NANDゲート70Aの第1入力端子(アクティブハイ)には、信号RDECADが入力され、NANDゲート70Aの第2入力端子(アクティブロー)には、信号BADBLKが入力される。

【0058】

信号RDECADは、対応するブロックが選択ブロックである場合に“H”レベル、非選択ブロックである場合に“L”レベルとなる信号である。信号BADBLKは、対応するブロックが不良ブロック(バッドブロック)である場合に“H”レベルとなる信号である。

【0059】

NANDゲート70Aは、信号BLKSELを出力する。NANDゲート70Aの出力端子は、インバータ回路70Bの入力端子に接続される。インバータ回路70Bは、信号BLKSELnを出力する。

【0060】

ロウデコーダ12は、転送ゲート71(71-0~71-3)、72(72-0~72-3)、73、74(74-0~74-3)、75、76を備える。これらの転送ゲートは、高耐圧用のNチャネルMOSトランジスタから構成される。

【0061】

MOSトランジスタ71、72は、選択ゲート線SGDに電圧を転送するためのものである。MOSトランジスタ71-0~71-3は、電流経路の一端が選択ゲート線SGD0~SGD3にそれぞれ接続され、他端が信号線SGDI0~SGDI3にそれぞれ接続され、ゲートには共通して信号BLKSELが供給される。

【0062】

MOSトランジスタ72-0~72-3は、電流経路の一端が選択ゲート線SGD0~SGD3にそれぞれ接続され、他端が信号線USGDIに共通接続され、ゲートには共通して信号BLKSELnが供給される。

【0063】

MOSトランジスタ73は、ワード線WLに電圧を転送するためのものである。MOSトランジスタ72は、電流経路の一端が対応するワード線WLに接続され、他端が対応する信号線CGに接続され、ゲートには信号BLKSELが供給される。なお、図8には、1つのMOSトランジスタ73のみ図示しているが、MOSトランジスタ73は、ワード線WLの本数分用意される。

【0064】

MOSトランジスタ74は、選択ゲート線SGSに電圧を転送するためのものである。MOSトランジスタ74-0~74-3は、電流経路の一端が選択ゲート線SGS0~SGS3にそれぞれ接続され、他端が信号線SGSI0~SGSI3にそれぞれ接続され、

ゲートには共通して信号B L K S E Lが供給される。

【0065】

M O Sトランジスタ75、76は、選択ゲート線S G S Bに電圧を転送するためのものである。図3には図示を省略しているが、選択ゲート線S G S B（及びこれに接続される選択トランジスタ）は、N A N Dストリング22の最下層に配置され、N A N Dストリング22のソース側の抵抗を低減する機能と、非選択ブロックに所定の電圧を転送するためのものである。

【0066】

M O Sトランジスタ75は、電流経路の一端が選択ゲート線S G S Bに接続され、他端が信号線S G S B Iに接続され、ゲートには信号B L K S E Lが供給される。M O Sトランジスタ76は、電流経路の一端が選択ゲート線S G S Bに接続され、他端が信号線U S G S Iに接続され、ゲートには信号B L K S E L_nが供給される。

選択ゲート線S G S Bは、ソース側の複数の選択トランジスタのうち最下層の選択トランジスタに接続される。選択ゲート線S G S B（及びそれに接続される選択トランジスタ）は、N A N Dストリング22（具体的には、ピラー状の半導体層35）の抵抗を低減する機能を有する。選択ブロックにおいて、選択ゲート線S G S Bに接続される選択トランジスタは、オンされる。書き込み動作、読み出し動作、及び消去動作におけるN A N Dストリング22の電圧設定は、選択ゲート線S G Sを用いて行われる。

【0067】

信号線S G D I 0 ~ S G D I 3、U S G D I、C G、S G S I 0 ~ S G S I 3、S G S B I、U S G S Iは、コアドライバ16に接続される。

【0068】

[2] N A N D型フラッシュメモリ10の動作

まず、ブロック選択動作について説明する。図9は、ブロック選択動作を説明する模式図である。

【0069】

選択ブロックでは、M O Sトランジスタ71、73、74、75はオン状態とされ、M O Sトランジスタ72、76はオフ状態とされる。よって、選択ブロックでは、選択ゲート線S G Dは信号線S G D Iに接続され、選択ゲート線S G Sは信号線S G S Iに接続され、選択ゲート線S G S Bは信号線S G S B Iに接続され、ワード線W Lは信号線C Gに接続される。

【0070】

さらに、三次元積層N A N D型フラッシュメモリ10では、選択ブロック内の1つのストリングユニットを選択することが可能である。図9に示すように、一例として、選択ブロック内のストリングユニットS U 0のみを選択する場合、コアドライバ16は、選択ゲート線S G D 0に選択トランジスタS T 1をオン状態にする電圧S G D _ S E Lを印加し、選択ゲート線S G S 0、S G S Bに選択トランジスタS T 2をオン状態にする電圧S G S _ S E Lを印加する。また、コアドライバ16は、選択ゲート線S G D 1 ~ S G D 3に選択トランジスタS T 1をオフ状態にする電圧S G D _ U S E Lを印加し、選択ゲート線S G S 1 ~ S G S 3に選択トランジスタS T 2をオフ状態にする電圧S G S _ U S E Lを印加する。ワード線W Lには、後述する電圧V R E A D又は電圧V C G R Vが印加される。

【0071】

一方、非選択ブロックでは、M O Sトランジスタ71、73、74、75はオフ状態とされ、M O Sトランジスタ72、76はオン状態とされる。よって、非選択ブロックでは、選択ゲート線S G Dは信号線U S G D Iに接続され、選択ゲート線S G S Bは信号線U S G S Iに接続される。ワード線W L及び選択ゲート線S G Sは、フローティング状態となる。コアドライバ16は、選択ゲート線S G D 0 ~ S G D 3に選択トランジスタS T 1をオフ状態にする電圧U S G Dを印加し、選択ゲート線S G S Bに選択トランジスタS T 2をオフ状態にする電圧U S G Sを印加する。

【0072】

なお、前述したように、同一のブロックBLK内にある複数の選択トランジスタST2に接続される選択ゲート線SGSは、共通にしてもよい。この場合、選択ゲート線SGS<3:0>は、共通の選択ゲート線SGSとして配線される。

【0073】

このように、三次元積層NAND型フラッシュメモリでは、選択ブロック内に選択NANDストリングと非選択NANDストリングが存在する。そのため、二次元(平面)NAND型フラッシュメモリにはない固有のリードディスターブが発生する。本実施形態では、非選択NANDストリングにおいて、SGD隣のメモリセル(又はダミーセル)のホットキャリア注入起因のリードディスターブを抑えるのが趣旨である。

【0074】

以下に、ABL(all-bit-line)方式とビット線シールド方式とに分けて、読み出し動作を説明する。ABL方式は、全ビット線からデータを同時に読み出す方式である。ビット線シールド方式は、偶数ビット線と奇数ビット線とから個別にデータを読み出し方式である。読み出し対象でないビット線は、接地電圧Vssに設定され、シールド線として機能する。

【0075】

[2-1] ABL方式の動作

図10は、ABL方式におけるNAND型フラッシュメモリ10の読み出し動作を説明するタイミングチャートである。なお、図10において、時刻t1~t2の期間は、ブーストされたチャネル電圧を低減するための読み出し準備期間、時刻t2~t3の期間は、プリチャージ期間、時刻t3~t4の期間は、メモリセルのデータを判定するための読み出し期間である。

【0076】

時刻t1において、コントローラ20は、ビット線BLに接地電圧Vss(=0V)、又は電圧VSRCを印加し、ソース線に電圧VSRCを印加する。電圧VSRCは、“Vss<VSRC<Vdd”である。コントローラ20は、選択ワード線WLに読み出し電圧VCGRVを印加し、非選択ワード線WLに読み出しパス電圧VREADを印加する。読み出し電圧VCGRVは、読み出し対象のメモリセルの閾値、すなわちメモリセルのデータを判定するための電圧である。読み出しパス電圧VREADは、メモリセルの保持データによらずメモリセルをオン状態にする電圧である。なお、図10では、非選択ワード線WLとのカップリングによって選択ワード線WLの電圧が一時的に読み出し電圧VCGRVより大きくなっている。

【0077】

また、コントローラ20は、選択SGD(選択された選択ゲート線SGD)、非選択SGD(非選択の選択ゲート線SGD)、選択SGS(選択された選択ゲート線SGS)、非選択SGS(非選択の選択ゲート線SGS)に、電圧VSGを印加する。電圧VSGは、選択トランジスタST1、ST2をオン状態にする電圧であり、例えば6V程度である。すなわち、本実施形態では、非選択NANDストリングにおいて、選択トランジスタST1が一旦オンされる。

【0078】

選択ブロックの非選択NANDストリングでは、選択ワード線WLに接続されたメモリセルがカットオフ状態にある時に選択トランジスタST1がオフしたままであると、非選択ワード線WLが読み出しパス電圧VREADに上昇した時にドレイン側チャネルがブーストされ、選択ワード線WLの隣のメモリセルはホットキャリア注入起因のリードディスターブにより閾値が上昇する。そこで、ブーストされたチャネルの電圧を低くするために、非選択ワード線WLを読み出しパス電圧VREADに立ち上げる時、非選択NANDストリングの選択トランジスタST1を一旦オンさせることで、選択ワード線WLの隣のメモリセルにおけるホットキャリア注入起因のリードディスターブを抑制することができる。

【0079】

非選択ブロックでは、選択ゲート線SGD、SGSには、接地電圧Vss、又は電圧VSRCが印加される。

【0080】

続いて、時刻t2において、コントローラ20は、ビット線BLにプリチャージ電圧Vpreを印加する。プリチャージ電圧Vpreは、メモリセルからデータを読み出す前にビット線BLをプリチャージするための電圧であり、例えば“VSR C + 0.5V”程度である。

【0081】

続いて、コントローラ20は、非選択SGDに電圧VSR Cを印加する。これにより、非選択NANDストリングにおいて、選択トランジスタST1がオフする。この場合、非選択SGDは、ソース線SLと同じ電圧VSR Cに設定されるので、選択トランジスタST1をオフしつつ、隣接ワード線との電圧差を小さくできる。

【0082】

なお、時刻t2において非選択SGDに印加する電圧は、ソース線と同じ電圧VSR Cに限定されず、選択トランジスタST1がオフする電圧であればよい。すなわち、時刻t2において非選択SGDに印加する電圧は、接地電圧Vssより高く、かつ“ソース線の電圧VSR Cに選択トランジスタST1の閾値を加えた電圧”以下であればよい。

【0083】

続いて、時刻t3において、センスアンプ部14は、ビット線の電流を判定することで、メモリセルのデータを読み出す。その後、時刻t4において、各種配線の電圧がリセットされる。

【0084】

なお、時刻t1～t2の期間において、全ビット線BLをフローティング状態にしてもよい。この場合でも、上記同様の動作が実現できるとともに、前述したビット線BLを電圧VSR Cにする場合に比べて、消費電力を低減できる。

【0085】

(比較例)

図11は、比較例に係る読み出し動作を説明するタイミングチャートである。比較例では、時刻t2において、コントローラ20は、非選択SGDに接地電圧Vssを印加する。これにより、非選択NANDストリングにおいて、選択トランジスタST1がオフする。比較例では、非選択SGDとこれに隣接するワード線との電圧差大きくなっている。

【0086】

図12は、リードディスタ urbを説明するための模式的なエネルギーバンド図である。図12(a)が比較例、図12(b)が本実施形態を表している。

【0087】

例えば、メモリセルの閾値Vt = 2V、選択トランジスタST1の閾値Vt = 3.5V、VREAD = 8V、VSR C = 1V、Vpre = 1.5V(又は1V)である。例えば、非選択ワード線WL6、WL7に印加された読み出しパス電圧VREADに起因して、チャンネルが4V程度までブーストされる。

【0088】

比較例では、選択ゲート線SGDに0Vが印加され、選択トランジスタST1のチャンネルが-3.5V程度である。これに対して、本実施形態では、選択ゲート線SGDに電圧VSR C (= 1V)が印加され、選択トランジスタST1のチャンネルが-2.5V程度である。これにより、本実施形態では、選択ゲート線SGDとこれに隣接するワード線WL7との間でチャンネルの電圧差が低減され、リードディスタ urbが緩和される。

【0089】

[2-2] ビット線シールド方式の動作

図13は、ビット線シールド方式におけるNAND型フラッシュメモリ10の読み出し動作を説明するタイミングチャートである。ビット線シールド方式では、偶数ビット線が

らデータを読み出す場合は、奇数ビット線には、接地電圧 V_{ss} が印加され、一方、奇数ビット線からデータを読み出す場合は、偶数ビット線には、接地電圧 V_{ss} が印加される。以下では、A B L方式と異なる動作のみを説明する。

【0090】

時刻 t_2 において、コントローラ 20 は、選択 S G S 及び非選択 S G S に電圧 V_{SRC} を印加する。すると、選択 N A N D ストリング及び非選択 N A N D ストリングにおいて、選択トランジスタ S T 2 がオフする。これにより、N A N D ストリングに電流が流れないため、ビット線 B L を電圧 V_{pre} により確実に充電することができる。

【0091】

なお、時刻 t_2 において S G S に印加する電圧は、ソース線と同じ電圧 V_{SRC} に限定されず、選択トランジスタ S T 2 がカットオフする電圧であればよい。すなわち、時刻 t_2 において S G S に印加する電圧は、接地電圧 V_{ss} より高く、かつ“ソース線の電圧 V_{SRC} に選択トランジスタ S T 2 の閾値を加えた電圧”以下であればよい。

【0092】

時刻 t_3 において、コントローラ 20 は、S G S に電圧 V_{SG} を印加する。その後、センスアンプ部 14 は、ビット線の電圧を判定することで、メモリセルのデータを読み出す。

【0093】

(比較例)

図 14 は、比較例に係る読み出し動作を説明するタイミングチャートである。比較例では、時刻 t_2 において、コントローラ 20 は、非選択 S G D、選択 S G S、及び非選択 S G S に接地電圧 V_{ss} を印加する。これにより、非選択 N A N D ストリングにおいて、選択トランジスタ S T 1 がオフする。また、選択 N A N D ストリング及び非選択 N A N D ストリングにおいて、選択トランジスタ S T 2 がオフする。

【0094】

A B L 方式の場合と同様に、比較例では、非選択 S G D とこれに隣接するワード線との電圧差が大きくなっている。一方、本実施形態では、選択ゲート線 S G D とこれに隣接するワード線 W L との間でチャネルの電圧差が低減され、リードディスタ urb が緩和される。

【0095】

[3] 実施形態の効果

例えば、選択ゲート線 S G D の隣にダミーセル（メモリセルでも同様）が配置されているものとする。選択ゲート線 S G D の隣のダミーセルがリードディスタ urb を受ける回数は、通常メモリセルに比べてワード線 W L の数だけ多くなるので、通常メモリセルのディスタ urb は許容範囲に収まっても、ダミーセルはよりディスタ urb を受ける。ダミーセルの閾値がセル電流（読み出し時に N A N D ストリングに流れる電流）に影響するレベルまで上がると、読み出し動作に影響を与える。

【0096】

本実施形態では、ソース線 S L を接地電圧 V_{ss} ではなく 1 V 程度の正の電圧 V_{SRC} にバイアスするような Negative Sense 動作において、非選択 N A N D ストリングの選択ゲート線 S G D に例えばソース線 S L に印加する電圧と同じ電圧 V_{SRC} を印加する。これにより、選択ゲート線 S G D とこれに隣接するダミーワード線 W L との間でチャネルの電圧差が低減される。この結果、選択ゲート線 S G D の隣のダミーセル（又はメモリセル）におけるホットキャリア注入起因のリードディスタ urb を抑えることができる。

【0097】

(変形例)

1 つのメモリセルトランジスタ M T が 2 ビットデータを保持する場合、その閾値電圧は、保持データに応じて 4 種類のレベルのいずれかを取る。4 種類のレベルを低い方から順に、消去レベル、A レベル、B レベル、及び C レベルとした場合、A レベルの読み出し動作時に選択ワード線に印加される電圧は、例えば 0 V ~ 0.55 V の間である。これに限定されることなく、0.1 V ~ 0.24 V, 0.21 V ~ 0.31 V, 0.31 V ~ 0.

4 V , 0 . 4 V ~ 0 . 5 V , 0 . 5 V ~ 0 . 5 5 V等のいずれかの間であっても良い。Bレベルの読み出し時に選択ワード線に印加される電圧は、例えば1 . 5 V ~ 2 . 3 Vの間である。これに限定されることなく、1 . 6 5 V ~ 1 . 8 V , 1 . 8 V ~ 1 . 9 5 V , 1 . 9 5 V ~ 2 . 1 V , 2 . 1 V ~ 2 . 3 V等のいずれかの間であっても良い。Cレベルの読み出し動作時に選択ワード線に印加される電圧は、例えば3 . 0 V ~ 4 . 0 Vの間である。これに限定されることなく、3 . 0 V ~ 3 . 2 V , 3 . 2 V ~ 3 . 4 V , 3 . 4 V ~ 3 . 5 V , 3 . 5 V ~ 3 . 6 V , 3 . 6 V ~ 4 . 0 V等のいずれかの間であっても良い。読み出し動作の時間 (t R) としては、例えば2 5 μ s ~ 3 8 μ s , 3 8 μ s ~ 7 0 μ s , 7 0 μ s ~ 8 0 μ s等のいずれかの間であっても良い。

【0098】

書き込み動作は、プログラムとプログラムベリファイを含む。書き込み動作においては、プログラム時に選択されたワード線に最初に印加される電圧は、例えば1 3 . 7 V ~ 1 4 . 3 Vの間である。これに限定されることなく、例えば1 3 . 7 V ~ 1 4 . 0 V , 1 4 . 0 V ~ 1 4 . 6 V等のいずれかの間であっても良い。奇数番目のワード線を書き込む際の、選択されたワード線に最初に印加される電圧と、偶数番目のワード線を書き込む際の、選択されたワード線に最初に印加される電圧とを異ならせても良い。プログラム動作をI S P P方式 (Incremental Step Pulse Program) としたとき、ステップアップの電圧として、例えば0 . 5 V程度が挙げられる。非選択のワード線に印加される電圧としては、例えば6 . 0 V ~ 7 . 3 Vの間であっても良い。これに限定されることなく、例えば7 . 3 V ~ 8 . 4 Vの間であってもよく、6 . 0 V以下であっても良い。非選択のワード線が奇数番目のワード線であるか、偶数番目のワード線であるかにより、印加するパス電圧を異ならせても良い。書き込み動作の時間 (t P r o g) としては、例えば1 7 0 0 μ s ~ 1 8 0 0 μ s , 1 8 0 0 μ s ~ 1 9 0 0 μ s , 1 9 0 0 μ s ~ 2 0 0 0 μ sの間であっても良い。

【0099】

消去動作においては、半導体基板上部に配置され、かつ、メモリセルが上方に配置されたウェルに最初に印加される電圧は、例えば1 2 V ~ 1 3 . 6 Vの間である。これに限定されることなく、例えば1 3 . 6 V ~ 1 4 . 8 V , 1 4 . 8 V ~ 1 9 . 0 V , 1 9 . 0 V ~ 1 9 . 8 V , 1 9 . 8 V ~ 2 1 V等のいずれかの間であっても良い。消去動作の時間 (t E r a s e) としては、例えば3 0 0 0 μ s ~ 4 0 0 0 μ s , 4 0 0 0 μ s ~ 5 0 0 0 μ s , 4 0 0 0 μ s ~ 9 0 0 0 μ sの間であっても良い。

【0100】

また、メモリセルは、例えば以下のような構造であっても良い。メモリセルは、シリコン基板等の半導体基板上に膜厚が4 nm ~ 1 0 nmのトンネル絶縁膜を介して配置された電荷蓄積膜を有する。この電荷蓄積膜は、膜厚が2 nm ~ 3 nmのシリコン窒化 (S i N) 膜、またはシリコン酸窒化 (S i O N) 膜などの絶縁膜と、膜厚が3 nm ~ 8 nmのポリシリコン (P o l y - S i) 膜との積層構造にすることができる。ポリシリコン膜には、ルテニウム (R u) などの金属が添加されていても良い。メモリセルは、電荷蓄積膜の上に絶縁膜を有する。この絶縁膜は、例えば膜厚が3 nm ~ 1 0 nmの下層H i g h - k膜と、膜厚が3 nm ~ 1 0 nmの上層H i g h - k膜とに挟まれた、膜厚が4 nm ~ 1 0 nmのシリコン酸化 (S i O) 膜を有する。H i g h - k膜の材料としては、酸化ハフニウム (H f O) などが挙げられる。また、シリコン酸化膜の膜厚は、H i g h - k膜の膜厚よりも厚くすることができる。絶縁膜上には、膜厚が3 nm ~ 1 0 nmの仕事関数調整用の膜を介して、膜厚が3 0 nm ~ 7 0 nmの制御電極が設けられる。ここで仕事関数調整用膜は、例えば酸化タンタル (T a O) などの金属酸化膜、窒化タンタル (T a N) などの金属窒化膜等である。制御電極には、タングステン (W) などを用いることができる。メモリセル間にはエアギャップを配置することができる。

【0101】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その

他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0102】

10...NAND型フラッシュメモリ、11...メモリセルアレイ、12...ロウデコーダ、13...カラムデコーダ、14...センスアンプ部、15...データキャッシュ、16...コアドライバ、17...電圧発生回路、18...入出力回路、19...アドレスレジスタ、20...コントローラ、21...ステータスレジスタ、22...NANDストリング、30...ウェル領域、31～33...配線層、35...半導体層、36...ゲート絶縁膜、37...電荷蓄積層、38...ブロック絶縁膜、39, 42, 45...金属配線層、40, 43...拡散層、41, 44...コンタクトプラグ。

【書類名】特許請求の範囲

【請求項 1】

複数のメモリストリングを備え、前記複数のメモリストリングの各々は、第 1 及び第 2 選択トランジスタと、前記第 1 及び第 2 選択トランジスタの間に直列接続されかつ積層された複数のメモリセルとを備える、メモリセルアレイと、

前記複数のメモリセルにそれぞれ接続された複数のワード線と、

前記複数の第 1 選択トランジスタに共通接続されたビット線と、

前記複数の第 1 選択トランジスタのゲートにそれぞれ接続された複数の第 1 選択ゲート線と、

前記複数の第 2 選択トランジスタのゲートにそれぞれ接続された複数の第 2 選択ゲート線と、

前記複数の第 2 選択トランジスタに共通接続されたソース線と

を具備し、

読み出し動作において、前記ソース線に、接地電圧より高い第 1 電圧 V_{SRC} が印加され、

前記読み出し動作において、選択されたメモリストリングに接続された第 1 及び第 2 選択ゲート線に、前記第 1 及び第 2 選択トランジスタをオン状態とする第 2 電圧 V_{SG} が印加され、

前記読み出し動作の第 1 期間において、非選択のメモリストリングに接続された第 1 選択ゲート線に、前記第 2 電圧が印加され、

前記読み出し動作の前記第 1 期間に続く第 2 期間において、前記非選択のメモリストリングに接続された第 1 選択ゲート線に、前記接地電圧より高く、かつ前記第 1 電圧に前記第 1 選択トランジスタの閾値を加えた電圧以下である第 3 電圧 V_{SRC} が印加されることを特徴とする半導体記憶装置。

【請求項 2】

前記第 3 電圧 V_{SRC} は、前記第 1 電圧 V_{SRC} と同じであることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記読み出し動作において、前記非選択のメモリストリングに接続された第 2 選択ゲート線に、前記第 2 電圧が印加されることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 4】

前記第 1 期間において、前記非選択のメモリストリングに接続された第 2 選択ゲート線に、前記第 2 電圧が印加され、

前記第 2 期間において、前記非選択のメモリストリングに接続された第 2 選択ゲート線に、前記第 3 電圧が印加され、

前記読み出し動作の前記第 2 期間に続く第 3 期間において、前記非選択のメモリストリングに接続された第 2 選択ゲート線に、前記第 2 電圧が印加されることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 5】

前記第 1 期間において、非選択のワード線に、メモリセルをオン状態とする第 4 電圧が印加されることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体記憶装置。

【請求項 6】

前記第 1 期間において、前記ビット線に前記第 1 電圧が印加され、又は前記ビット線がフローティング状態にされることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体記憶装置。

【請求項 7】

前記複数の第 2 選択ゲート線は、1 本の第 2 選択ゲート線として共有されることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体記憶装置。

【書類名】要約書

【要約】

【課題】 非選択メモリストリングのリードディスタープを抑制する。

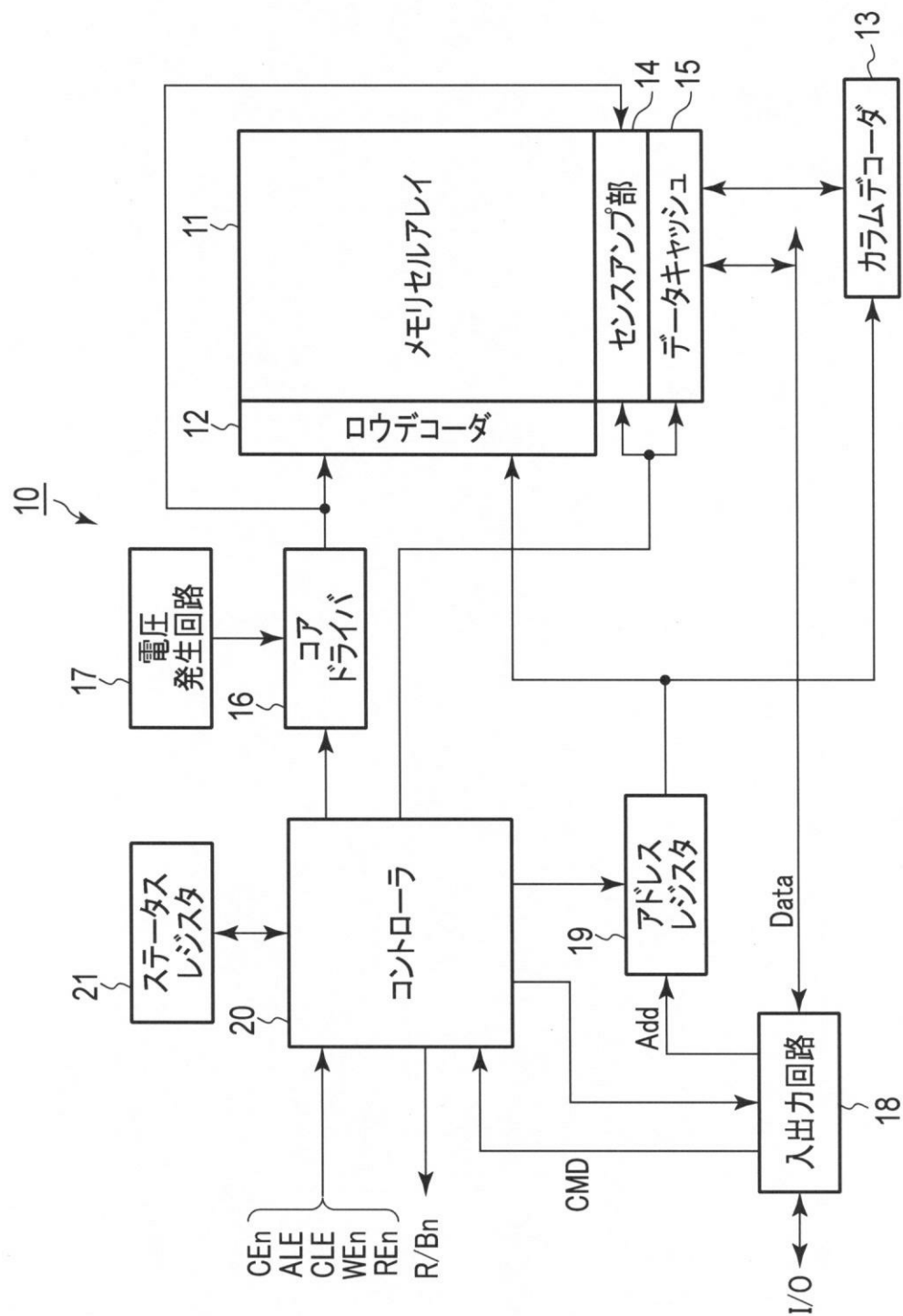
【解決手段】 半導体記憶装置は、第1及び第2選択トランジスタと、複数のメモリセルとを備えるメモリストリングを備える。読み出し動作において、ソース線に、接地電圧より高い第1電圧が印加され、選択されたメモリストリングに接続された第1及び第2選択ゲート線に、第1及び第2選択トランジスタをオン状態とする第2電圧が印加される。読み出し動作の第1期間において、非選択のメモリストリングに接続された第1選択ゲート線に、第2電圧が印加され、読み出し動作の第1期間に続く第2期間において、非選択のメモリストリングに接続された第1選択ゲート線に、接地電圧より高く、かつ第1電圧に第1選択トランジスタの閾値を加えた電圧以下である第3電圧が印加される。

【選択図】 図10

【書類名】 図面

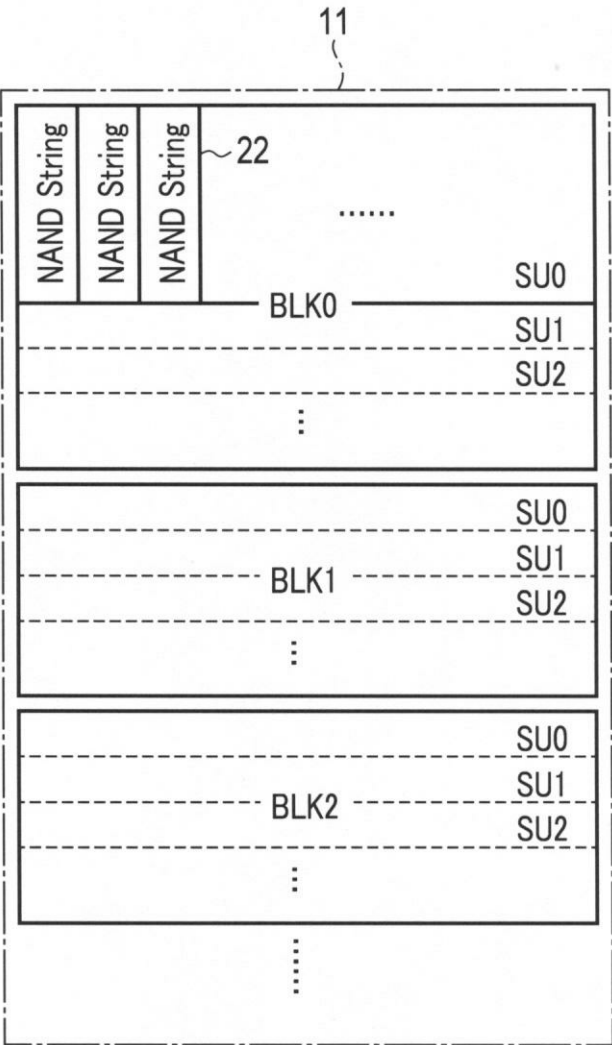
【図 1】

图 1



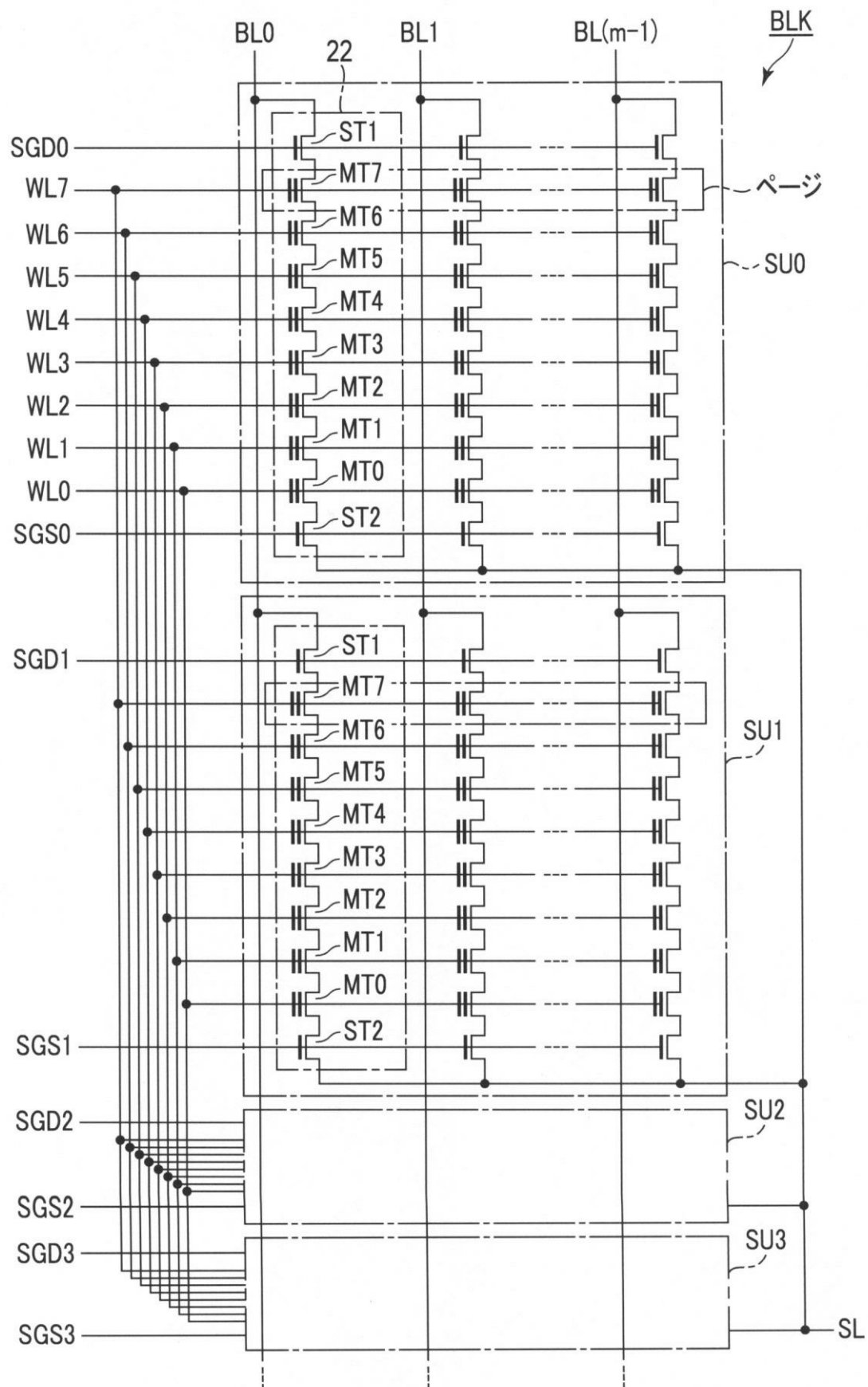
【図 2】

図2

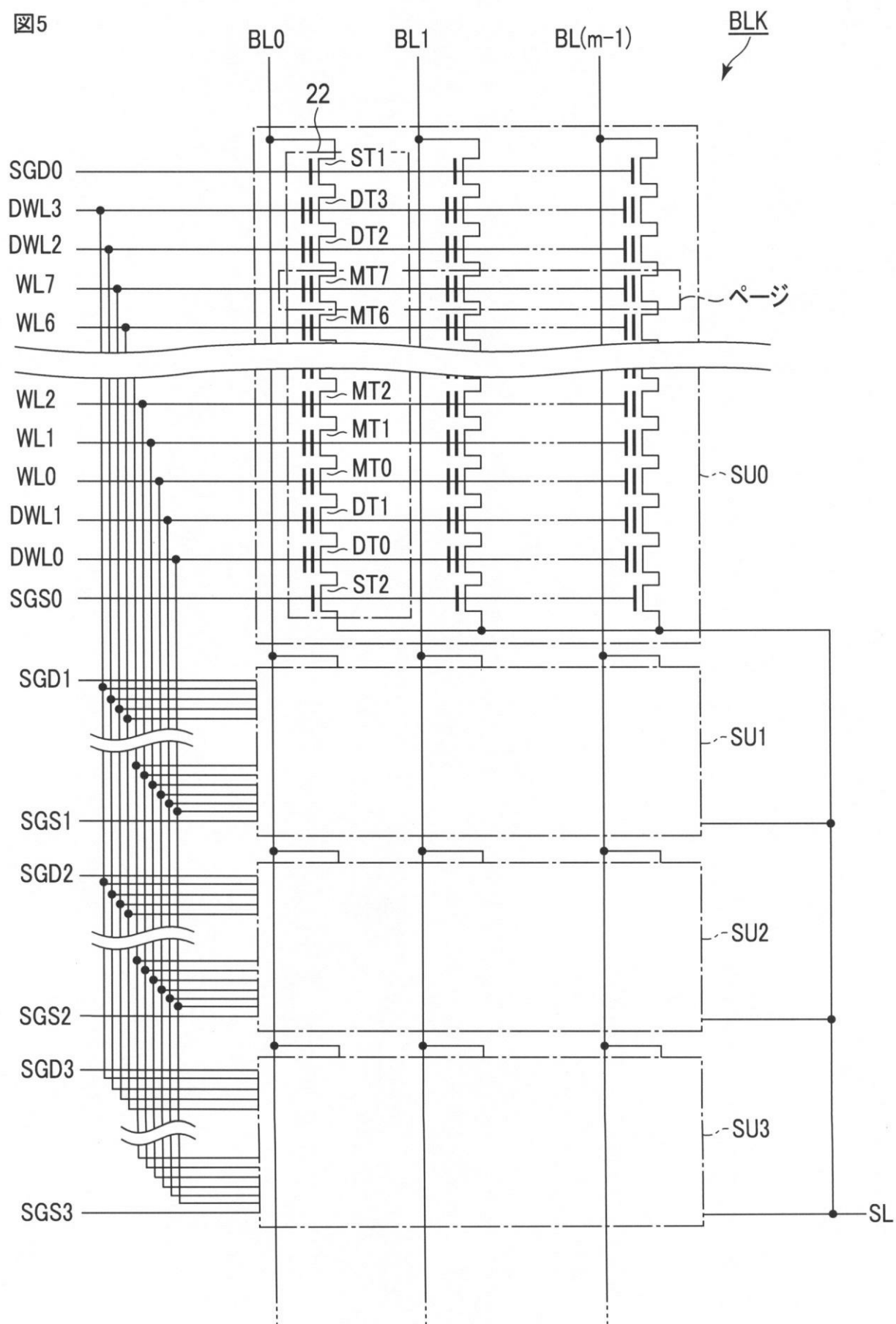


【図3】

図3

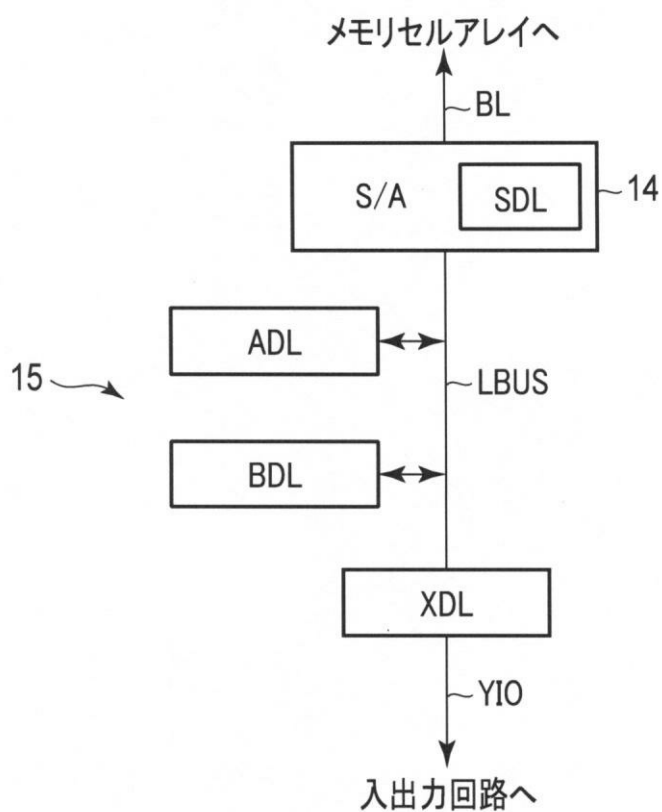


【図5】



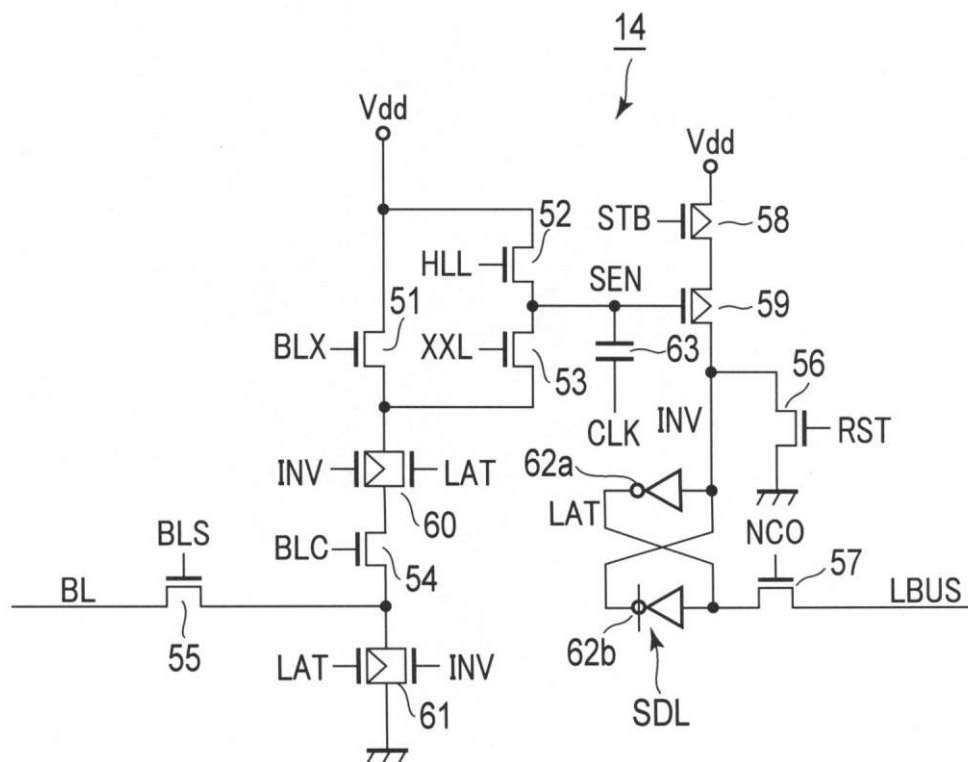
【図6】

図6



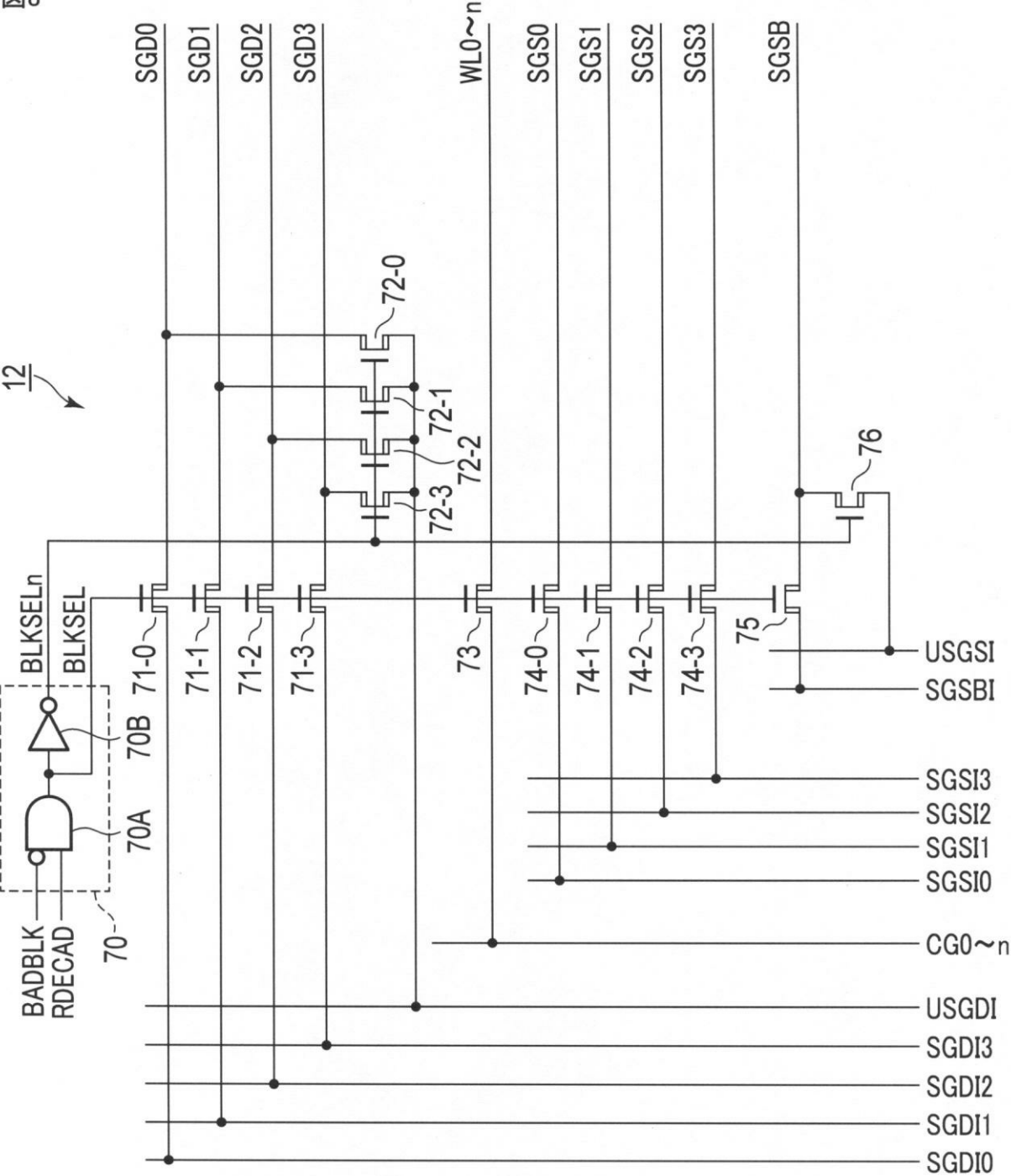
【図7】

図7



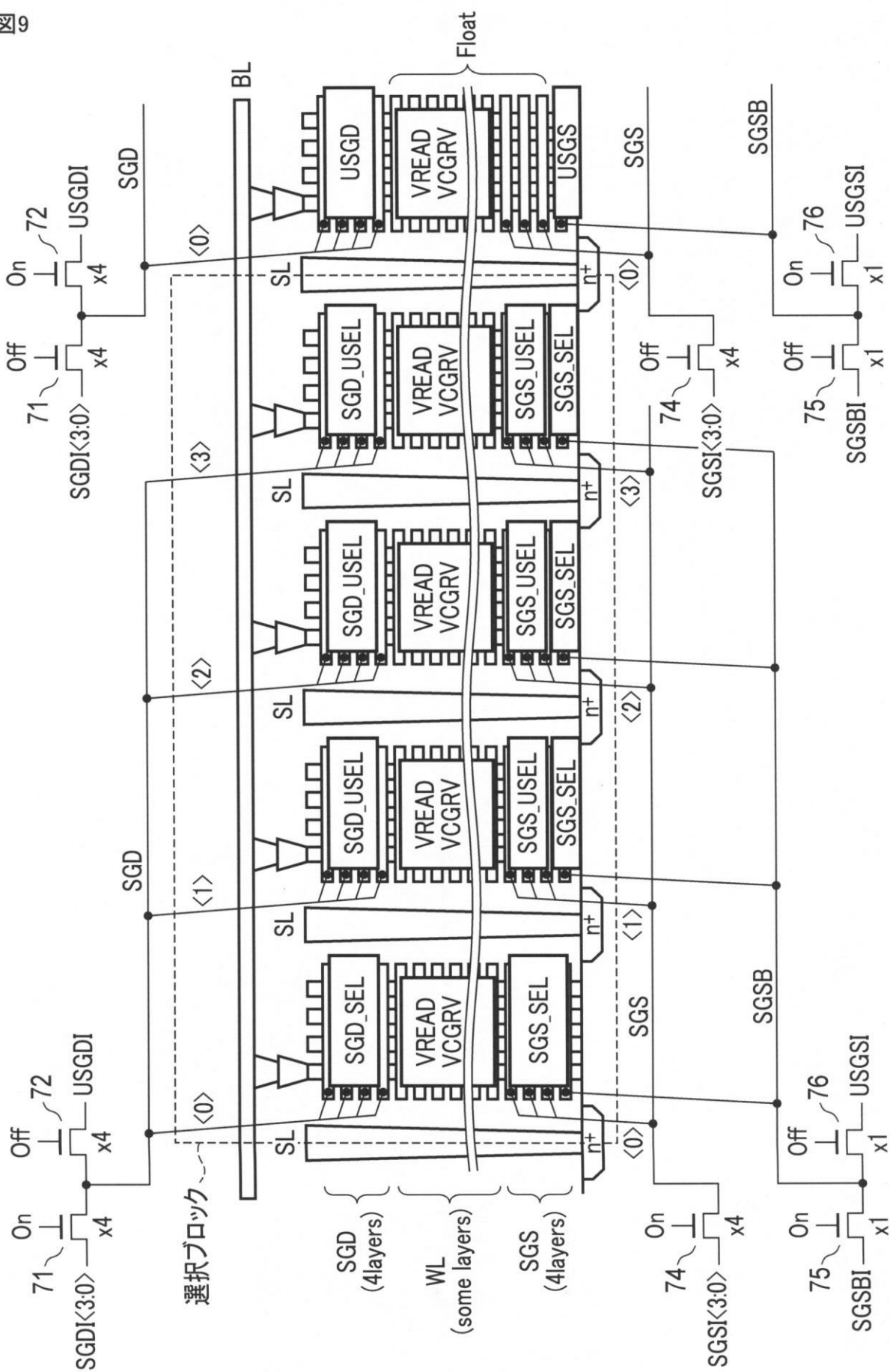
【図 8】

図8



【図9】

図9



【図 1 0】

図10

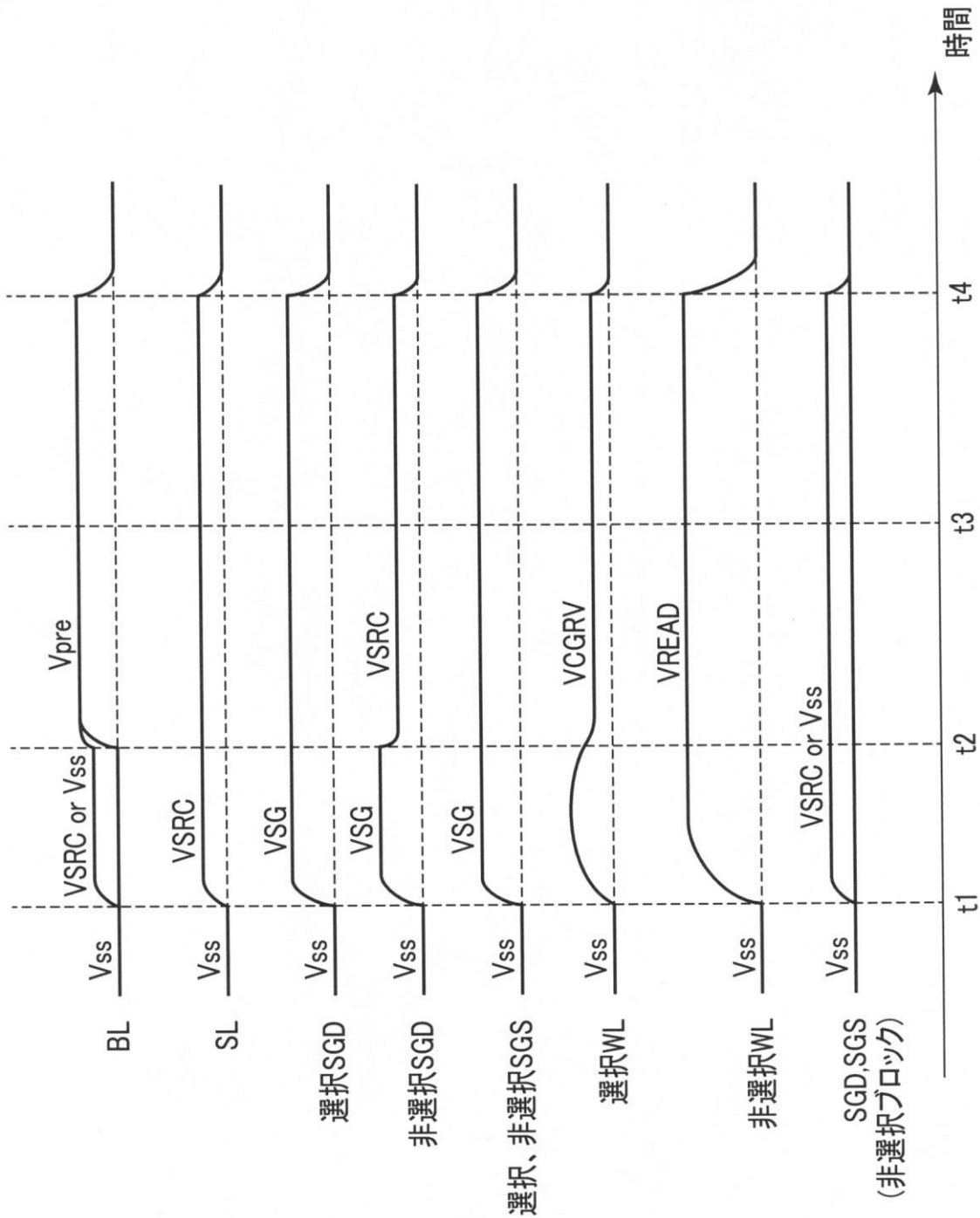
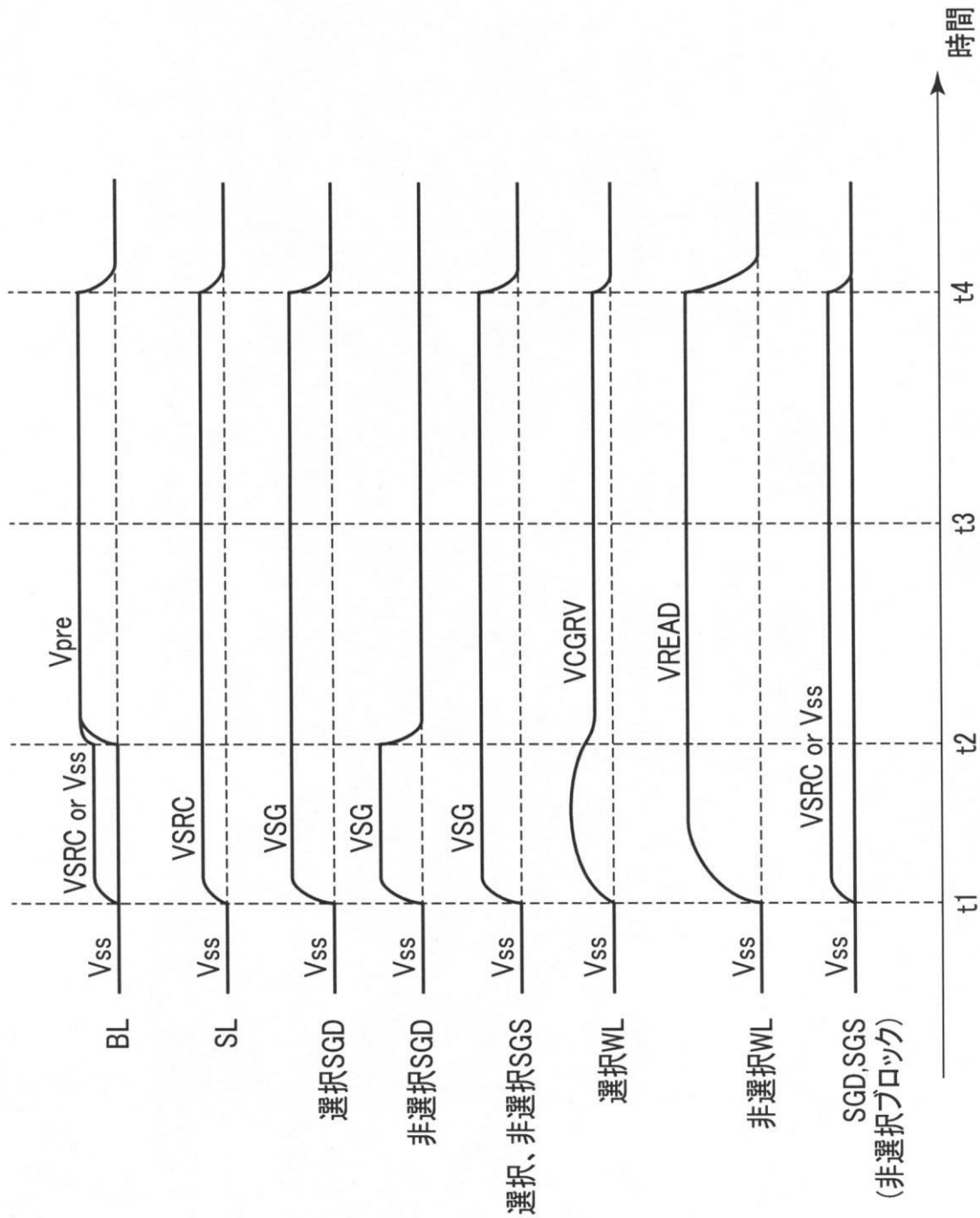
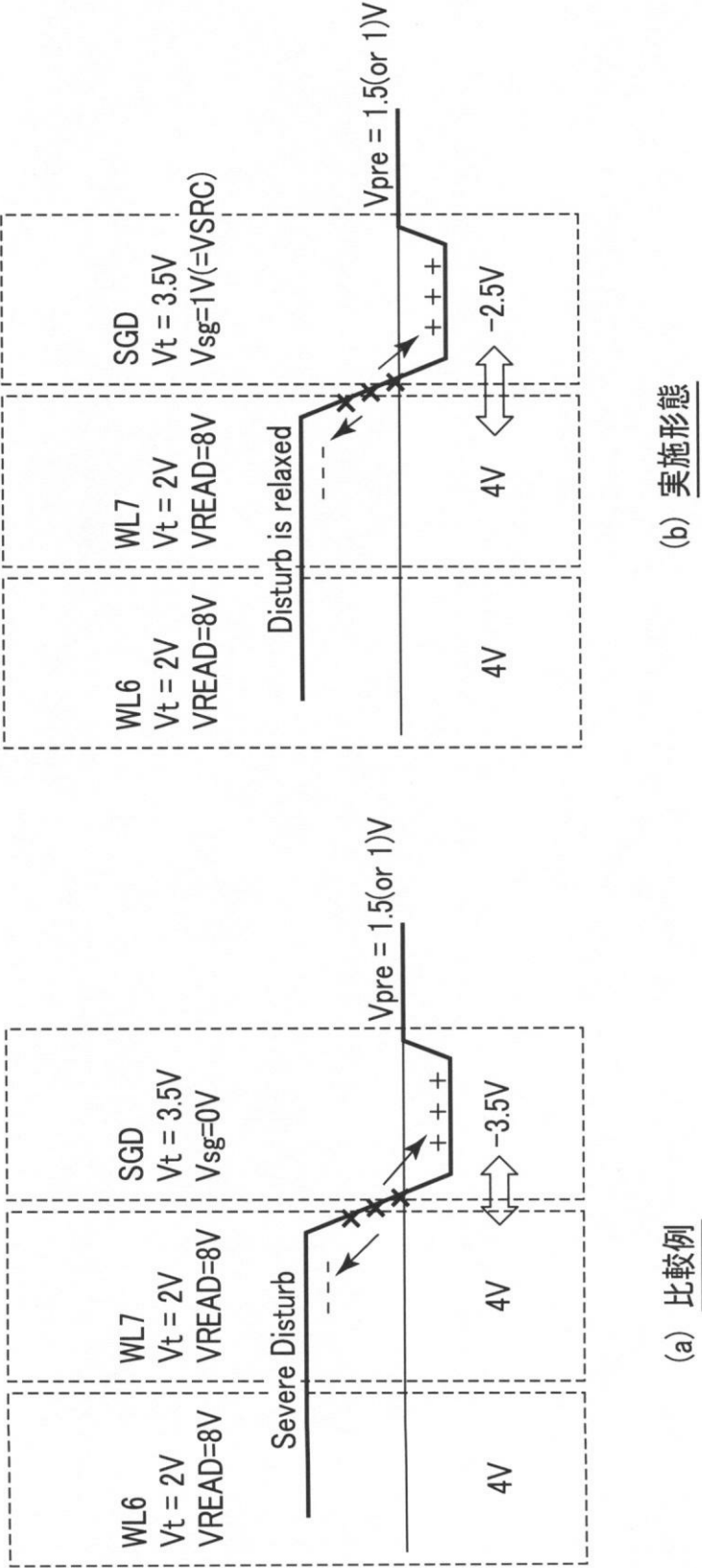


図11



【図 1 2】

図12



【図 1 3】

図 13

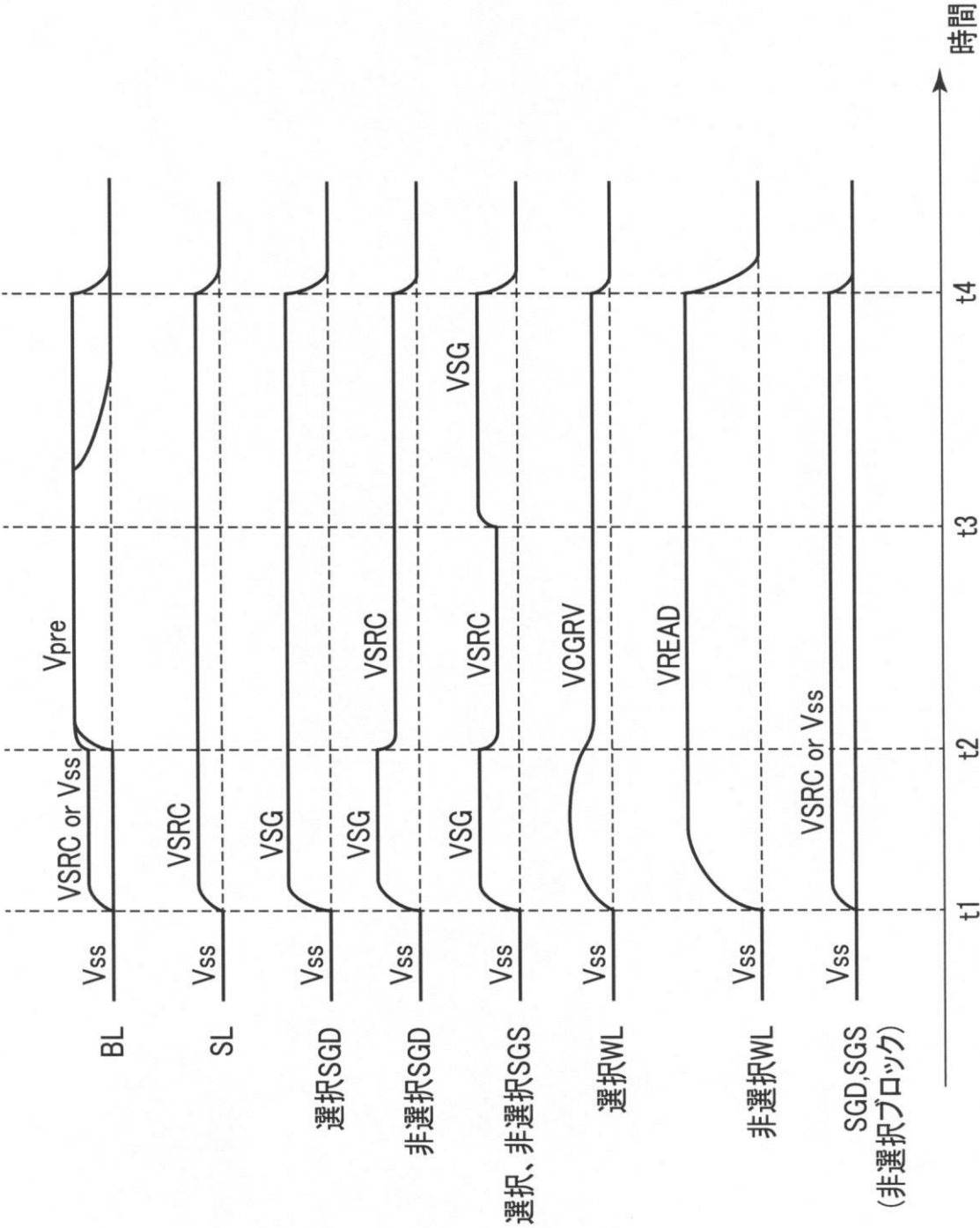


図14

