

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

半導体層中の結晶欠陥が、半導体デバイスの信頼性不良の原因となる場合がある。例えば、SiC基板を用いたSiCデバイスにおいて、SiC基板中の基底面転位（BPD: Basal Plane Dislocation）からデバイス動作中に成長する積層欠陥（SF: Stacking Fault）が、SiCデバイスの信頼性不良の原因となることが知られている。このため、良品と不良品を選別するダイソートの際に信頼性不良を生じ得る半導体チップを識別できることが望ましい。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-349482号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、信頼性不良の低減を可能とする半導体装置を提供することにある。

【課題を解決するための手段】

【0005】

実施形態の半導体装置は、フォトルミネッセンス法により識別可能な第1の識別マークと、可視光により識別可能な第2の識別マークと、を備える。

【図面の簡単な説明】

【0006】

【図1】第1の実施形態の半導体装置の模式上面図。

【図2】第1の実施形態の半導体装置の模式断面図。

【図3】第1の実施形態の第1の識別マークの模式図。

【図4】第1の実施形態の第2の識別マークの模式図。

【図5】第1の実施形態の半導体装置の検査方法の説明図。

【図6】第2の実施形態の第1の識別マーク及び第2の識別マークの模式図。

【図7】第3の実施形態の第1の識別マーク及び第2の識別マークの模式図。

【発明を実施するための形態】

【0007】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一の又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0008】

また、以下の説明において、 n^+ 、 n 、 n^- 及び、 p^+ 、 p 、 p^- の表記は、各導電型における不純物濃度の相対的な高低を表す。すなわち n^+ は n よりも n 型の不純物濃度が相対的に高く、 n^- は n よりも n 型の不純物濃度が相対的に低いことを示す。また、 p^+ は p よりも p 型の不純物濃度が相対的に高く、 p^- は p よりも p 型の不純物濃度が相対的に低いことを示す。なお、 n^+ 型、 n^- 型を単に n 型、 p^+ 型、 p^- 型を単に p 型と記載する場合もある。

【0009】

（第1の実施形態）

本実施形態の半導体装置は、フォトルミネッセンス法により識別可能な第1の識別マー

クと、可視光により識別可能な第2の識別マークと、を備える。

【0010】

図1は、本実施形態の半導体装置の模式上面図である。図2は、本実施形態の半導体装置の模式断面図である。図2は、図1のA-A'断面図である。本実施形態の半導体装置は、SiC基板を用いたPINダイオードである。

【0011】

PINダイオード100は、素子領域100a、終端領域100b、ダイシング領域100c、第1の識別マーク110、第2の識別マーク120を備える。素子領域100aは、終端領域100bに囲まれる。終端領域100bは、ダイシング領域100cに囲まれる。

【0012】

素子領域100aは、PINダイオード100の順バイアス時に主に電流が流れる領域として機能する。

【0013】

終端領域100bは、PINダイオード100の逆バイアス時に、素子領域100aの端部に印加される電界の強度を緩和し、PINダイオード100の素子耐圧を向上させる領域として機能する。終端領域100bは、例えば、リサーフ構造やガードリング構造を備える。

【0014】

ダイシング領域100cは、半導体層をダイシングにより複数の半導体チップに分割するための切断予定領域である。本明細書中では、切断後に半導体チップに残ったダイシング領域100cの一部も、単に、ダイシング領域100cと称する。

【0015】

第1の識別マーク110と第2の識別マーク120は、終端領域100bとダイシング領域100cとの間の領域に設けられる。言い換えれば、第1の識別マーク110と第2の識別マーク120は、素子領域100aとの間に、終端領域100bを挟んで設けられた領域に設けられる。

【0016】

PINダイオード100は、半導体層10、ベース酸化膜（第1の絶縁膜）12、層間絶縁膜（第2の絶縁膜）14、アノード電極16、カソード電極18を備える。半導体層10中に、n⁺型のカソード領域20、n⁻型のドリフト領域22、p型のアノード領域24、p⁻型のリサーフ領域25、p型のガードリング領域26が設けられる。

【0017】

p型のアノード領域24は素子領域100aに設けられる。p⁻型のリサーフ領域25は、終端領域100bに設けられる。p⁻型のリサーフ領域25は、p型のアノード領域24を囲んで環状に設けられる。p⁻型のリサーフ領域25は、p型のアノード領域24に接する。p⁻型のリサーフ領域25は、p型のアノード領域24よりもp型不純物濃度が低い。p型のガードリング領域26は、終端領域100bに設けられる。p型のガードリング領域26は、複数個設けられ、各々が環状の形状を備える。

【0018】

半導体層10は、シリコンよりもバンドギャップの広い半導体である。半導体層10は、例えば、4H-SiC構造のSiC層である。半導体層10の膜厚は、例えば、5μm以上600μm以下である。

【0019】

ベース酸化膜12は、例えば、熱酸化膜である。ベース酸化膜12は、例えば、シリコン酸化膜である。

【0020】

層間絶縁膜14は、例えば、CVD (Chemical Vapor Deposition) 法により形成される堆積膜である。層間絶縁膜14は、例えば、シリコン酸化膜である。

【0021】

第1の識別マーク110は、フォトルミネッセンス法（PL法）により識別可能なマークである。フォトルミネッセンス法は、物質に光を照射し、励起された電子が基底状態に遷移する際に発生する光を観測する方法である。励起光として、例えば、紫外線レーザを用いる。フォトルミネッセンス法により、例えば、単結晶中の結晶欠陥や不純物を評価することが可能となる。

【0022】

図3は、本実施形態の第1の識別マークの模式図である。図3（a）は上面図、図3（b）は図3（a）のB-B'断面図である

【0023】

第1の識別マーク110は、例えば、図3（a）に示すように文字列を含む。第1の識別マーク110には、文字列以外にも1次元や2次元のバーコードを適用することも可能である。

【0024】

第1の識別マーク110は、非晶質のSiC領域（非晶質領域）110aを含む。非晶質のSiC領域110aは、半導体層10に設けられる。非晶質のSiC領域110aが、例えば、文字列のパターンとなるよう形成されている。

【0025】

非晶質のSiC領域110aは、例えば、半導体層10に選択的にアルゴン（Ar）をイオン注入することにより形成することが可能である。また、非晶質のSiC領域110aは、例えば、半導体層10に選択的に電子線を照射することにより形成することで可能である。

【0026】

単結晶の半導体層10中に非晶質のSiC領域110aを設けることで、フォトルミネッセンス法により非晶質のSiC領域110aが発光し、第1の識別マーク110を識別することが可能となる。

【0027】

なお、非晶質のSiC領域110aにかえて、多結晶質のSiC領域（多結晶質領域）を設けても構わない。SiC領域110aは、例えば、アルミニウム（Al）等のp型不純物のイオン注入により形成されたp型不純物領域、又は、窒素（N）等のn型不純物のイオン注入により形成されたn型不純物領域であってもかまわない。

【0028】

第2の識別マーク120は、可視光により識別可能なマークである。可視光は、例えば、波長が380nm以上780nm以下の光である。

【0029】

図4は、本実施形態の第2の識別マークの模式図である。図4（a）は上面図、図4（b）は図4（a）のC-C'断面図である

【0030】

第2の識別マーク120は、例えば、図4（a）に示すように文字列を含む。第2の識別マーク120には、文字列以外にも1次元や2次元のバーコードを適用することも可能である。

【0031】

第2の識別マーク120は、金属領域120aを含む。金属領域120aは、層間絶縁膜14上に設けられる。金属領域120aが、例えば、文字列のパターンとなるよう形成されている。

【0032】

金属領域120aは、例えば、層間絶縁膜14上に形成した金属膜をパターニングすることで形成することが可能である。金属領域120aは、例えば、アノード電極16と同時に形成することが可能である。

【0033】

金属領域120aを設けることで、可視光により第2の識別マーク120を識別することが可能となる。

【0034】

本実施形態では、第1の識別マーク110と、第2の識別マーク120は同一のパターンである。しかし、第1の識別マーク110と第2の識別マーク120との対応付けがとれることを前提に、異なるパターンを採用することも可能である。

【0035】

次に、本実施形態の半導体装置の検査方法について、図1～図5を参照して説明する。本実施形態の半導体装置の検査方法は、半導体層にフォトルミネッセンス法により識別可能な複数の異なる第1の識別マークを形成し、上記半導体層上に可視光により識別可能な複数の異なる第2の識別マークを形成し、上記半導体層に対しフォトルミネッセンス法を用いて結晶欠陥検査を行い、上記結晶欠陥検査により検出された結晶欠陥と、フォトルミネッセンス法を用いて識別した上記第1の識別マークの対応付けを行い、結晶欠陥と対応付けされた上記第1の識別マークを有する半導体チップを、上記第1の識別マークと対応する上記第2の識別マークを可視光により識別することで不良品と判定する。

【0036】

図5は、本実施形態の半導体装置の検査方法の説明図である。図5は、本実施形態の半導体装置の検査方法で検査される半導体装置のダイソート直前の状態を示す。図5(a)が半導体装置の上面図、図5(b)が図5(a)の一部領域の拡大図である。

【0037】

例えば、半導体層10上に複数の半導体チップが形成されている。各半導体チップはPINダイオード100である。複数の半導体チップがダイシング領域100cを間に挟んで格子状に配置される。

【0038】

図5(a)が、半導体層10上にリソグラフィ法のステップアンドリピート方式でパターン形成する際の1ショットに対応するパターンを示す。すなわち、本実施形態では、20チップ分のパターンが1ショットで形成可能であるとする。

【0039】

まず、 n^+ 型のカソード領域20と、 n^- 型のドリフト領域22を備える半導体層10を準備する。半導体層10は、4H-SiCの基板である。

【0040】

次に、半導体層10に第1の識別マーク110のパターンを形成する。例えば、半導体層10を熱酸化してベース酸化膜12を形成する。

【0041】

次に、リソグラフィ法によりフォトリソグロム膜を第1の識別パターン110に対応するパターンにパターンニングする。この時、1ショットで形成する20チップは、それぞれが異なる第1の識別マーク120を備える。

【0042】

次に、フォトリソグロム膜をマスクにアルゴン(Ar)のイオン注入を行い、非晶質のSiC領域110aを形成する。

【0043】

その後、フォトルミネッセンス法により、半導体層10の結晶欠陥検査を行う。例えば、信頼性不良の原因となり得る結晶欠陥が発見された場合、その結晶欠陥に対応するチップの第1の識別マーク110をフォトルミネッセンス法により識別する。結晶欠陥が発見されたチップの第1の識別マーク110を記憶する。

【0044】

その後、公知のプロセス技術により、 p 型のアノード領域24、 p^- 型のリサーフ領域25、 p 型のガードリング領域26、アノード電極16を形成する。

【0045】

アノード電極16を形成する際に、同時に第2の識別マーク120のパターンを形成す

る。すなわち、金属領域120aをパターンングにより形成する。1ショットで形成する20チップは、それぞれが第1の識別マーク110に対応付けられた異なる第2の識別マーク120を備える。

【0046】

その後、公知のプロセス技術により、カソード電極18を形成する。

【0047】

次に、製造された複数の半導体チップの良品と不良品とを選別するダイソートを行う。ダイソートの際に、例えば、各半導体チップの第2の識別マーク120を可視光により読み取る。信頼性不良の原因となり得る結晶欠陥が発見されたチップの第1の識別マーク110に対応する第2の識別マーク120を備える半導体チップは不良品と判定する。

【0048】

ダイソートの後に、半導体層10は、例えば、ダイシングブレードを用いてダイシング領域100cに沿って切断され、半導体チップが個片化される。

【0049】

なお、各半導体チップの第2の識別マーク120を可視光で読み取り、不良品を選別することは、半導体チップが個片化された後に行うことも可能である。

【0050】

次に、本実施形態の作用及び効果について説明する。

【0051】

半導体層中の結晶欠陥が、半導体デバイスの信頼性不良の原因となる場合がある。例えば、SiC基板の場合、SiC基板に含まれるBPDが、SiC基板上にSiC層をエピタキシャル成長する際に、SiC層中に伝搬する。SiC層に伝搬したBPDの内、表層まで達したBPDから、半導体デバイスの動作によりが拡張する。拡張したSFが、オン電圧の変動等の信頼性不良の原因となる。しかし、信頼性不良は、半導体デバイス製造直後の電氣的評価では識別することが困難である。

【0052】

信頼性不良の原因となり得る結晶欠陥の内、BPDのような線欠陥は、可視光による検査では発見できない。しかし、例えば、半導体チップの製造前、或いは、製造途中でフォトルミネッセンス法を用いた結晶欠陥検査を行うことにより発見することが可能である。しかしながら、半導体層には複数の半導体チップが形成されるため、発見された結晶欠陥と半導体チップを対応づけることが困難である。

【0053】

例えば、半導体層を載置したステージの位置情報で、対応付けることも考えられる。しかし、この方法では、特に、半導体チップのサイズが小さくなると十分な精度が得られず対応付けが困難となる。

【0054】

本実施形態では、フォトルミネッセンス法により識別可能な第1の識別マーク110を半導体チップに設ける。半導体層に形成される複数の半導体チップの間で、第1の識別マーク110が異なるようにする。

【0055】

したがって、半導体チップの製造前、或いは、製造途中でフォトルミネッセンス法を用いた結晶欠陥検査で発見された結晶欠陥を、第1の識別マーク110を用いることで、特定の半導体チップと対応付けすることが可能となる。

【0056】

更に、可視光により識別可能で、第1の識別マーク110と対応付けがされている第2の識別マーク120を用いて、半導体チップの製造後に容易に不良品である上記特定の半導体チップを識別することが可能となる。

【0057】

本実施形態の半導体装置によれば、結晶欠陥を原因として信頼性不良を生じ得る半導体チップを不良品として選別することが可能となる。よって、信頼性不良の低減を可能とす

【0058】

(第2の実施形態)

本実施形態の半導体装置は、第2の識別マークが、シリコンよりもバンドギャップの広い半導体層上の第1の絶縁膜の間に設けられた第2の絶縁膜の一部の領域を含み、第1の識別マークが、上記一部の領域下の半導体層に設けられた非晶質領域、多結晶質領域、n型不純物領域又はp型不純物領域を含むこと以外は、第1の実施形態と同様である。したがって、第1の実施形態と重複する内容については、記述を省略する。

【0059】

図6は、本実施形態の第1の識別マーク及び第2の識別マークの模式図である。図6 (a) は上面図、図6 (b) は図6 (a) のD-D' 断面図である

【0060】

本実施形態では、第1の識別マーク110と第2の識別マーク120とが平面的に同じ位置に設けられる。

【0061】

第1の識別マーク110及び第2の識別マーク120は、例えば、図6 (a) に示すように文字列を含む。第1の識別マーク110には、文字列以外にも1次元や2次元のバーコードを適用することも可能である。

【0062】

第1の識別マーク110は、p型不純物を含むp型のSiC領域(p型不純物領域)110bを含む。p型不純物は、例えば、アルミニウム(A1)である。

【0063】

p型のSiC領域110bは、半導体層10に設けられる。p型のSiC領域110bが、例えば、文字列のパターンとなるよう形成されている。

【0064】

単結晶の半導体層10中にp型のSiC領域110bを設けることで、フォトルミネッセンス法によりp型のSiC領域110bが発光し、第1の識別マーク110を識別することが可能となる。

【0065】

第2の識別マーク120は、半導体層10上に設けられたベース絶縁膜(第1の絶縁膜)12の間に挟まれた層間絶縁膜(第2の絶縁膜)14の一部の領域14aを含む。

領域14aが、例えば、文字列のパターンとなるよう形成されている。

【0066】

層間絶縁膜14の領域14aの上面は、凹凸が形成されている。領域14aの上面は、凹凸が形成されることで、可視光により第2の識別マーク120を識別することが可能となる。

【0067】

なお、領域14aの下の半導体層10に、p型のSiC領域110bが設けられている。

【0068】

第1の識別マーク110及び第2の識別マーク120は、以下の方法で形成することが可能である。

【0069】

まず、半導体層10上にベース酸化膜12を形成する。次に、リソグラフィ法によりフォトレジスト膜を第1の識別パターン110に対応するパターンにパターンニングする。

【0070】

パターンニングされたベース酸化膜12をマスクに半導体層10にp型不純物をイオン注入して、ベース酸化膜12の溝部の下の半導体層10にp型のSiC領域110bを形成する。

【0071】

次に、ベース酸化膜12上に層間絶縁膜14を堆積する。ベース酸化膜12の溝部は、層間絶縁膜14により埋め込まれる。埋め込まれたベース酸化膜12の溝部が領域14aとなる。層間絶縁膜14の領域14aの上面は、凹凸形状となる。

【0072】

なお、p型のSiC領域110bにかえてn型不純物を含むn型のSiC領域（n型不純物領域）を適用することも可能である。また、p型のSiC領域110bにかえて非晶質のSiC領域（非晶質領域）や、多結晶質のSiC領域（多結晶質領域）を適用することも可能である。

【0073】

本実施形態の半導体装置によれば、第1の実施形態同様、結晶欠陥を原因として信頼性不良を生じ得る半導体チップを不良品として選別することが可能となる。よって、信頼性不良の低減を可能とする半導体装置を提供することが可能となる。

【0074】

また、第1の識別マーク110と第2の識別マーク120とが平面的に同じ位置に設けられる。このため、第1の識別マーク110と第2の識別マーク120とを設けるために必要な面積を削減できる。また、第1の識別マーク110と第2の識別マーク120の形成が容易となる。

【0075】

（第3の実施形態）

本実施形態の半導体装置は、第2の識別マークが、半導体層表面に設けられた凹部を含み、第1の識別マークが、上記凹部下の半導体層に設けられた非晶質領域、多結晶質領域、n型不純物領域又はp型不純物領域を含むこと以外は、第1の実施形態と同様である。したがって、第1の実施形態と重複する内容については、記述を省略する。

【0076】

図7は、本実施形態の第1の識別マーク及び第2の識別マークの模式図である。図7（a）は上面図、図7（b）は図7（a）のD-D'断面図である

【0077】

本実施形態では、第1の識別マーク110と第2の識別マーク120とが平面的に同じ位置に設けられる。

【0078】

第1の識別マーク110及び第2の識別マーク120は、例えば、図7（a）に示すように文字列を含む。第1の識別マーク110には、文字列以外にも1次元や2次元のバーコードを適用することも可能である。

【0079】

第1の識別マーク110は、p型不純物を含むp型のSiC領域（p型不純物領域）110bを含む。p型不純物は、例えば、アルミニウム（Al）である。

【0080】

p型のSiC領域110bは、半導体層10に設けられる。p型のSiC領域110bが、例えば、文字列のパターンとなるよう形成されている。

【0081】

単結晶の半導体層10中にp型のSiC領域110bを設けることで、フォトルミネッセンス法によりp型のSiC領域110bが発光し、第1の識別マーク110を識別することが可能となる。

【0082】

第2の識別マーク120は、半導体層10表面に設けられた凹部（溝）15を含む。凹部15が、例えば、文字列のパターンとなるよう形成されている。

【0083】

半導体層10表面及びベース酸化膜12の上面は、凹凸が形成されている。半導体層10表面及びベース酸化膜12の上面に、凹凸が形成されることで、可視光により第2の識別マーク120を識別することが可能となる。

【0084】

なお、凹部15の下の半導体層10に、p型のSiC領域110bが設けられている。

【0085】

本実施形態では、例えば、ベース酸化膜12上に層間絶縁膜は設けられない。

【0086】

第1の識別マーク110及び第2の識別マーク120は、以下の方法で形成することが可能である。

【0087】

まず、半導体層10上にマスク材を形成する。マスク材は、例えば、シリコン酸化膜である。次に、マスク材上にリソグラフィ法によりフォトレジスト膜を第1の識別パターン110に対応するパターンにパターニングする。

【0088】

次に、マスク材を、フォトレジスト膜をマスクにRIE (Reactive Ion Etching) でパターニングする。次に、フォトレジスト膜を剥離する。

【0089】

次に、半導体層10を、マスク材をマスクにRIEでエッチングし、凹部15を形成する。次に、マスク材をマスクに半導体層10にp型不純物をイオン注入して、凹部15の下半導体層10にp型のSiC領域110bを形成する。

【0090】

次に、マスク材を剥離し、熱酸化によりベース酸化膜12を形成する。半導体層10表面及びベース酸化膜12の上面に、凹凸が形成される。

【0091】

なお、p型のSiC領域110bにかえてn型不純物を含むn型のSiC領域 (n型不純物領域) を適用することも可能である。また、p型のSiC領域110bにかえて非晶質のSiC領域 (非晶質領域) や、多結晶質のSiC領域 (多結晶質領域) を適用することも可能である。

【0092】

また、本実施形態では、半導体層10表面に凹部15を形成し、第2の識別マーク120に用いる場合を例に説明したが、例えば、半導体層10表面に凹部15を設けず、イオン注入のマスクとして用いたマスク材を剥離せずに残し、マスク材の凹凸を第2の識別マーク120用いることも可能である。

【0093】

本実施形態の半導体装置によれば、第1の実施形態同様、結晶欠陥を原因として信頼性不良を生じ得る半導体チップを不良品として選別することが可能となる。よって、信頼性不良の低減を可能とする半導体装置を提供することが可能となる。

【0094】

また、第1の識別マーク110と第2の識別マーク120とが平面的に同じ位置に設けられる。このため、第1の識別マーク110と第2の識別マーク120とを設けるために必要な面積を削減できる。また、第1の識別マーク110と第2の識別マーク120の形成が容易となる。

【0095】

第1乃至第3の実施形態では、第1の識別マーク110及び第2の識別マーク120を、終端領域100bとダイシング領域100cとの間に設ける場合を例に説明したが、第1の識別マーク110及び第2の識別マーク120を、ダイシング領域100cに設けることも可能である。この形態は、半導体チップ内に、第1の識別マーク110及び第2の識別マーク120を設けるスペースが確保できない場合に有効である。

【0096】

第1乃至第3の実施形態では、PINダイオードを例に説明したが、ショットキーバリアダイオード、MOSFET (Metal Oxide Semiconductor Field Effect Transistor)、MISFET (Metal Iu

ulator Semiconductor Field Effect Transistor)、IGBT (Insulated Gate Bipolar Transistor) 等、その他のデバイスにも本発明を適用することが可能である。

【0097】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0098】

- 10 半導体層
- 12 ベース酸化膜 (第1の絶縁膜)
- 14 層間絶縁膜 (第2の絶縁膜)
- 100 PINダイオード (半導体装置)
- 100a 素子領域
- 100b 終端領域
- 100c ダイシング領域
- 110 第1の識別マーク
- 110a 非晶質のSiC領域 (非晶質領域)
- 110b p型のSiC領域 (p型不純物領域)
- 120 第2の識別マーク

【書類名】 特許請求の範囲

【請求項 1】

フォトルミネッセンス法により識別可能な第 1 の識別マークと、
可視光により識別可能な第 2 の識別マークと、
を備える半導体装置。

【請求項 2】

前記第 1 の識別マークが、シリコンよりもバンドギャップの広い半導体層に設けられた非晶質領域又は多結晶質領域を含む請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 の識別マークが、シリコンよりもバンドギャップの広い半導体層に設けられた n 型不純物領域又は p 型不純物領域を含む請求項 1 記載の半導体装置。

【請求項 4】

前記第 1 の識別マークと前記第 2 の識別マークとが、素子領域との間に前記素子領域を囲む終端領域を挟んで設けられた領域に設けられた請求項 1 乃至請求項 3 いずれか一項記載の半導体装置。

【請求項 5】

前記半導体層は S i C 層である請求項 2 乃至請求項 5 いずれか一項記載の半導体装置。

【書類名】 要約書

【要約】

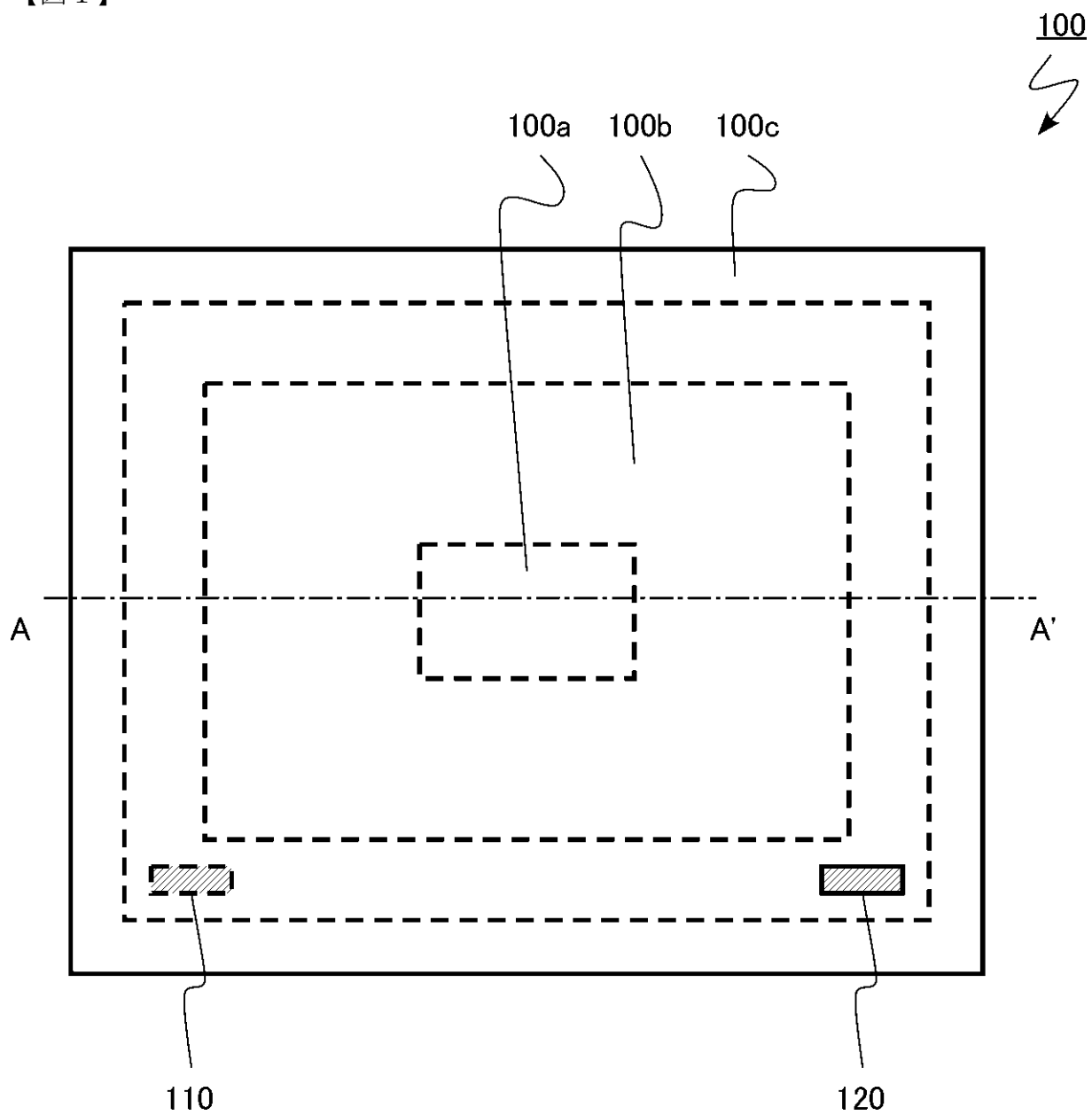
【課題】 信頼性不良の低減を可能とする半導体装置を提供する。

【解決手段】 実施形態の半導体装置は、フォトルミネッセンス法により識別可能な第1の識別マークと、可視光により識別可能な第2の識別マークと、を備える。

【選択図】 図1

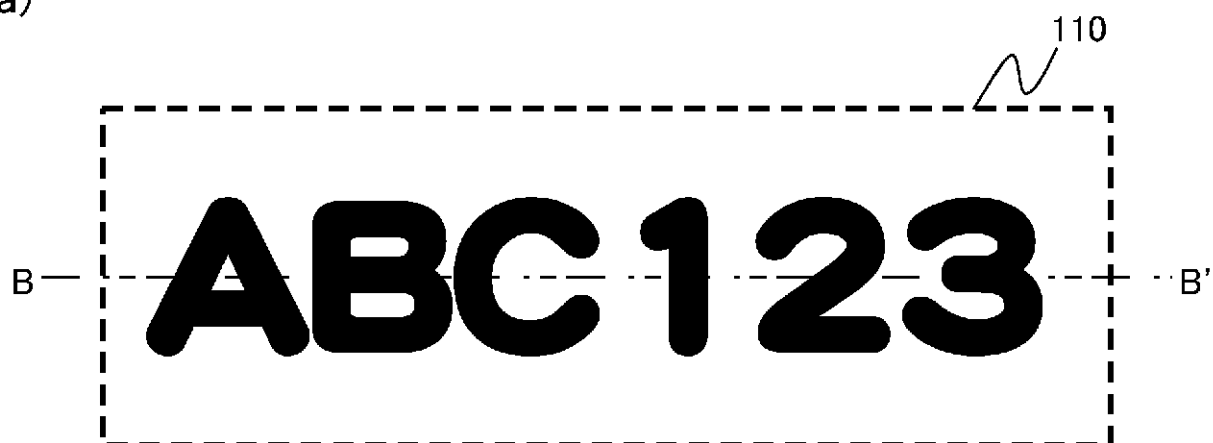
【書類名】図面

【図1】

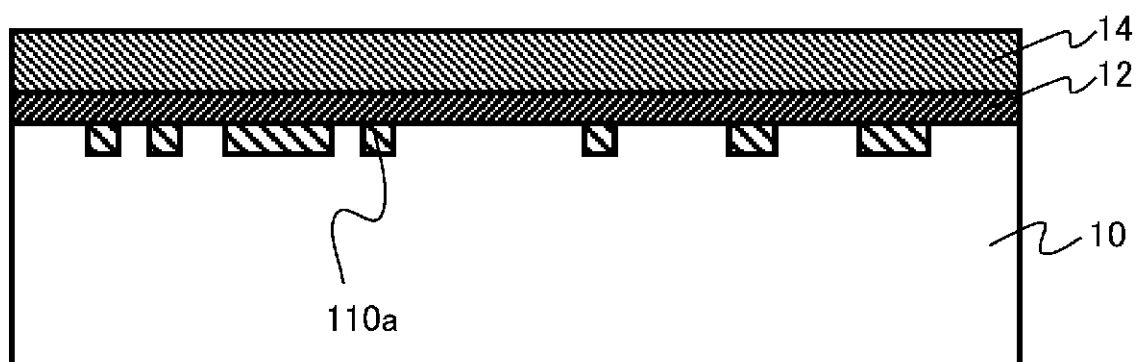


【図3】

(a)

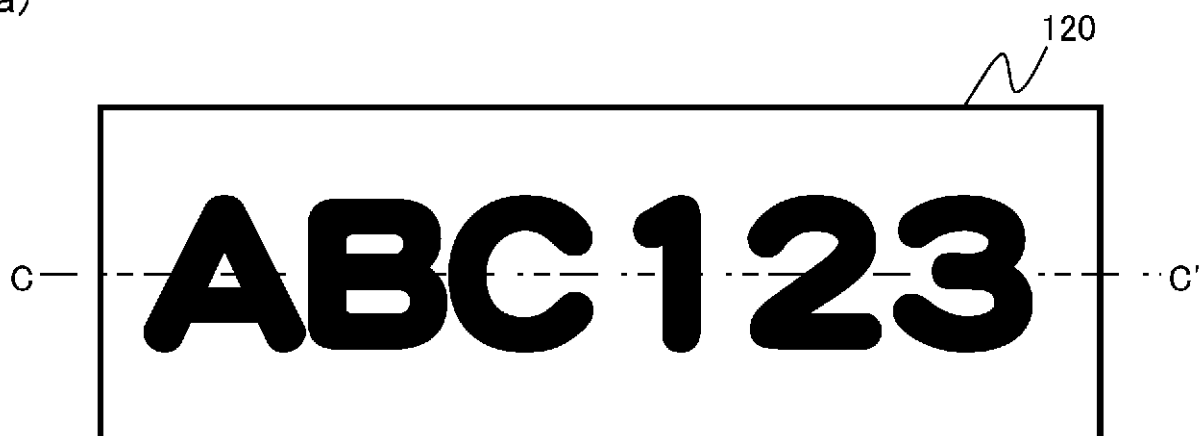


(b)

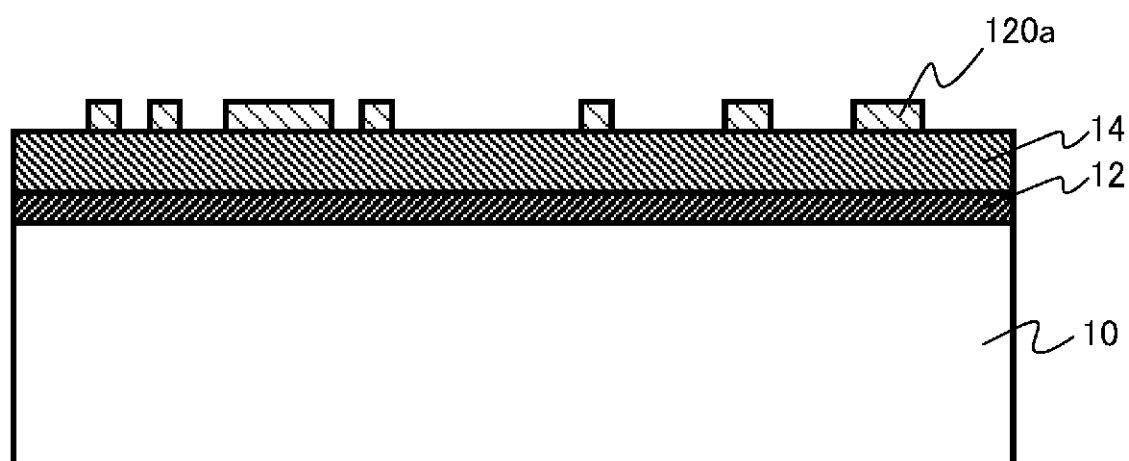


【図4】

(a)

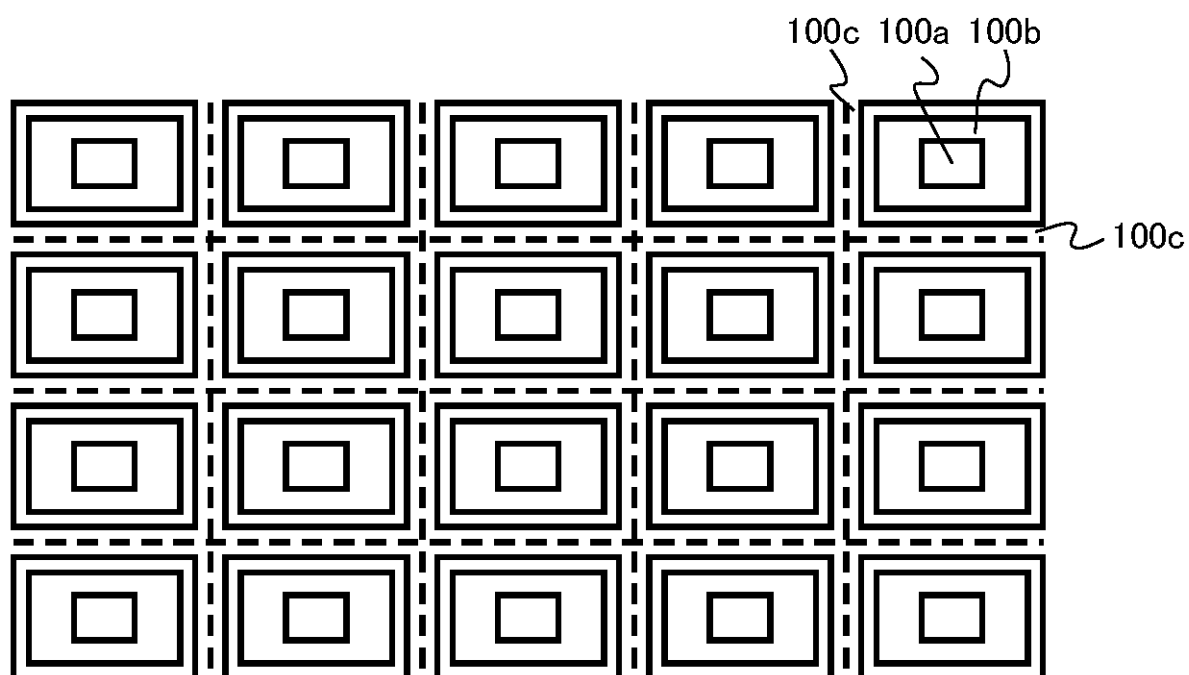


(b)

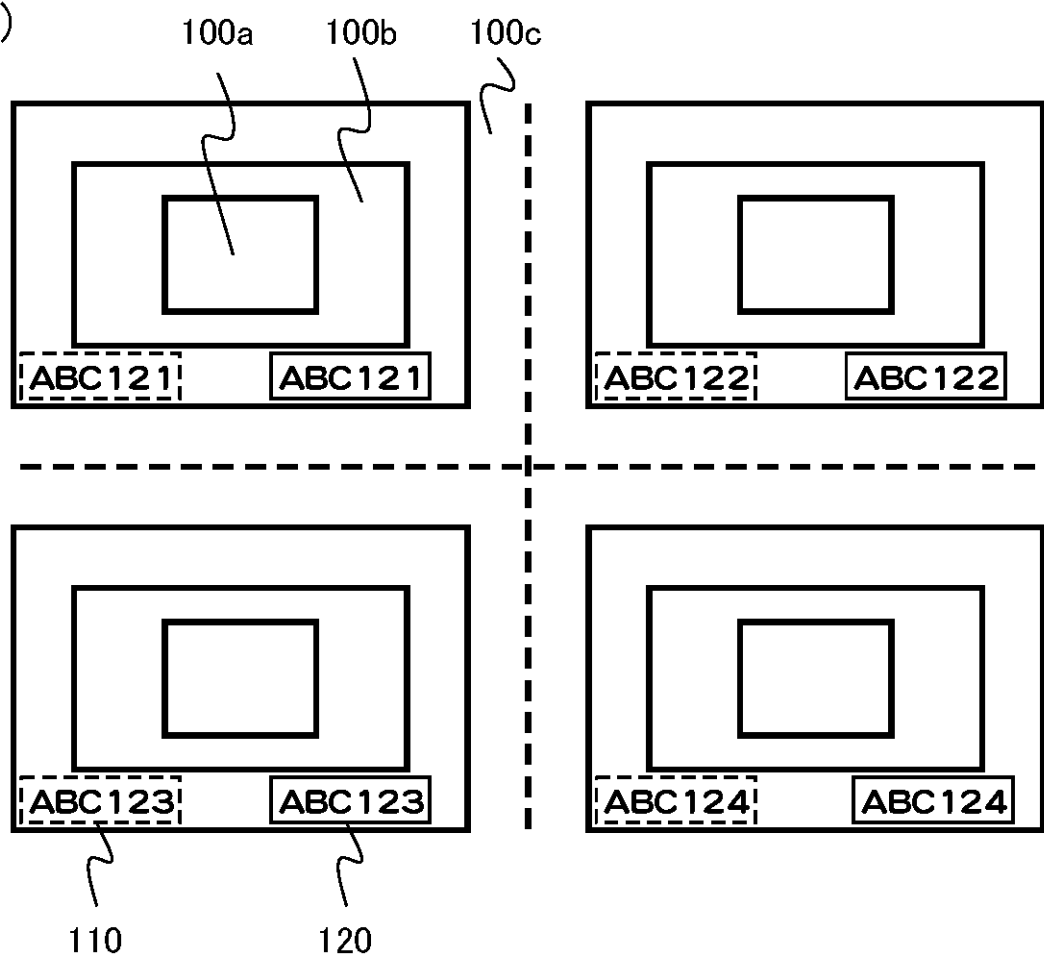


【図 5】

(a)

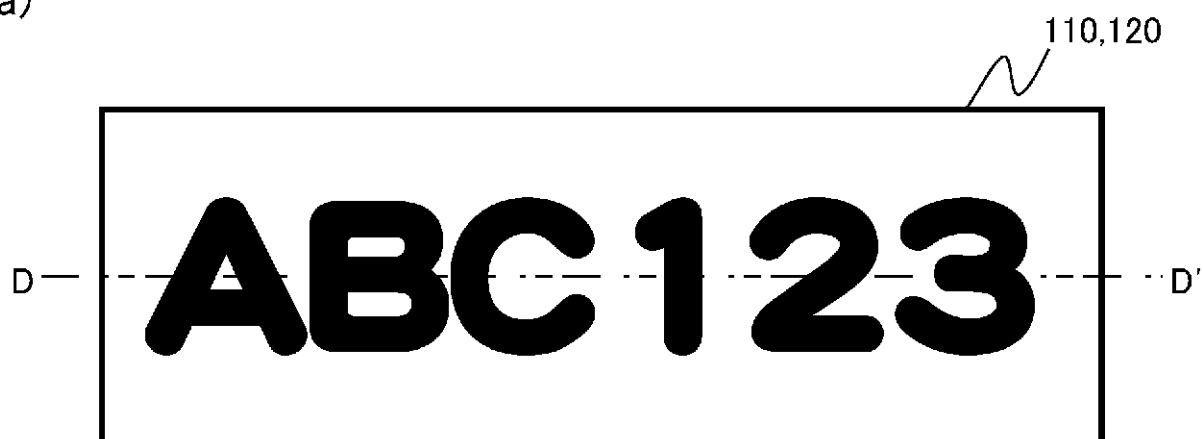


(b)

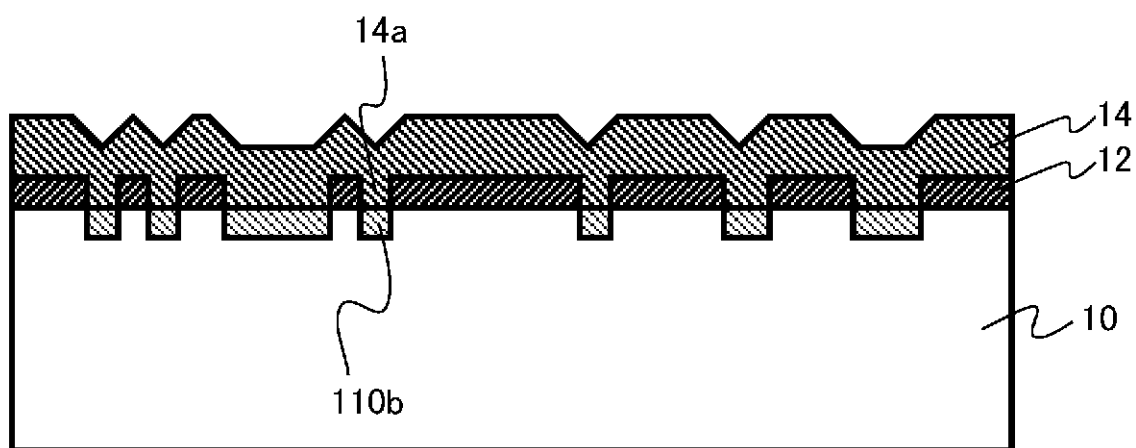


【図6】

(a)

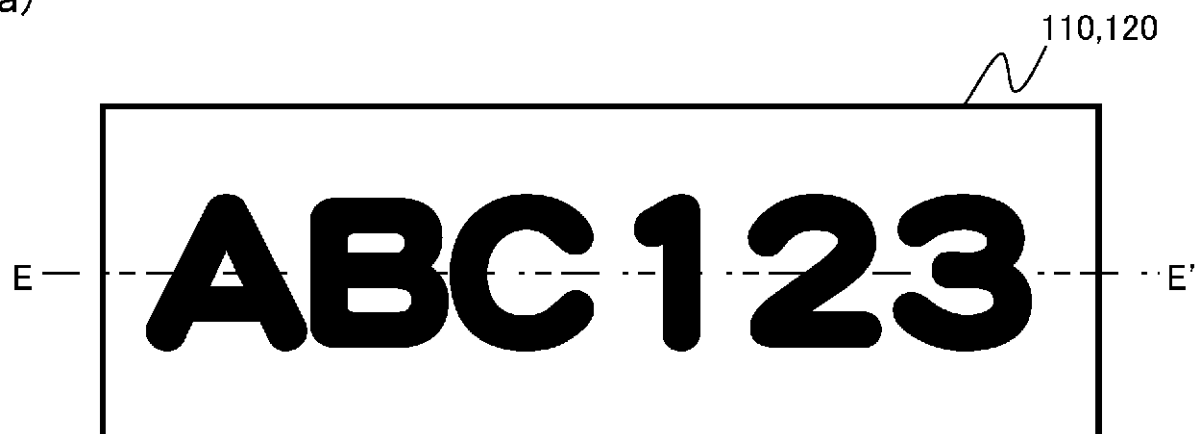


(b)



【図 7】

(a)



(b)

