

【書類名】 明細書

【発明の名称】 クロック生成回路及び無線受信機

【技術分野】

【0001】

本実施形態は、クロック生成回路及び無線受信機に関する。

【背景技術】

【0002】

アナログ回路及びデジタル回路を含む無線受信機では、デジタル回路のクロックの高調波が不要放射（スプリアス）としてアナログ回路に回り込み、受信感度の劣化を引き起こすことがある。このため、デジタル回路に供給すべきクロックが適切に生成されることが望まれる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】 特許第4982239号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一つの実施形態は、デジタル回路に供給すべきクロックを適切に生成できるクロック生成回路及び無線受信機を提供することを目的とする。

【課題を解決するための手段】

【0005】

一つの実施形態によれば、乱数発生器とフィルタと可変遅延器とを有するクロック生成回路が提供される。乱数発生器は、第1の確率分布を有する乱数を発生する。フィルタは、発生された乱数の確率分布を第1の確率分布から第2の確率分布に変化させる。可変遅延器は、入力されたクロックに対して、第2の確率分布を有する乱数に応じて変化させた遅延量を与えて変調クロックを生成する。

【図面の簡単な説明】

【0006】

【図1】 実施形態にかかるクロック生成回路の構成を示す図。

【図2】 実施形態における可変遅延器の構成を示す図。

【図3】 実施形態における乱数発生器の構成を示す図。

【図4】 実施形態におけるフィルタの構成を示す図。

【図5】 実施形態における乱数の確率分布を示す図。

【図6】 実施形態にかかるクロック生成回路の動作を示す図。

【図7】 実施形態にかかるクロック生成回路が適用された無線受信機の構成を示す図。

。【図8】 実施形態にかかるクロック生成回路が適用された無線受信機の動作を示す図。

。【図9】 実施形態の変形例におけるフィルタの構成を示す図。

【発明を実施するための形態】

【0007】

以下に添付図面を参照して、実施形態にかかるクロック生成回路を詳細に説明する。なお、この実施形態により本発明が限定されるものではない。

【0008】

（実施形態）

実施形態にかかるクロック生成回路1は、例えば、無線受信機に適用される。M-W i MAX、WLANおよびLTEなどの無線規格に従った無線受信機では、広い通信エリアを確保するため、高い受信感度が要求される。無線受信機は、アンテナで受信された受信信号がアナログ回路でアナログ的に信号処理され、アナログ的に信号処理された信号がデ

デジタル回路でデジタル的に信号処理される。また、無線受信機は小型化が求められており、無線受信機のアナログ回路とデジタル回路とが混載された1チップLSIの要求が高まっている。この1チップLSIでは、デジタル回路で発生するクロックの整数倍高調波によるスプリアスがアナログ回路に洩れ込み、受信特性を低下させる可能性がある。そのため、アナログ回路にスプリアスが乗らないような対策が施されることがある。

#### 【0009】

例えば、無線受信機において、デジタル回路は、クロック生成回路1で生成されたクロックに同期して、信号をデジタル的に信号処理する。このとき、クロック生成回路1において、乱数を用いて入力クロックに遅延を掛け、生成すべきクロックのエッジタイミングをランダム的に変化させる変調をかけると、スプリアスを周波数スペクトル上で電力的に拡散することができる。

#### 【0010】

しかし、所定の周波数においてスプリアスが拡散せずに残留することがある。例えば、基準クロックからのクロックのエッジタイミングのずらし量に相当する位相差をスプリアス周波数の1周期に対して $0^{\circ} \sim 360^{\circ}$ の範囲でランダムに変化させると、位相差・振幅平面（複素平面）で見た場合に、その範囲における最大位相差（ $360^{\circ}$ ）の振幅と最小位相差（ $0^{\circ}$ ）の振幅とが互いに重なるので、電力的に拡散しにくい。このため、最大位相差に対応した周波数において、スプリアスが残留しやすい。

#### 【0011】

そこで、実施形態では、クロック生成回路1でエッジタイミングを変化させる変調に用いる乱数の確率分布を最小値及び最大値の確率が中央値の確率より下がるように変化させることで、スプリアスの残留の低減化を図る。

#### 【0012】

具体的には、図1に示すように、クロック生成回路1は、入力端子2を介して入力クロック $\phi CK_{in}$ を受け、入力クロック $\phi CK_{in}$ に対して、乱数に応じて変化させた遅延量を与えて出力クロック（変調クロック） $\phi CK_{out}$ を生成する。このとき、乱数は、最小値及び最大値の確率が中央値の確率より下がるように変化させた確率分布を有する。クロック生成回路1は、生成された出力クロック $\phi CK_{out}$ を出力端子3から出力する。図1は、クロック生成回路1の構成を示す図である。

#### 【0013】

クロック生成回路1は、乱数発生器10、フィルタ20、及び可変遅延器30を有する。乱数発生器10及びフィルタ20は、入力端子2及び可変遅延器30を接続する信号ライン4に対して入力端子2及び可変遅延器30の間で並列に接続されている。

#### 【0014】

可変遅延器30は、フィルタ20から乱数を受け、入力端子2から信号ライン4経由で入力クロック $\phi CK_{in}$ を受ける。可変遅延器30は、入力クロック $\phi CK_{in}$ に対して、乱数に応じた遅延量を与えて出力クロック $\phi CK_{out}$ を生成する。

#### 【0015】

例えば、可変遅延器30は、図2（a）に示すように、乱数に応じて、可変のRC回路により遅延量を可変するように構成されていてもよい。図2（a）は、可変遅延器30の構成を示す回路図である。図2（a）に示す可変遅延器30は、インバータINV-1、INV-2、可変抵抗素子R、及び可変容量素子Cを有する。インバータINV-1は、入力側が可変遅延器30の一端30aに接続され、出力側が可変抵抗素子Rの一端に接続されている。可変抵抗素子Rは、他端が可変容量素子Cの一端とインバータINV-2の入力側とにそれぞれ接続されている。可変容量素子Cは、他端が接地電位に接続されている。インバータINV-2は、出力側が可変遅延器30の他端30bに接続されている。可変抵抗素子Rは、その抵抗値を、供給された乱数に応じた抵抗値に変える。可変容量素子Cは、その容量値を、供給された乱数に応じた容量値に変える。これにより、可変遅延器30の時定数が乱数に応じて可変されるので、可変遅延器30は、その遅延量を、供給された乱数に応じた遅延量に変える。

## 【0016】

あるいは、可変遅延器30は、図2(b)に示すように、 $n$ 段( $n$ は2以上の偶数)のインバータの電源・接地側の可変抵抗により遅延量を可変するように構成されていてもよい。図2(b)は、可変遅延器30の構成を示す回路図である。図2(b)に示す可変遅延器30は、 $n$ 個のインバータ $INV-1 \sim INV-n$ 、電源側の可変抵抗素子 $R-2$ 、及び接地側の可変抵抗素子 $R-1$ を有する。1段目のインバータ $INV-1$ は、入力側が可変遅延器30の一端30aに接続され、出力側が2段目のインバータ $INV-2$ の入力側に接続されている。2段目のインバータ $INV-2$ は、出力側が3段目のインバータ $INV-3$ の入力側に接続されている。・・・( $n-1$ )段目のインバータ $INV-(n-1)$ は、出力側が $n$ 段目のインバータ $INV-n$ の入力側に接続されている。 $n$ 段目のインバータ $INV-n$ は、出力側が可変遅延器30の他端30bに接続されている。可変抵抗素子 $R-2$ は、一端が $n$ 個のインバータ $INV-1 \sim INV-n$ の電源側端子に接続され、他端が電源電位に接続されている。可変抵抗素子 $R-1$ は、一端が $n$ 個のインバータ $INV-1 \sim INV-n$ の接地側端子に接続され、他端が接地電位に接続されている。可変抵抗素子 $R-2$ は、その抵抗値を、供給された乱数に応じた抵抗値に変える。可変抵抗素子 $R-1$ は、その抵抗値を、供給された乱数に応じた抵抗値に変える。これにより、 $n$ 個のインバータ $INV-1 \sim INV-n$ の電源側及び接地側の応答速度が乱数に応じて可変されるので、可変遅延器30は、その遅延量を、供給された乱数に応じた遅延量に変える。

## 【0017】

あるいは、可変遅延器30は、図2(c)に示すように、複数のディレイラインのうち選択するディレイラインを切り替えて遅延量を可変するように構成されていてもよい。図2(c)は、可変遅延器30の構成を示す回路図である。図2(c)に示す可変遅延器30は、複数のディレイライン $DL-1 \sim DL-n$ 及び切り替え回路 $SW-1$ 、 $SW-2$ を有する。複数のディレイライン $DL-1 \sim DL-n$ は、インバータ $INV$ の段数が互いに異なり、互いに異なる遅延量を付与できる。ディレイライン $DL-1$ は、1段のインバータ $INV-1$ を有し、1段分の遅延量を付与できる。・・・ディレイライン $DL-n$ は、 $n$ 段のインバータ $INV-1 \sim INV-n$ を有し、 $n$ 段分の遅延量を付与できる。切り替え回路 $SW-1$ は、互いに排他的にオンする複数のスイッチを有し、複数のスイッチのうちどのスイッチがオンするかに応じて複数のディレイライン $DL-1 \sim DL-n$ のうち一端30aに接続するディレイラインを切り替える。切り替え回路 $SW-2$ は、互いに排他的にオンする複数のスイッチを有し、複数のスイッチのうちどのスイッチがオンするかに応じて複数のディレイライン $DL-1 \sim DL-n$ のうち他端30bに接続するディレイラインを切り替える。切り替え回路 $SW-1$ は、オンするスイッチを、供給された乱数に応じたスイッチに変える。切り替え回路 $SW-2$ は、オンするスイッチを、供給された乱数に応じたスイッチに変える。これにより、複数のディレイライン $DL-1 \sim DL-n$ のうち選択されるディレイラインが乱数に応じて可変されるので、可変遅延器30は、その遅延量を、供給された乱数に応じた遅延量に変える。

## 【0018】

あるいは、可変遅延器30は、図2(d)に示すように、経由するインバータの段数を可変にして遅延量を可変するように構成されていてもよい。図2(d)は、可変遅延器30の構成を示す回路図である。図2(d)に示す可変遅延器30は、 $n$ 個のインバータ $INV-1 \sim INV-n$ 及び切り替え回路 $SW-3$ を有する。切り替え回路 $SW-3$ は、互いに排他的にオンする複数のスイッチを有し、複数のスイッチのうちどのスイッチがオンするかに応じて一端30aから他端30bの間で経由すべきインバータの段数を切り替える。切り替え回路 $SW-3$ は、オンするスイッチを、供給された乱数に応じたスイッチに変える。これにより、一端30aから他端30bの間で経由すべきインバータの段数が時定数に応じて可変されるので、可変遅延器30は、その遅延量を、供給された乱数に応じた遅延量に変える。

## 【0019】

図1に戻って、乱数発生器10は、第1の確率分布を有する乱数を発生する。第1の確率分布では、発生された乱数の各値が略均等な確率を有している。例えば図5に示すように、0～15の乱数を発生させる場合、乱数発生器10は、0～15の乱数を略均等な確率で発生させる。図5は、乱数の確率分布を示す図であり、縦軸が乱数発生器10での発生確率を1とした場合における相対的な確率の値を示し、横軸が乱数の値を示す。

#### 【0020】

例えば、乱数発生器10は、図3に示す構成により、3ビットの乱数 $rnd<2:0>$ を発生できる。図3は、乱数発生器10の構成を示す図である。乱数発生器10は、スターター11、シフトレジスタ12、及びロジック回路13を有する。スターター11は、乱数が0固定になることを防ぐために設けられている。スターター11は、NORゲート11a及びORゲート12aを有する。NORゲート11aは、乱数 $rnd<0>\sim rnd<8>$ の否定論理和を演算する。ORゲート12aは、シフトレジスタ12の最終段の出力（乱数 $rnd<0>$ ）とNORゲート11aの出力との論理和を演算する。

#### 【0021】

シフトレジスタ12は、9段のフリップフロップFF-1～FF-9及びORゲート12aを有する。ORゲート12aは、4段目のフリップフロップFF-4の出力（乱数 $rnd<5>$ ）と最終段のフリップフロップFF-9の出力（乱数 $rnd<0>$ ）との論理和を演算し5段目のフリップフロップFF-5へ入力する。シフトレジスタ12は、クロックCLKに同期して、ORゲート12aから出力されたビット値をシフトさせていく。これに伴い、各段のフリップフロップFF-1～FF-9から出力される乱数 $rnd$ が変化する。

#### 【0022】

ロジック回路13は、3、5、7、9段目のフリップフロップFF-3、FF-5、FF-7、FF-9から出力された乱数 $rnd<6>$ 、 $rnd<4>$ 、 $rnd<2>$ 、 $rnd<0>$ を受ける。ロジック回路13は、インバータ13a及びORゲート13b、13cを有する。インバータ13aは、乱数 $rnd<0>$ を論理反転して乱数 $rnd<3>$ を生成する。ORゲート13bは、乱数 $rnd<2>$ 及び乱数 $rnd<4>$ の論理和を演算して乱数 $rnd<3>$ を生成する。ORゲート13cは、乱数 $rnd<4>$ 及び乱数 $rnd<6>$ の論理和を演算して乱数 $rnd<2>$ を生成する。ロジック回路13は、生成された3ビットの乱数 $rnd<2:0>$ をフィルタ20へ出力する。

#### 【0023】

図1に戻って、フィルタ20は、乱数を乱数発生器10から受ける。この乱数は、第1の確率分布を有する。第1の確率分布では、乱数の各値が略均等な確率を有している。フィルタ20は、乱数の確率分布を第1の確率分布から第2の確率分布に変化させる。第2の確率分布における乱数の最小値の確率は、第1の確率分布における乱数の最小値の確率より小さい。第2の確率分布における乱数の最大値の確率は、第1の確率分布における乱数の最大値の確率より小さい。第2の確率分布における乱数の中央値の確率は、第1の確率分布における乱数の中央値の確率より大きい。

#### 【0024】

例えば図5に示すように、乱数発生器10で発生させる0～15の乱数（3ビットの乱数）の確率を1とする場合、フィルタ20は、0～2、12～15の乱数を1より小さい確率にし、4～10の乱数を1より大きい確率にする。フィルタ20は、乱数の最小値0の確率及び乱数の最小値15の確率を極小値にし、乱数の中央値7の確率を極大値2にする。フィルタ20は、乱数の確率分布（第1の確率分布）を山形の確率分布（第2の確率分布）に変化させる。

#### 【0025】

例えば、フィルタ20は、図4に示すように、現在の乱数（3ビット）と1クロック前の乱数（3ビット）とを加算する構成により、4ビットの乱数 $rnd<3:0>$ を生成できる。フィルタ20は、遅延部21及び全加算器22を有する。遅延部21は、複数のフリップフロップFF-11～FF-13を有する。フリップフロップFF-11は、乱

数発生器10から受けた乱数 $rnd3<0>$ を1クロック分遅延させて乱数 $rnd3s<0>$ を生成し、乱数 $rnd3s<0>$ を全加算器22へ出力する。フリップフロップFF-12は、乱数発生器10から受けた乱数 $rnd3<1>$ を1クロック分遅延させて乱数 $rnd3s<1>$ を生成し、乱数 $rnd3s<1>$ を全加算器22へ出力する。フリップフロップFF-13は、乱数発生器10から受けた乱数 $rnd3<2>$ を1クロック分遅延させて乱数 $rnd3s<2>$ を生成し、乱数 $rnd3s<2>$ を全加算器22へ出力する。

#### 【0026】

全加算器22は、乱数発生器10から受けた3ビットの乱数 $rnd3<2:0>$ と、遅延部21から受けた3ビットの乱数 $rnd3s<2:0>$ とを加算して、加算結果を4ビットの乱数 $rnd4<3:0>$ として可変遅延器30へ出力する。

#### 【0027】

例えば、図5に示す「乱数」で示す確率分布（第1の確立分布）を「乱数+フィルタ」で示す確率分布（第2の確率分布）に変化させ、第2の確率分布を有する乱数で可変遅延器30を動作させると、図6に示すように、スプリアスの残留を抑制できる。図6は、クロック生成回路1の動作を示す図である。

#### 【0028】

すなわち、スプリアスを周波数スペクトル上で電力的に拡散するためにクロックのエッジタイミングのずらし量に相当する位相差を変動させる範囲の最大値（最大位相差）を横軸とし、残留スプリアスの量（電力レベル）を縦軸として示すと、図6に示す特性が得られる。クロックのエッジタイミングのずらし量に相当する位相差は、スプリアス周波数の1周期に対する位相（位相角）の単位で示されている。「乱数」で示す特性と「乱数+フィルタ」で示す特性とを比較すると、例えば、 $720^\circ$ 付近において残留スプリアスが低減されていることが確認できる。すなわち、クロックの立ち上がりエッジのタイミングと立ち下がりエッジのタイミングとの位相差を $0^\circ \sim 720^\circ$ の範囲でランダムに変化させた場合における最大位相差（ $720^\circ$ ）の振幅と最小位相差（ $0^\circ$ ）の振幅との重なりの影響が、フィルタ20の作用で効果的に抑制できていることが分かる。

#### 【0029】

次に、クロック生成回路1が適用される無線受信機100について図7を用いて説明する。図7は、無線受信機100の構成を示す図である。

#### 【0030】

無線受信機100は、アンテナAT、アナログ回路160、デジタル回路170、原振器XO、局部発振回路SYN、及びクロック生成回路1-1、1-2を有する。アナログ回路160は、ローノイズアンプLNA、ミキサMIX、ローパスフィルタLPF、可変アンプAMPを有する。デジタル回路170は、ADコンバータADC、デジタル処理回路DPCを有する。無線受信機100では、クロック生成回路1-1、1-2がADコンバータADC及びデジタル処理回路DPCのそれぞれに対して設けられ、クロックを変調する動作が互いに独立してon/off可能に構成されている。

#### 【0031】

無線受信機100において、クロック生成回路1-1、1-2のクロック変調動作がoffのときには、図8(a)に矢印で示すスプリアス成分が発生し得るのに対して、クロック変調動作がonになると、図8(b)に矢印で示すスプリアス成分が発生し得る。図8(a)及び図8(b)は、それぞれ、無線受信機100の動作を示す図であり、縦軸が電力を示し、横軸が周波数を示す。クロック変調動作on時（図8(b)）では、クロック変調動作off時（図8(a)）に発生していなかった周波数に不要なスプリアス成分が新たに発生している。このため、使用したい周波数帯域に応じて、クロック生成回路1-1、1-2のクロック変調動作をon/offさせる機能が有効である。

#### 【0032】

例えば、受信チャネルが図8(a)に一点鎖線で示す信号である場合、矢印で示すスプリアス成分の周波数が所望信号の周波数に重ならない。このため、デジタル処理回路DP

Cは、クロック生成回路1-1, 1-2によるクロック変調がoffされるように制御する。クロック生成回路1-1, 1-2は基準クロック（入力クロック $\phi CK_{in}$ に対して一定の遅延量を与えた出力クロック $\phi CK_{out}$ ）を継続的に出力する。一方、受信チャネルが図8（b）に破線で示す信号である場合、矢印で示すスプリアス成分の周波数が所望信号の周波数に重なる。このため、デジタル処理回路DPCは、クロック生成回路1-1, 1-2によるクロック変調がonされるように制御する。クロック生成回路1-1, 1-2は入力クロックに対してエッジタイミングを乱数に応じた遅延量で変調させたクロックを出力する。図8（a）及び図8（b）では、それぞれ、縦軸が電力レベルを示し、横軸が周波数を示す。

#### 【0033】

あるいは、例えば、信号レベルが大きく、受信信号に対するスプリアスの影響が小さい場合には、クロックを変調させる必要性が低い。このため、デジタル処理回路DPCは、クロック生成回路1-1, 1-2によるクロック変調がoffされるように制御する。クロック生成回路1-1, 1-2は基準クロックを継続的に出力する。一方、信号レベルが小さく、受信信号に対するスプリアスの影響が大きい場合には、クロックを変調させる必要性が高い。このため、デジタル処理回路DPCは、クロック生成回路1-1, 1-2によるクロック変調がonされるように制御する。クロック生成回路1-1, 1-2は基準クロックを乱数に応じた遅延量で変調させたクロックを出力する。

#### 【0034】

以上のように、実施形態では、クロック生成回路1でエッジタイミングを変化させる変調に用いる乱数の確率分布を最小値及び最大値の確率が中央値の確率より下がるように変化させる。そして、そのような確率分布を有する乱数に応じて変化させた遅延量を入力クロックに与えて出力クロック（変調クロック）を生成する。これにより、クロック生成回路1においてスプリアスの残留を低減できる。

#### 【0035】

なお、フィルタ20iは、図9に示すように、現在の乱数（3ビット）から1クロック前の乱数（3ビット）を減算する構成により、4ビットの乱数 $rnd4<3:0>$ を生成してもよい。すなわち、フィルタ20iは、図4に示す構成に対して、反転回路23iをさらに有する。反転回路23iは、乱数発生器10から受けた乱数 $rnd3<2:0>$ を論理反転させ乱数 $rnd3x<2:0>$ を生成して全加算器22へ出力する。全加算器22は、乱数 $rnd3s<0>$ と乱数 $rnd3x<2:0>$ とを加算することで、等価的に、乱数 $rnd3s<0>$ から乱数 $rnd3x<2:0>$ を減算する。これにより、実施形態と同様に、乱数の確率分布を第1の確立分布から第2の確率分布へ変化させることができる。また、図4に示す構成に比べて、周波数成分を少なくすることができるため、スプリアスを周波数スペクトル上で電力的に拡散することが容易である。

#### 【0036】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

#### 【符号の説明】

#### 【0037】

1 クロック生成回路、10 乱数発生器、20 フィルタ、30 可変遅延器、100 無線受信機。

【書類名】 特許請求の範囲

【請求項 1】

第 1 の確率分布を有する乱数を発生する乱数発生器と、  
前記発生された乱数の確率分布を前記第 1 の確率分布から第 2 の確率分布に変化させるフィルタと、

入力されたクロックに対して、前記第 2 の確率分布を有する乱数に応じて変化させた遅延量を与えて変調クロックを生成する可変遅延器と、  
を備えたクロック生成回路。

【請求項 2】

前記第 2 の確率分布における乱数の最小値の確率は、前記第 1 の確率分布における乱数の最小値の確率より小さく、

前記第 2 の確率分布における乱数の最大値の確率は、前記第 1 の確率分布における乱数の最大値の確率より小さい

請求項 1 に記載のクロック生成回路。

【請求項 3】

前記第 2 の確率分布における乱数の中央値の確率は、前記第 1 の確率分布における乱数の中央値の確率より大きい

請求項 1 又は 2 に記載のクロック生成回路。

【請求項 4】

前記フィルタは、デジタルフィルタである

請求項 1 から 3 のいずれか 1 項に記載のクロック生成回路。

【請求項 5】

請求項 1 から 4 のいずれか 1 項に記載のクロック生成回路と、

前記クロック生成回路で生成された変調クロックを受けるデジタル回路と、  
を備えた無線受信機。

【書類名】 要約書

【要約】

【課題】 一つの実施形態は、デジタル回路に供給すべきクロックを適切に生成できるクロック生成回路及び無線受信機を提供することを目的とする。

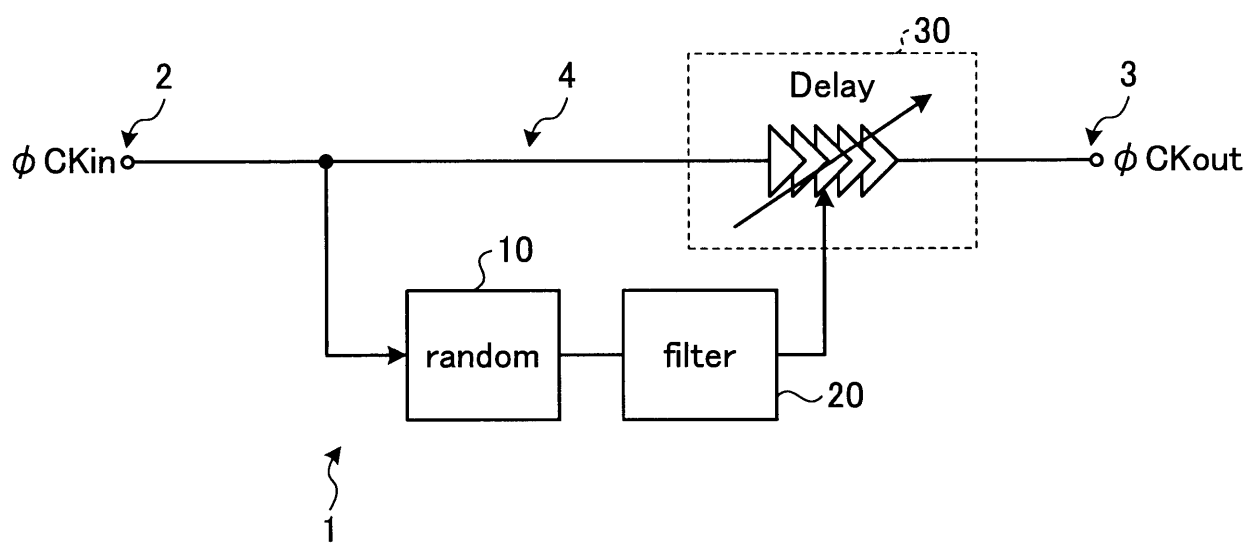
【解決手段】 一つの実施形態によれば、乱数発生器とフィルタと可変遅延器とを有するクロック生成回路が提供される。乱数発生器は、第1の確率分布を有する乱数を発生する。フィルタは、発生された乱数の確率分布を第1の確率分布から第2の確率分布に変化させる。可変遅延器は、入力されたクロックに対して、第2の確率分布を有する乱数に応じて変化させた遅延量を与えて変調クロックを生成する。

【選択図】 図1

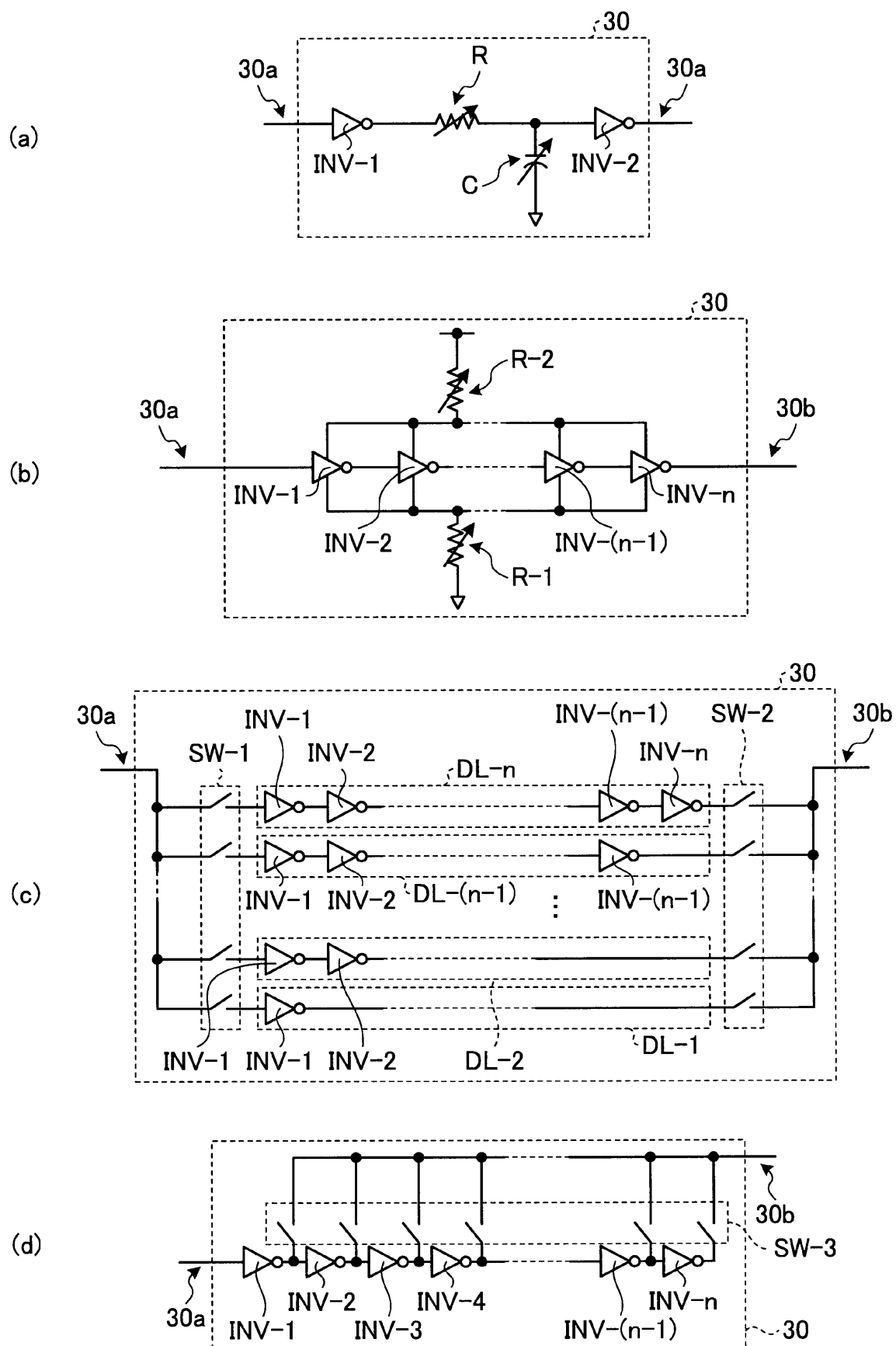


【書類名】 図面

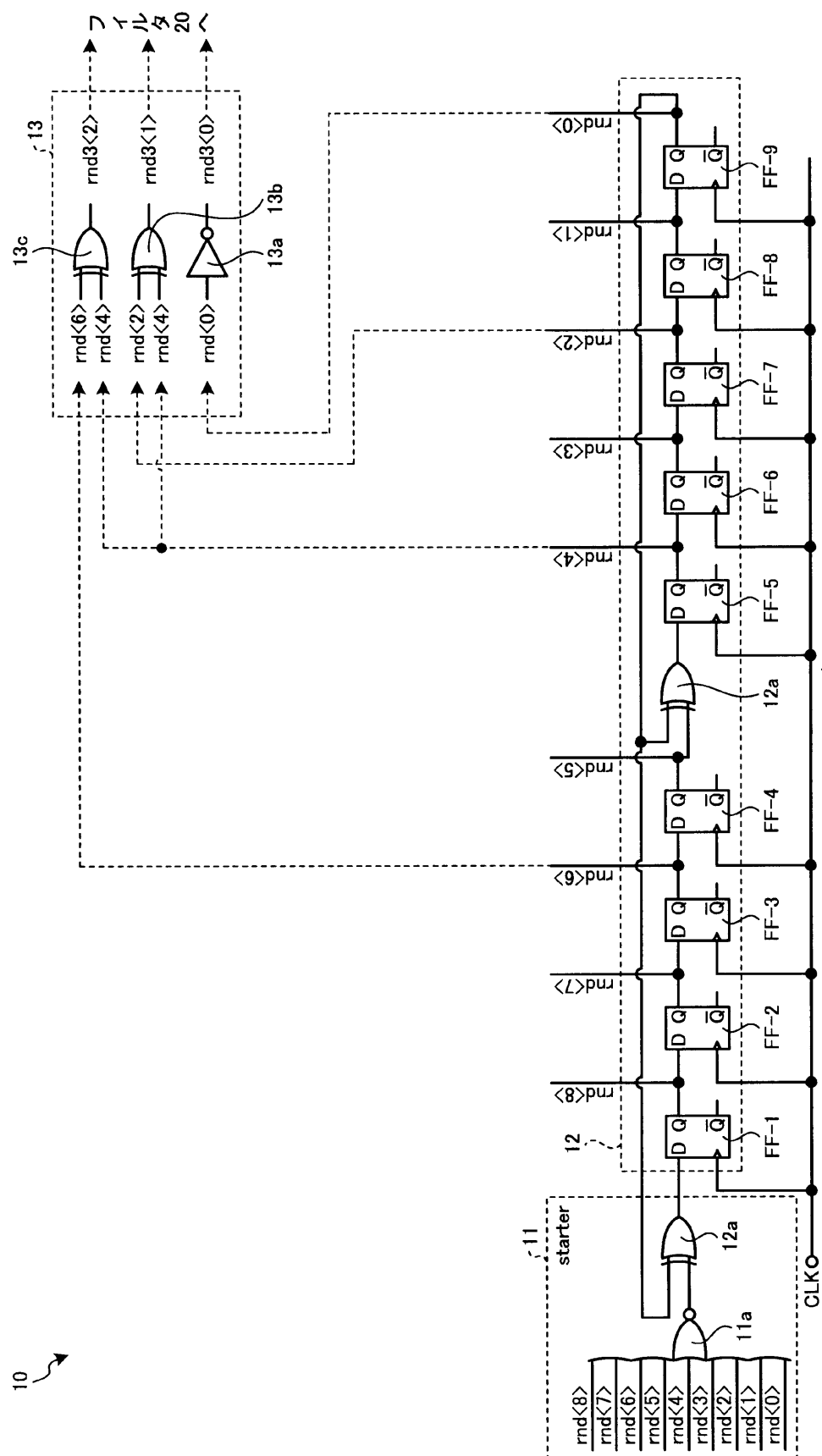
【図 1】



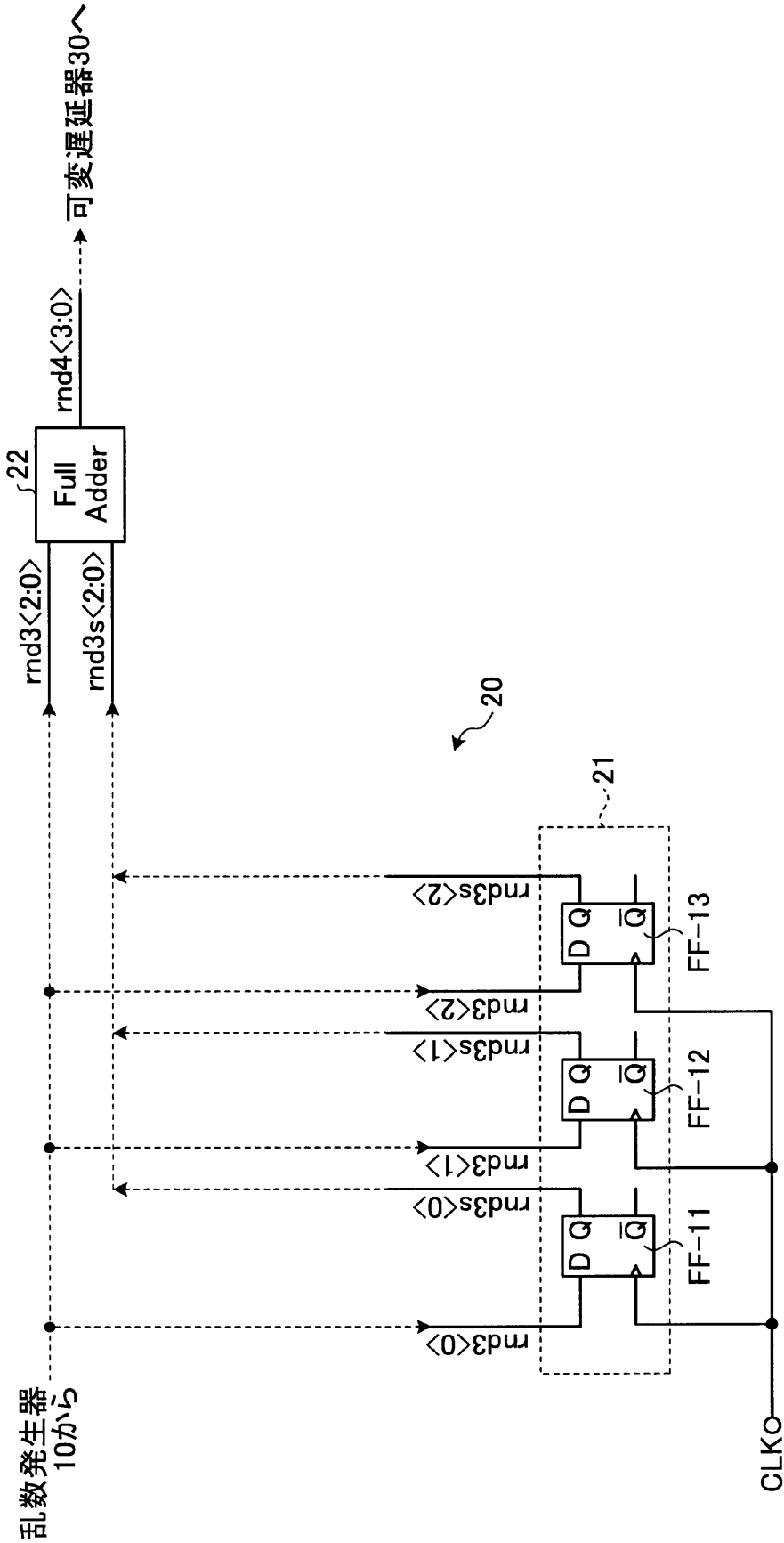
【図 2】



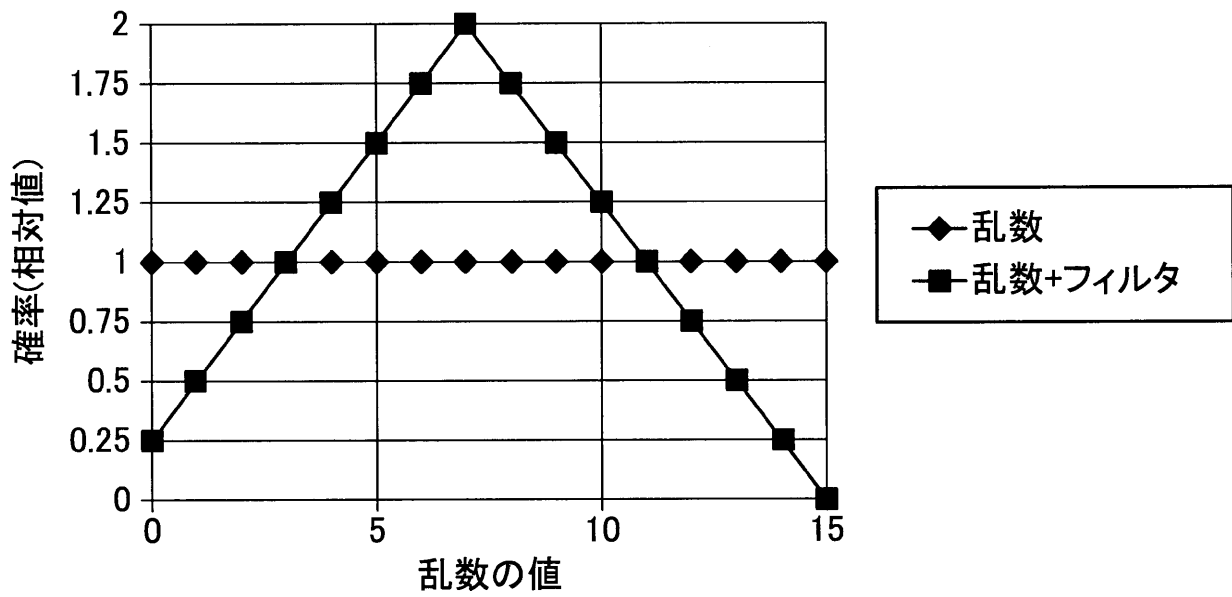
【図 3】



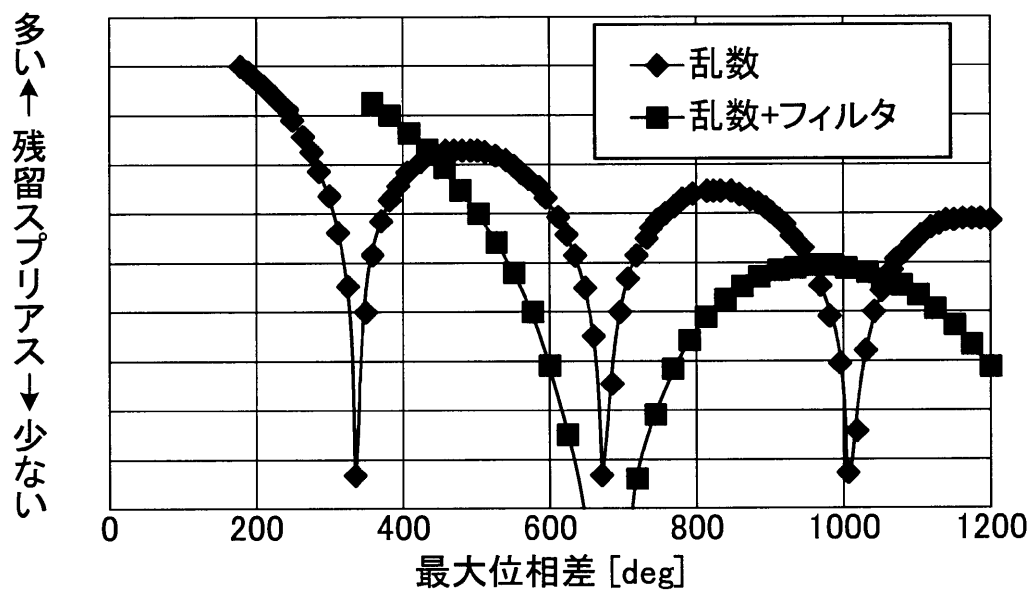
【図 4】



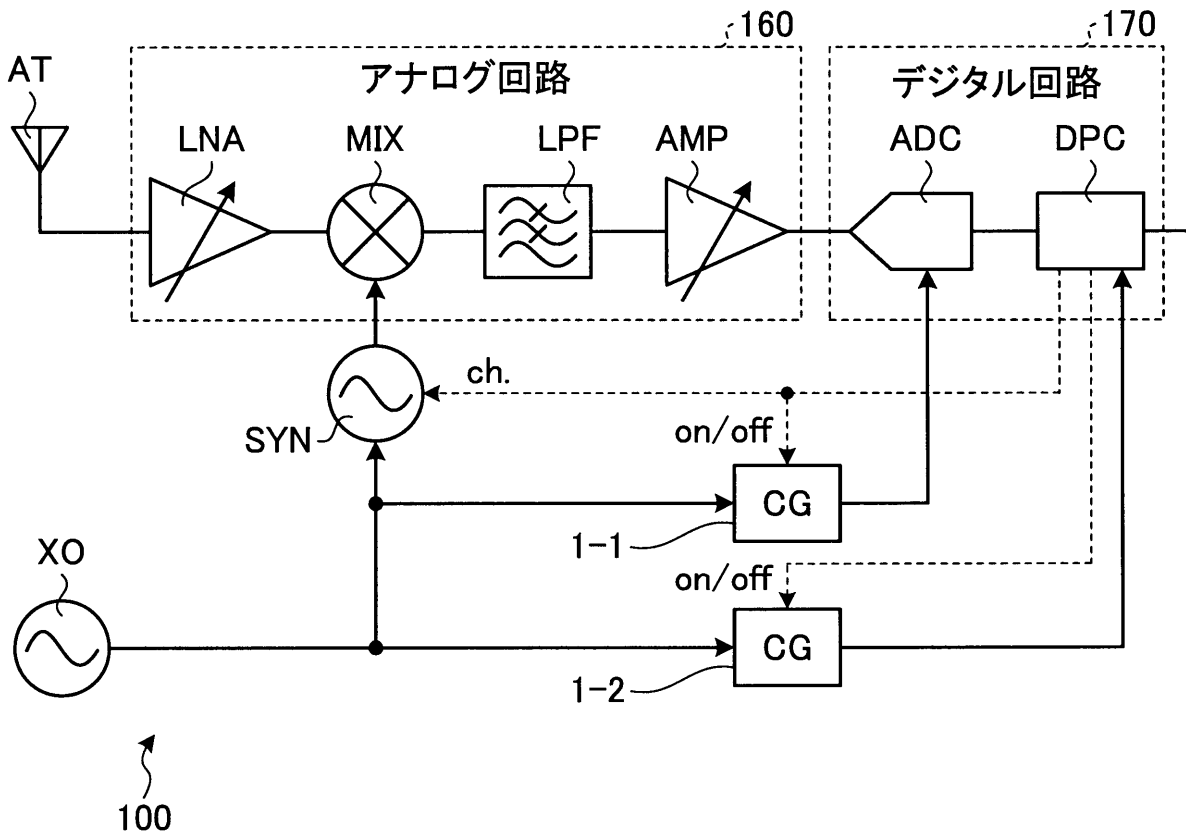
【図 5】



【図 6】



【図 7】



【図 8】

