

【書類名】明細書

【発明の名称】固体撮像装置

【技術分野】

【0001】

本実施形態は、固体撮像装置に関する。

【背景技術】

【0002】

固体撮像装置は、複数の画素で構成された画素セルを備えるものが知られている。画素セルの複数の画素は、互いに画素の構成要素を共有する。固体撮像装置は、複数の画素が互いに共有する構成要素に何らかの不具合があった場合に、画素セル内の各画素の信号出力に異常が生じることがある。

【0003】

固体撮像装置は、あらかじめ補正対象として登録された画素へのキズ補正を実施するものがある。固体撮像装置は、画素からの信号の欠陥であるキズを、信号処理により補正する。固体撮像装置は、補正の対象とする対象画素の位置情報をメモリに格納する。固体撮像装置は、対象画素について保持する情報を少なくして、補正処理のための回路の規模を低減できることが望まれる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第5541718号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

一つの実施形態は、補正処理のための構成の規模を低減可能とする固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

一つの実施形態によれば、固体撮像装置は、画素領域および補正回路を備える。画素領域には、画素セルが行方向および列方向へ配列されている。画素セルは、複数の画素を備える。補正回路は、画素からの信号への補正処理を実施する。補正回路は、メモリを備える。メモリは、対象画素の位置情報を保持する。対象画素は、補正処理の対象である。メモリは、画素セルに含まれる複数の対象画素に対し、代表画素の位置情報を保持する。代表画素は、複数の対象画素の1つである。

【図面の簡単な説明】

【0007】

【図1】図1は、第1の実施形態の固体撮像装置のブロック図である。

【図2】図2は、図1に示す固体撮像装置を備えるカメラシステムのブロック図である。

【図3】図3は、図1に示す画素領域に配列された画素セルを示す模式図である。

【図4】図4は、図1に示すキズ補正回路のブロック図である。

【図5】図5は、図4に示すキズ補正回路におけるキズ補正の対象画素と、対象画素の周辺の画素とを示す模式図である。

【図6】図6は、図1に示す画素領域に配列された画素セルの変形例を示す模式図である。

【図7】図7は、第2の実施形態の固体撮像装置に備えられたキズ補正回路のブロック図である。

【図8】図8は、図7に示すキズ補正回路におけるキズ補正の対象画素と、対象画素の周辺の画素とを示す模式図である。

【図9】図9は、第2の実施形態の固体撮像装置に備えられたキズ補正回路のブロッ

ク図である。

【発明を実施するための形態】

【0008】

以下に図面を参照して、実施形態にかかる固体撮像装置を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0009】

(第1の実施形態)

図1は、第1の実施形態の固体撮像装置のブロック図である。図2は、図1に示す固体撮像装置を備えるカメラシステムのブロック図である。カメラシステム1は、カメラモジュール2を備える電子機器であって、例えばカメラ付き携帯端末である。カメラシステム1は、デジタルカメラ等の電子機器であっても良い。

【0010】

カメラシステム1は、カメラモジュール2および後段処理部3を備える。カメラモジュール2は、撮像光学系4および固体撮像装置5を備える。後段処理部3は、イメージシグナルプロセッサ (ISP) 6、記録部7および表示部8を備える。

【0011】

撮像光学系4は、被写体からの光を取り込む。撮像光学系4は、被写体像を結像させる撮像レンズ (図示省略) を備える。固体撮像装置5は、被写体像を撮像する。固体撮像装置5は、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサである。固体撮像装置5は、CCD (Charge Coupled Device) であっても良い。

【0012】

ISP6は、固体撮像装置5からの画像信号への信号処理を実施する。ISP6は、デモザイク処理、ホワイトバランス調整、カラーマトリクス処理、ガンマ補正等の各種信号処理を実施する。記録部7は、ISP6での信号処理を経た画像を記憶媒体等へ記録する。記録部7は、ユーザの操作等に応じて、表示部8へ画像信号を出力する。

【0013】

表示部8は、ISP6からの画像信号、あるいは記録部7から読み出された画像信号に応じて、画像を表示する。表示部8は、例えば、液晶ディスプレイである。カメラシステム1は、ISP6での信号処理を経たデータに基づき、カメラモジュール2のフィードバック制御を実施する。

【0014】

固体撮像装置5は、画素領域11、制御回路12、行走査回路13、列走査回路14、カラム処理回路15および撮像処理回路16を備える。画素領域11は、行方向および列方向へ配列された画素セルを備える。画素セルは、複数の画素を備える。画素は、光電変換素子であるフォトダイオードを備える。光電変換素子は、入射光量に応じた信号電荷を生成する。画素は、入射光量に応じて生成された信号電荷を蓄積する。画素領域11は、画素への入射光量に応じた画素信号を出力する。

【0015】

制御回路12、行走査回路13、列走査回路14、カラム処理回路15および撮像処理回路16は、画素領域11が実装されているチップ上に集積された周辺回路部を構成する。固体撮像装置5の駆動のための各種データおよびクロック信号は、チップ外部のISP6から、撮像処理回路16を経て制御回路12へ供給される。

【0016】

制御回路12は、クロック信号に応じて、周辺回路部の駆動を制御するための各種パルス信号を生成する。制御回路12は、駆動タイミングを指示するパルス信号を、行走査回路13、列走査回路14、カラム処理回路15および撮像処理回路16のそれぞれに供給する。

【0017】

行走査回路13は、シフトレジスタおよびアドレスデコーダ等を備える。画素駆動回路である行走査回路13は、画素領域11の画素へ駆動信号を供給する。制御回路12は、

垂直同期信号に応じたパルス信号を、行走査回路13へ供給する。行走査回路13は、画素信号が読み出される画素行を、制御回路12からのパルス信号に応じて順次選択する。行走査回路13は、選択された画素行において画素ごとに順次読み出し信号を供給することによる読み出し走査を行う。読み出し信号は、入射光量に応じて生成された画素信号を画素から読み出すための駆動信号である。

#### 【0018】

行走査回路13は、画素ごとへの読み出し信号の供給に先行して、各画素へのリセット信号の供給による掃き出し走査を行う。リセット信号は、光電変換素子に残存されている電荷を排出させるための駆動信号である。各画素は、リセット信号が供給されたときから読み出し信号が供給されるまでの間、入射光量に応じて生成された信号電荷を蓄積する。

#### 【0019】

駆動信号は、行走査回路13から各画素へ、画素駆動線17を通じて伝送される。画素駆動線17は、画素領域11の画素行ごとに設けられている。画素行は、行方向（水平方向）へ配列された画素からなる。

#### 【0020】

画素信号は、各画素からカラム処理回路15へ、垂直信号線18を通じて伝送される。垂直信号線18は、画素セルの列ごとに設けられている。

#### 【0021】

カラム処理回路15は、垂直信号線18を伝送した画素信号を、単位回路（図示省略）にて処理する。単位回路は、画素セルの列ごとに設けられている。カラム処理回路15は、画素信号へ、固定パターンノイズの低減のための相関二重サンプリング処理（CDS）を施す。カラム処理回路15は、アナログ信号である画素信号へ、デジタル信号への変換であるAD変換を施す。カラム処理回路15は、CDSおよびAD変換以外の処理を実施しても良い。カラム処理回路15は、CDSおよびAD変換を経た画素信号を、単位回路ごとに保持する。

#### 【0022】

列走査回路14は、シフトレジスタおよびアドレスデコーダ等を備える。制御回路12は、水平同期信号に応じたパルス信号を、列走査回路14へ供給する。列走査回路14は、画素信号を読み出す画素列を、制御回路12からのパルス信号に応じて順次選択する。カラム処理回路15は、列走査回路14による選択走査に応じて、各単位回路に保持されている画素信号を順次出力する。

#### 【0023】

撮像処理回路16は、カラム処理回路15からの画素信号を処理する。撮像処理回路16は、キズ補正回路19を備える。キズ補正回路19は、画素信号へのキズ補正処理を実施する補正回路である。キズ補正回路19は、あらかじめ位置情報が登録されたキズを補正する、いわゆるマップキズ補正を実施する。

#### 【0024】

撮像処理回路16は、キズ補正回路19以外に、信号処理のためのいずれの構成を備えていても良い。撮像処理回路16は、画素の信号値を使用するキズ判定の結果を基にキズ補正を実施する、いわゆるダイレクトキズ補正のための構成を備えていても良い。撮像処理回路16は、黒レベル補正、ガンマ補正、ノイズ低減処理、レンズシェーディング補正、ホワイトバランス調整、歪曲補正、解像度復元等のための構成を備えていても良い。

#### 【0025】

固体撮像装置5は、撮像処理回路16での信号処理を経た信号であるRAW画像信号をチップ外部へ出力する。カメラシステム1は、本実施形態において固体撮像装置5内で実施するものとした信号処理を、画素領域11と同じチップ上の周辺回路部以外の回路で実施しても良い。信号処理は、周辺回路部に代えて、例えば後段処理部3のISP6が実施しても良い。カメラシステム1は、周辺回路部で実施するものとした信号処理を、周辺回路部とISP6の双方で実施しても良い。周辺回路部およびISP6は、本実施形態で説明する信号処理以外の信号処理を実施しても良い。

**【0026】**

図3は、図1に示す画素領域に配列された画素セルを示す模式図である。X方向およびY方向は、それぞれ画素領域11における行方向および列方向とする。画素セル20は、Y方向へ配列された4つの画素により構成されている。

**【0027】**

図3において、「R」、「G」および「B」は、それぞれ赤(R)画素、緑(G)画素および青(B)画素を示す。R画素は、赤色光を検出する画素である。G画素は、緑色光を検出する画素である。B画素は、青色光を検出する画素である。R画素、G画素およびB画素は、それぞれカラーフィルタ(図示省略)を備える。R画素は、赤色光を選択的に透過させるカラーフィルタを備える。G画素は、緑色光を選択的に透過させるカラーフィルタを備える。B画素は、青色光を選択的に透過させるカラーフィルタを備える。

**【0028】**

画素領域11において、R、GおよびBの各画素は、ベイヤー配列をなす。画素領域11は、G画素およびB画素を含む画素セル20と、R画素およびG画素を含む画素セル20とを備える。

**【0029】**

画素セル20を構成する4つの画素は、画素の構成要素であるMOSトランジスタを共有している。4つの画素は、いわゆる4V1Hの画素共有構造を構成する。4つの画素は、例えば、MOSトランジスタである転送トランジスタ、フローティングディフュージョン(FD)、リセットトランジスタ、増幅トランジスタおよび行選択トランジスタを共有している。

**【0030】**

画素セル20は、画素ごとの光電変換素子である4つのフォトダイオード(PD)を備える。PDは、入射光量に応じた信号電荷を生成する。転送トランジスタは、行走査回路13からの駆動信号である読み出し信号に応じて、PDからFDへ信号電荷を転送する。FDは、転送トランジスタによって転送された信号電荷を、電位へ変換する。

**【0031】**

増幅トランジスタは、FDの電位変化を増幅し、画素信号とする。リセットトランジスタは、行走査回路13からの駆動信号であるリセット信号に応じて、FDの電荷を排出するとともに、FDの電位を一定レベルに初期化する。固体撮像装置5は、画素共有構造を備えることで、画素ごとにMOSトランジスタを配置する場合に比べて、画素ピッチを縮小できる。

**【0032】**

図4は、図1に示すキズ補正回路のブロック図である。キズ補正回路19は、平均値算出回路21、OTP(One Time Programmable memory)22、キズ判定回路23およびセクタ24を備える。平均値算出回路21、キズ判定回路23およびセクタ24は、各種論理回路と、演算結果および各種データの保持のための記憶素子を適宜組み合わせで構成されている。記憶素子は、レジスタおよびメモリのいずれであっても良い。

**【0033】**

キズ補正回路19は、入力された画素信号へ、画素単位での遅延を施す水平遅延線(図示省略)を備える。平均値算出回路21は、キズ補正の対象である対象画素と同じ行にある同色画素の信号値が入力される。同色画素は、対象画素と同じ色光を検出する画素とする。平均値算出回路21は、入力された信号値の平均値 $A_x$ を算出する演算回路である。

**【0034】**

OTP22は、対象画素の位置情報を保持するメモリである。キズ判定回路23は、制御回路12からのパルス信号とOTP22が保持する位置情報とを基に、対象画素からの信号値がセクタ24へ入力されるタイミングを把握する。キズ判定回路23は、対象画素からの信号値がセクタ24へ入力されるタイミングに合わせてセクタ24へ制御信号を供給する。

**【0035】**

セクタ 2 4 は、水平遅延線からの画素信号と、平均値算出回路 2 1 からの平均値  $A_x$  とのいずれかを選択する。セクタ 2 4 は、対象画素に対しては、キズ判定回路 2 3 からの制御信号に応じて、平均値算出回路 2 1 からの平均値  $A_x$  を選択する。セクタ 2 4 は、対象画素以外の画素に対しては、水平遅延線からの画素信号を選択する。キズ補正回路 1 9 は、セクタ 2 4 で選択された信号を出力する。

#### 【0036】

対象画素の位置情報を OTP 2 2 へ格納するための調整処理は、例えば固体撮像装置 5 の製造時の検品工程にて実施される。調整処理では、画素領域 1 1 からキズを検出するための試験が実施される。OTP 2 2 には、かかる試験の結果を基に設定された位置情報が格納される。

#### 【0037】

次に、キズ補正回路 1 9 によるキズ補正の具体例を説明する。図 5 は、図 4 に示すキズ補正回路におけるキズ補正の対象画素と、対象画素の周辺の画素とを示す模式図である。

#### 【0038】

画素セル 2 0 は、4 つの画素が共有する要素、例えば FD に欠陥があることで、各画素からの信号出力に異常が生じる場合がある。固体撮像装置 5 は、画素共有構造を採用することで、画素セル 2 0 内の 1 つの部位における欠陥により、当該画素セル 2 0 内の全ての画素がキズとなることがある。かかる複数のキズは互いに寄り集まって発生するため、画素ごとに分散して発生するキズに比べて、画像において目立ち易いキズとなる。図 5 において斜線が付された画素セル 2 0 は、2 つの G 画素および 2 つの B 画素がいずれもキズである状態を示している。

#### 【0039】

キズ補正回路 1 9 は、画素セル 2 0 内の全ての画素を対象画素とするキズ補正と、1 画素単位のキズを対象とするキズ補正とを実施する。1 画素単位のキズは、画素の共有要素における欠陥以外の欠陥により生じたものとする。

#### 【0040】

ここで、画素セル 2 0 内の全ての画素が対象画素である場合と、それ以外の場合とに分けて、OTP 2 2 に格納される対象画素の情報について説明する。画素セル 2 0 内の全ての画素を対象画素とするキズ補正以外の場合の一例として、2 画素キズのキズ補正について説明する。2 画素キズは、1 画素単位のキズが互いに近接する 2 つの同色画素に生じたものとする。

#### 【0041】

OTP 2 2 は、2 画素キズについての情報として、一方のキズの位置情報であるアドレスと、2 画素キズの配置態様を表す識別情報とを保持する。キズ判定回路 2 3 は、一方のキズのアドレスと識別情報とを基に、他方のキズのアドレスを求める。キズ補正回路 1 9 は、2 つの同色画素を対象画素とするキズ補正を実施する。補正值の算出については、後述する。識別情報は、配置態様ごとに設定された固有の数値とする。

#### 【0042】

OTP 2 2 は、画素セル 2 0 内の全ての画素を対象画素とする場合の情報として、画素セル 2 0 内の 1 つの代表画素の位置情報であるアドレスと、画素セル 2 0 内の全ての画素を対象画素とすることを表す識別情報とを保持する。

#### 【0043】

図 5 に示す画素セル 2 0 では、1 つの G 画素である「G 0」が代表画素に指定される。「G 0」は、当該画素セル 2 0 内の 4 つの画素のうち画素信号が最も先に読み出される画素である。当該画素セル 2 0 内の 4 つの画素である対象画素に対し、OTP 2 2 は、「G 0」のアドレスと、画素セル 2 0 内の全ての画素を対象画素とすることを表す識別情報とを保持する。識別情報は、上述の 2 画素キズについて設定された数値以外の固有の数値とする。

#### 【0044】

キズ判定回路 2 3 は、「G 0」のアドレスと識別情報とを基に、「G 0」を代表画素と

する画素セル20の全ての画素が対象画素であることを把握する。キズ判定回路23は、画素セル20内の「G0」以外の3つの対象画素のアドレスを求める。画素を単位とするXY座標でアドレスを表すとして、「G0」の位置を(x, y)と置いた場合に、キズ判定回路23は、他の3つの対象画素について(x, y+1), (x, y+2)および(x, y+3)を得る。

#### 【0045】

画素セル20内の4つの対象画素を2組の2画素キズとみなすと、OTP22は、1つの画素セル20に対して、位置情報および識別情報の組み合わせを2組保持することとなる。本実施形態では、OTP22は、1つの画素セル20に対して位置情報および識別情報の組み合わせを1組保持すれば足りるため、OTP22に保持する情報の量を低減可能とする。固体撮像装置5は、OTP22の容量を低減可能とし、製造コストを低減できる。

#### 【0046】

平均値算出回路21は、1つの対象画素である「G0」に対し、「Gx1」および「Gx2」の信号値の平均値を算出する。「Gx1」および「Gx2」は、「G0」と同じ行に配列されたG画素であって、X方向において、異色画素である1つのR画素を挟んで「G0」と隣接する同色画素である。「Gx1」および「Gx2」は、それぞれ(x-2, y)、(x+2, y)の位置にある。

#### 【0047】

平均値算出回路21は、次の式(1)により、「Gx1」の信号値VGx1および「Gx2」の信号値VGx2の平均値Axを算出する。

$$A_x = (VG_{x1} + VG_{x2}) / 2 \quad \cdots (1)$$

#### 【0048】

セクタ24は、水平遅延線からは「G0」の信号値VG0が入力され、平均値算出回路21からは「G0」に対する補正值である平均値Axが入力される。セクタ24は、キズ判定回路23からの制御信号に応じて平均値Axを選択する。

#### 【0049】

平均値算出回路21は、「G0」以外の3つの対象画素についても、「G0」の場合と同様に、平均値を算出する。平均値算出回路21は、画素セル20内の「G0」以外のG画素である「G1」が対象画素であるとき、「G1」と同じ行に配置されたG画素の信号値の平均値を算出する。キズ補正回路19は、対象画素と同じ行に配置された同色画素の信号値を補正值の算出に使用することで、行単位で画素信号を遅延させるための構成を不要とする。キズ補正回路19は、比較的簡易な回路構成により補正処理を実施できる。

#### 【0050】

平均値算出回路21は、1画素単位の対象画素に対しても、画素セル20内の全ての画素を対象画素とする場合と同様に平均値を算出する。キズ補正回路19は、1画素単位の対象画素に対しても、画素セル20内の全ての画素を対象画素とする場合と同様にキズ補正を実施する。

#### 【0051】

なお、平均値算出回路21は、上記の式(1)以外の式を使用して平均値を算出しても良い。また、画素領域11は、4V1Hの画素セル20を配列したものに限られない。1つの画素セルに含まれる画素の数は適宜変更しても良い。

#### 【0052】

図6は、図1に示す画素領域に配列された画素セルの変形例を示す模式図である。変形例にかかる画素セル25は、Y方向へ2つ、X方向へ4つのマトリクスをなす8個の画素を備える。8個の画素は、いわゆる4V2Hの画素共有構造を構成する。OTP22は、1つの画素セル25に対して位置情報および識別情報の組み合わせを1組保持する。固体撮像装置5は、OTP22に保持する情報の量を低減できる。

#### 【0053】

画素領域11の画素配列は、ベイヤー配列以外の画素配列を備えるものであっても良い。

。ベイヤー配列以外の画素配列についても、画素セルを配列させた構成に本実施形態を適用することで、固体撮像装置 5 は、OT P 2 2 に保持する情報の量を低減できる。

#### 【0054】

第 1 の実施形態によると、キズ補正回路 1 9 は、画素セルを構成する複数の画素である対象画素に対し、代表画素についての位置情報を OT P 2 2 に保持する。固体撮像装置 5 は、対象画素について OT P 2 2 に保持される情報量を少なくすることができる。これにより、固体撮像装置 5 は、補正処理のための構成の規模を低減できるという効果を得ることができる。

#### 【0055】

(第 2 の実施形態)

図 7 は、第 2 の実施形態の固体撮像装置に備えられたキズ補正回路のブロック図である。上記の第 1 の実施形態と同一の部分には同一の符号を付し、重複する説明を適宜省略する。

#### 【0056】

キズ補正回路 3 0 は、ラインメモリ 3 1、平均値算出回路 3 2、3 3、減算器 3 4、3 5、平均値判定回路 3 6、レジスタ 3 7、OT P 2 2、キズ判定回路 2 3 およびセクタ 2 4 を備える。平均値算出回路 3 2、3 3 および平均値判定回路 3 6 は、各種論理回路と、演算結果および各種データの保持のための記憶素子を適宜組み合わせで構成されている。記憶素子は、レジスタおよびメモリのいずれであっても良い。

#### 【0057】

ラインメモリ 3 1 は、画素の信号を行単位で保持する。ラインメモリ 3 1 は、画素信号を一時保持することで、画素領域 1 1 の行ごとに画素信号を遅延させる。ラインメモリ 3 1 は、6 つの画素行の信号を保持する。ラインメモリ 3 1 は、例えば S R A M である。キズ補正回路 3 0 は、ラインメモリ 3 1 からの画素信号へ、画素単位での遅延を施す水平遅延線 (図示省略) を備える。

#### 【0058】

平均値算出回路 3 2、3 3 は、入力された信号値の平均値を算出する演算回路である。減算器 3 4、3 5 は、入力された信号値の減算を行う論理回路である。平均値判定回路 3 6 は、平均値算出回路 3 2、3 3 で算出された平均値から、補正值とする一方の平均値を判定する平均値判定回路である。レジスタ 3 7 は、平均値判定回路 3 6 での判定に使用される閾値を保持する記憶素子である。閾値は、レジスタ 3 7 以外の記憶素子、例えばメモリに保持されても良い。

#### 【0059】

セクタ 2 4 は、水平遅延線からの画素信号と、平均値判定回路 3 6 からの補正值とのいずれかを選択する。セクタ 2 4 は、対象画素に対しては、キズ判定回路 2 3 からの制御信号に応じて、平均値判定回路 3 6 からの補正值を選択する。セクタ 2 4 は、対象画素以外の画素に対しては、水平遅延線からの画素信号を選択する。キズ補正回路 3 0 は、セクタ 2 4 で選択された信号を出力する。

#### 【0060】

次に、キズ補正回路 3 0 によるキズ補正の具体例を説明する。図 8 は、図 7 に示すキズ補正回路におけるキズ補正の対象画素と、対象画素の周辺の画素とを示す模式図である。

#### 【0061】

平均値算出回路 3 3 は、1 つの対象画素である「G 0」に対し、「G x 1」および「G x 2」の信号値の平均値を算出する。「G x 1」および「G x 2」は、それぞれ  $(x - 2, y)$ 、 $(x + 2, y)$  の位置にある。平均値算出回路 3 3 は、第 1 実施形態の平均値算出回路 2 1 と同様に、上記の式 (1) により、「G x 1」の信号値  $V_{Gx1}$  および「G x 2」の信号値  $V_{Gx2}$  の平均値である第 1 平均値  $A_x$  を算出する。

#### 【0062】

平均値算出回路 3 2 は、1 つの対象画素である「G 0」に対し、「G y 1」および「G y 2」の信号値の平均値を算出する。「G y 1」および「G y 2」は、「G 0」と同じ列

に配列されたG画素である。「G y 1」は、Y方向において、異色画素である1つのB画素を挟んで「G 0」と隣接する同色画素である。「G y 2」は、Y方向において、「G 0」から画素セル20内の他の3つの画素を跨いだ位置にある同色画素である。「G y 1」および「G y 2」は、それぞれ $(x, y - 2)$ 、 $(x, y + 4)$ の位置にある。

#### 【0063】

平均値算出回路32は、次の式(2)により、「G y 1」の信号値VG y 1および「G y 2」の信号値VG y 2の平均値である第2平均値A yを算出する。

$$A_y = (VG_{y1} + VG_{y2}) / 2 \quad \cdots (2)$$

#### 【0064】

減算器35は、平均値算出回路32で算出された第2平均値A yから、平均値算出回路33で算出された第1平均値A xを差し引いた差分D aを算出する( $D a = A_y - A_x$ )。差分D aは、Y方向における輝度とX方向における輝度との差を表す。

#### 【0065】

減算器34は、平均値算出回路32で算出された第2平均値A yと、「G y 1」の信号値VG y 1との差分D yを算出する( $D y = |A_y - VG_{y1}|$ )。差分D yは、「G 0」を含む画素セル20の上下(Y方向)における輝度の変化量を表す。なお、差分D yは、「G y 1」の信号値VG y 1と「G y 2」の信号値VG y 2との差分であっても良い。

#### 【0066】

レジスタ37は、第1閾値であるT yと第2閾値であるT aを保持する。T yおよびT aは、固体撮像装置5の製造時にレジスタ37へ登録される。レジスタ37に格納されるT y、T aは、カメラシステム1への設定操作あるいは撮像モード等に応じて変更可能であっても良い。

#### 【0067】

平均値判定回路36は、差分D yと第1閾値T yを比較する。差分D yは、画素セル20を中心とするY方向における輝度の変化量を表す。平均値判定回路36は、D yおよびT yの比較結果から、Y方向において輝度が同等であるか否かを判断する。

#### 【0068】

平均値判定回路36は、差分D aと第2閾値T aを比較する。差分D aは、「G 0」を中心とするX方向における輝度と、画素セル20を中心とするY方向における輝度との差を表す。平均値判定回路36は、D aおよびT aの比較結果から、Y方向における輝度がX方向における輝度に比べて十分に大きいか否かを判断する。

#### 【0069】

平均値判定回路36は、D yがT yより小さい( $D y < T y$ )場合に、画素セル20を中心とするY方向における輝度は同等と判断する。平均値判定回路36は、D aがT aより大きい( $D a > T a$ )場合に、Y方向における輝度がX方向における輝度に比べて十分に大きいと判断する。

#### 【0070】

$D y < T y$ および $D a > T a$ が成立することで、平均値判定回路36は、「G 0」を含む画素セル20に沿うY方向には、周囲に対して十分な明るさを持つライン状のパターンが存在すると判断する。平均値判定回路36は、 $D y < T y$ および $D a > T a$ が成立する場合に、第2平均値A yを補正值と判定する。平均値判定回路36は、Y方向の画像情報から算出された第2平均値A yを、「G 0」への補正值に採用する。

#### 【0071】

D yがT y以上( $D y \geq T y$ )、あるいはD aがT a以下( $D a \leq T a$ )である場合、平均値判定回路36は、「G 0」を含む画素セル20に沿うY方向にはライン状のパターンは存在しないものと判断する。平均値判定回路36は、 $D y \geq T y$ および $D a \leq T a$ の少なくとも一方が成立する場合に、第1平均値A xを補正值と判定する。平均値判定回路36は、X方向の画像情報から算出された第1平均値A xを、「G 0」への補正值に採用する。

#### 【0072】



セクタ24は、水平遅延線からは「G0」の信号値VG0が入力され、平均値判定回路36からは「G0」に対する補正值である第1平均値Axまたは第2平均値Ayが入力される。セクタ24は、キズ判定回路23からの制御信号に応じて、平均値判定回路36から入力された第1平均値Axまたは第2平均値Ayを選択する。

#### 【0073】

キズ補正回路30は、「G0」以外の3つの対象画素についても、平均値算出回路32、33での平均値の算出と、平均値判定回路36での判定とを行う。平均値算出回路32は、「G0」を含む画素セル20内のG画素である「G1」が対象画素であるとき、第2平均値の算出に、キズ補正後の「G0」の信号値を使用する。この他、平均値算出回路32は、「G0」が対象画素であるときに求められた「Gy1」および「Gy2」の信号値の平均値を、そのまま「G1」が対象画素であるときの第2平均値としても良い。

#### 【0074】

画素セル20に沿うY方向に明るいラインがある場合、画素セル20内の各対象画素に対してX方向の同色画素の信号値を基に補正值が求められることで、画素セル20の部分でラインが消える可能性がある。また、X方向およびY方向の二次元方向の同色画素の信号値を同等に使用して補正值が求められる場合、ライン上からの輝度情報に比べてライン以外からの輝度情報が多く反映された補正值が算出されることになる。この場合、画素セル20の部分でラインの明るさが大幅に低下する可能性がある。

#### 【0075】

キズ補正回路30は、平均値判定回路36での判定により、画素セル20に沿うY方向に明るいラインがあると判断した場合に、Y方向の画像情報から算出された第2平均値を補正值に採用する。キズ補正回路30は、画素セル20の部分でのラインの消去、およびラインの明るさの大幅な低下を抑制する。キズ補正回路30は、画素セル20の各対象画素への補正処理による画質劣化を抑制できる。

#### 【0076】

平均値算出回路32、33は、上記の式(1)および(2)以外の式を使用して平均値を算出しても良い。平均値判定回路36は、差分Dyと閾値Tyとの比較と、差分Daが閾値Taとの比較以外の手法により、補正值を判定するものであっても良い。

#### 【0077】

キズ補正回路30は、1画素単位の対象画素に対しても、画素セル20内の全ての画素を対象画素とする場合と同様の手法によりキズ補正を実施しても良い。

#### 【0078】

第2の実施形態によると、キズ補正回路30は、平均値判定回路36での補正值の判定により、補正処理による画質劣化を抑制できる。固体撮像装置5は、高品質な画像を得ることができる。また、第1の実施形態と同様に、固体撮像装置5は、対象画素についてOTP22に保持される情報量を少なくすることができる。これにより、固体撮像装置5は、補正処理のための構成の規模を低減でき、かつ高品質な画像を得るという効果を得ることができる。

#### 【0079】

(第3の実施形態)

図9は、第2の実施形態の固体撮像装置に備えられたキズ補正回路のブロック図である。上記の第1の実施形態と同一の部分には同一の符号を付し、重複する説明を適宜省略する。

#### 【0080】

キズ補正回路40は、平均値算出回路21、OTP22、セクタ24、レジスタ41およびキズ判定回路42を備える。レジスタ41は、キズ判定回路42での判定に使用される閾値Tv<sub>b</sub>、Tv<sub>w</sub>を保持する記憶素子である。閾値Tv<sub>b</sub>、Tv<sub>w</sub>は、レジスタ41以外の記憶素子、例えばメモリに保持されても良い。

#### 【0081】

キズ判定回路42は、水平遅延線からの対象画素の信号値と、閾値Tv<sub>b</sub>、Tv<sub>w</sub>とを

比較する。キズ判定回路42は、かかる比較結果と、OTP22に格納されている位置情報を基に、セクタ24へ制御信号を供給する。キズ判定回路42は、代表画素の信号値を基に、代表画素を含む画素セル20内の各画素を補正処理の対象から除外するか否かを判定する補正判定回路である。キズ判定回路42は、各種論理回路と、演算結果および各種データの保持のための記憶素子を適宜組み合わせで構成されている。記憶素子は、レジスタおよびメモリのいずれであっても良い。

#### 【0082】

次に、キズ補正回路40によるキズ補正の具体例を説明する。ここでは、図5に示す「G0」を代表画素とする画素セル20の各画素が補正対象として登録されている場合を例とする。

#### 【0083】

キズ判定回路42は、「G0」の信号値VG0と閾値Tvb, Tvwとを比較する。キズ判定回路42は、信号値VG0を閾値Tvbと比較することで、撮像時の固体撮像装置5のアナログゲイン条件および電子シャッタ時間にて「G0」が黒キズに該当するか否かを判定する。黒キズは、画素が正常に機能しているときに比べて低い信号レベルを示すキズである。

#### 【0084】

キズ判定回路42は、信号値VG0を閾値Tvwと比較することで、撮像時の固体撮像装置5のアナログゲイン条件および電子シャッタ時間にて「G0」が白キズに該当するか否かを判定する。白キズは、画素が正常に機能しているときに比べて高い信号レベルを示すキズである。

#### 【0085】

キズ判定回路42は、信号値VG0が閾値Tvbより大きい( $VG0 > Tvb$ )場合、「G0」は黒キズに該当しないと判定する。キズ判定回路42は、信号値VG0が閾値Tvwより小さい( $VG0 < Tvw$ )場合、「G0」は白キズに該当しないと判断する。キズ判定回路42は、 $Tvb < VG0 < Tvw$ が成立する場合に、撮像時のアナログゲイン条件および電子シャッタ時間では「G0」が黒キズおよび白キズのいずれにも該当しないと判定する。キズ判定回路42は、「G0」に対してはセクタ24への制御信号の供給を停止する。セクタ24は、「G0」に対しては、信号値VG0を選択する。

#### 【0086】

キズ判定回路42は、代表画素である「G0」について $Tvb < VG0 < Tvw$ が成立したことにより、画素セル20内の他の3つの画素について、黒キズおよび白キズのいずれにも該当しないとみなす。キズ判定回路42は、かかる3つの画素に対しても、セクタ24への制御信号の供給を停止する。セクタ24は、かかる3つの画素に対しても、それぞれの画素の信号値を選択する。

#### 【0087】

キズ判定回路42は、信号値VG0が閾値Tvb以下( $VG0 \leq Tvb$ )である場合、「G0」は黒キズに該当すると判定する。キズ判定回路42は、信号値VG0が閾値Tvw以上( $VG0 \geq Tvw$ )である場合、「G0」は白キズに該当すると判定する。キズ判定回路42は、 $VG0 \leq Tvb$ あるいは $VG0 \geq Tvw$ が成立する場合に、撮像時のアナログゲイン条件および電子シャッタ時間では「G0」が黒キズあるいは白キズに該当すると判定する。キズ判定回路42は、「G0」に対して、セクタ24へ制御信号を供給する。セクタ24は、「G0」に対しては、補正值である平均値Axを選択する。

#### 【0088】

キズ判定回路42は、代表画素である「G0」について $VG0 \leq Tvb$ あるいは $VG0 \geq Tvw$ が成立したことにより、画素セル20内の他の3つの画素に対しても、黒キズあるいは白キズに該当するとみなす。キズ判定回路42は、かかる3つの画素に対しても、セクタ24へ制御信号を供給する。セクタ24は、かかる3つの画素に対しても、補正值である平均値Axを選択する。

#### 【0089】

このように、キズ判定回路42は、「G0」がキズに該当しないと判定した場合に、「G0」を含む画素セル20の各画素をキズ補正の対象から除外する。キズ補正回路40は、「G0」がキズに該当するとキズ判定回路42で判定された場合に、「G0」を含む画素セル20の各画素を対象画素とするキズ補正を実施する。

【0090】

キズ補正回路40は、画素セル20の各画素がキズ補正の対象として登録されていても、撮像時のアナログゲイン条件および電子シャッタ時間においてキズとして目立たない場合には、各画素の信号値を正常値として扱う。キズ補正回路40は、撮像時に状況に応じて対象画素の信号値を残せることで、補正処理を行わないことによる画質への影響を比較的少なくできる。また、キズ補正回路40は、補正処理による信号の平均化による解像度の低下を抑制できる。これにより、固体撮像装置5は、撮像時に状況に応じて高い画質の画像を得ることができる。

【0091】

閾値 $T_{vb}$ 、 $T_{vw}$ は、固体撮像装置5の製造時にレジスタ41へ登録される。閾値 $T_{vb}$ は、黒キズとする輝度の上限として設定された固定値とする。閾値 $T_{vw}$ は、白キズとする輝度の下限として設定された固定値とする。閾値 $T_{vb}$ 、 $T_{vw}$ は、それぞれ固定値に限られない。閾値 $T_{vb}$ 、 $T_{vw}$ は、撮像時のアナログゲインおよび電子シャッタ時間の少なくとも一方を変数とする関数であっても良い。キズ判定回路42は、撮像時におけるパラメータが変数に代入された閾値 $T_{vb}$ 、 $T_{vw}$ を、代表画素の信号値と比較する。

【0092】

キズ補正回路40は、1画素単位の対象画素に対しても、画素セル20内の全ての画素を対象画素とする場合と同様の手法によりキズ補正を実施しても良い。キズ補正回路40は、本実施形態のキズ判定回路42およびレジスタ41を、第2の実施形態の構成に組み合わせても良い。

【0093】

第3の実施形態によると、キズ判定回路42は、代表画素の信号値を基に、代表画素を含む画素セル20内の各画素を補正処理の対象から除外するか否かを判定する。キズ補正回路40は、撮像時の状況に応じて、目立たないキズへの補正処理を抑制できる。固体撮像装置5は、撮像時に状況に応じて高い画質の画像を得ることができる。また、第1の実施形態と同様に、固体撮像装置5は、対象画素についてOTP22に保持される情報量を少なくすることができる。これにより、固体撮像装置5は、補正処理のための構成の規模を低減でき、かつ高品質な画像を得るという効果を得ることができる。

【0094】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0095】

5 固体撮像装置、11 画素領域、19 キズ補正回路、20、25 画素セル、21、32、33 平均値算出回路、22 OTP、23、42 キズ判定回路、24 セレクタ、36 平均値判定回路。

【書類名】 特許請求の範囲

【請求項 1】

複数の画素を備える画素セルが行方向および列方向へ配列された画素領域と、画素からの信号への補正処理を実施する補正回路と、を備え、前記補正回路は、補正処理の対象とする対象画素の位置情報を保持するメモリを備え、前記メモリは、画素セルに含まれる複数の対象画素に対し、前記複数の対象画素の1つである代表画素の位置情報を保持することを特徴とする固体撮像装置。

【請求項 2】

前記メモリは、前記代表画素の位置情報と、前記代表画素を含む画素セル内の各画素が対象画素であることを示す識別情報とを保持することを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記補正回路は、対象画素への補正値を算出する演算回路を備え、前記演算回路は、対象画素と同じ行に配置された画素の信号値の平均値を算出することを特徴とする請求項 1 または 2 に記載の固体撮像装置。

【請求項 4】

前記演算回路は、対象画素と同じ行に配置された画素の信号値の平均値である第 1 平均値と、対象画素と同じ列に配置された画素の信号値の平均値である第 2 平均値とを算出し、

前記補正回路は、前記第 1 平均値および前記第 2 平均値から、対象画素への補正値とする平均値を判定する平均値判定回路を備えることを特徴とする請求項 1 または 2 に記載の固体撮像装置。

【請求項 5】

前記平均値判定回路は、対象画素を含む画素セルを中心とする列方向における輝度の変化量が第 1 閾値未満であって、かつ前記列方向における輝度と対象画素を中心とする行方向における輝度との差が第 2 閾値より大きい場合に、前記第 2 平均値を補正値と判定することを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】

前記補正回路は、前記代表画素の信号値を基に、前記代表画素を含む画素セル内の各画素を補正処理の対象から除外するか否かを判定する補正判定回路を備えることを特徴とする請求項 1 から 5 のいずれか一項に記載の固体撮像装置。

【書類名】 要約書

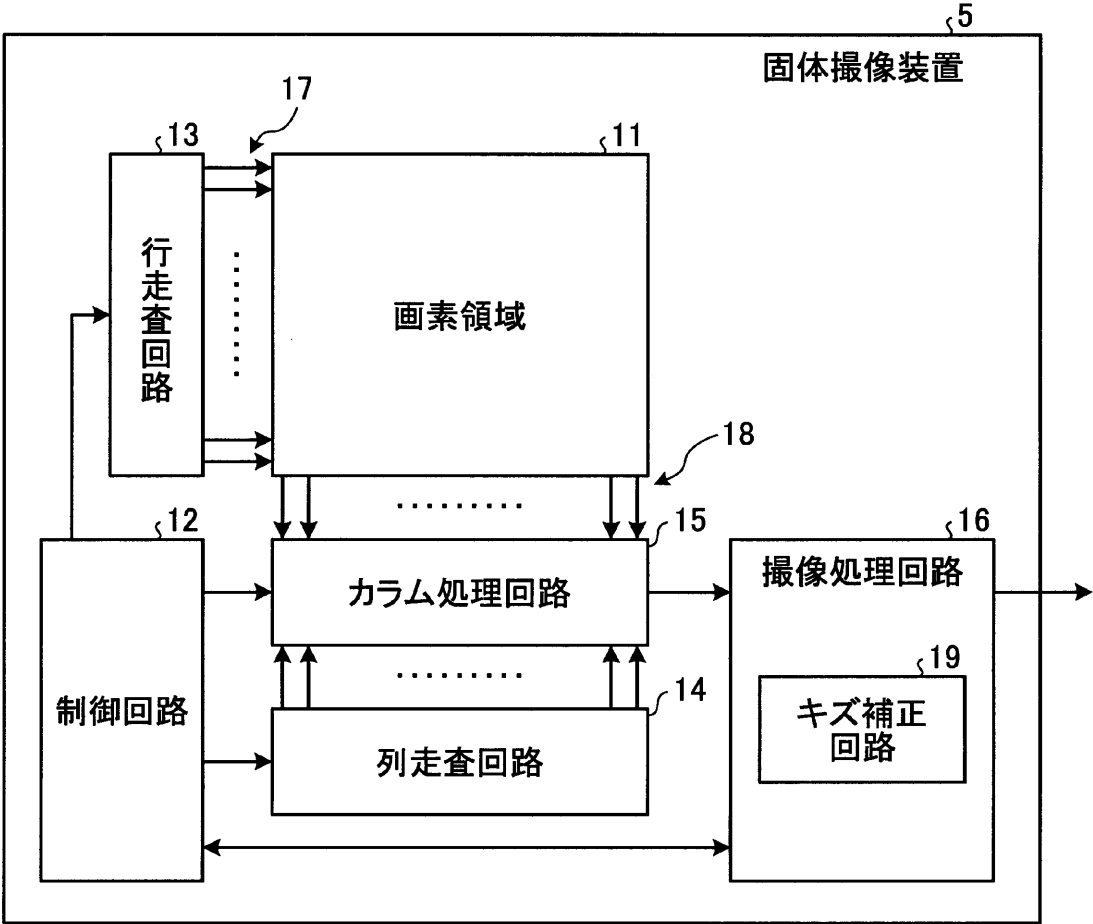
【要約】

【課題】 補正処理のための構成の規模を低減可能とする固体撮像装置を提供すること。

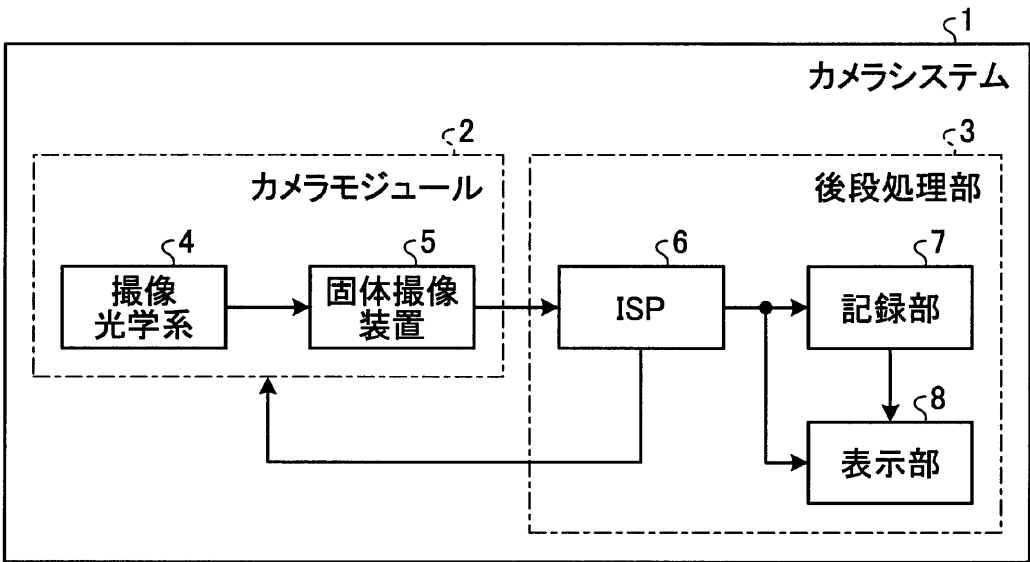
【解決手段】 実施形態によれば、固体撮像装置は、画素領域および補正回路であるキズ補正回路 19 を備える。画素領域には、画素セルが行方向および列方向へ配列されている。画素セルは、複数の画素を備える。補正回路は、画素からの信号への補正処理を実施する。補正回路は、メモリである O T P 22 を備える。メモリは、対象画素の位置情報を保持する。対象画素は、補正処理の対象である。メモリは、画素セルに含まれる複数の対象画素に対し、代表画素の位置情報を保持する。代表画素は、複数の対象画素の 1 つである。

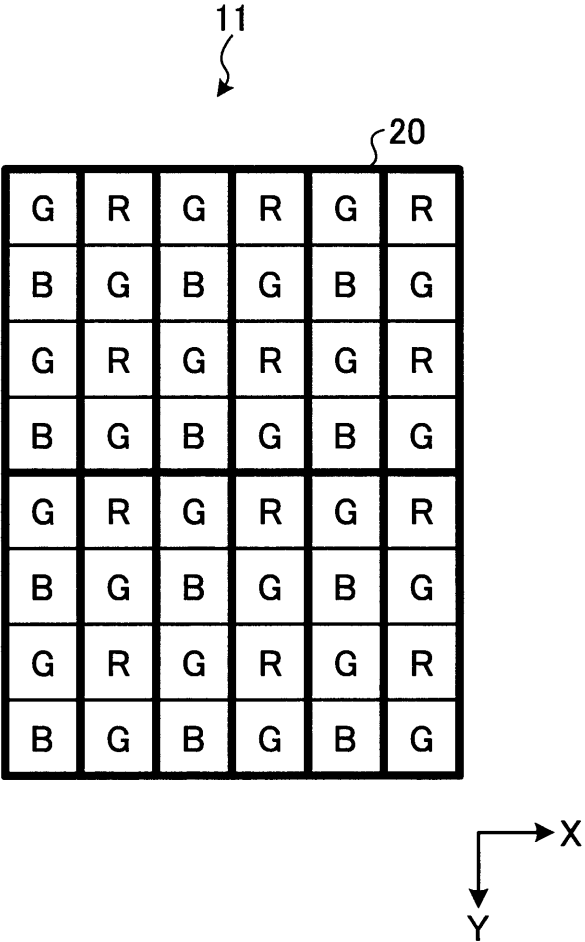
【選択図】 図 4

【書類名】 図面  
【図 1】

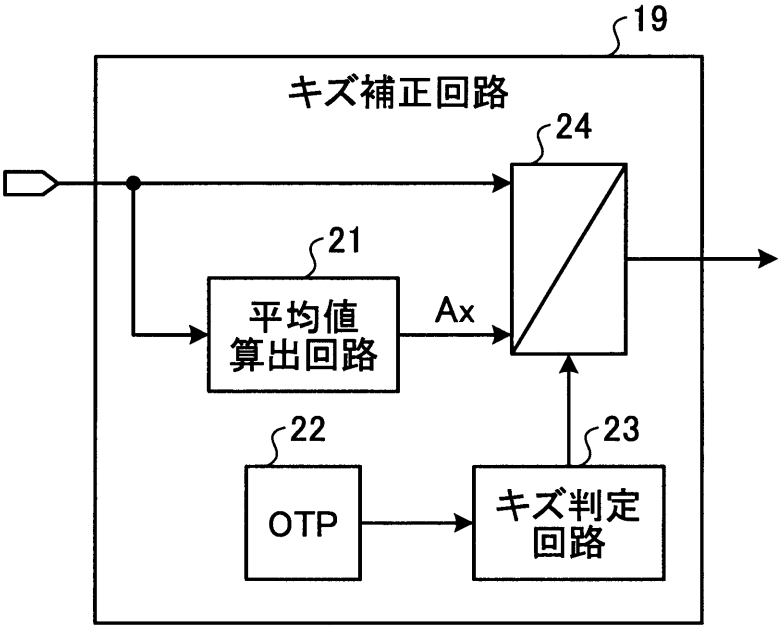


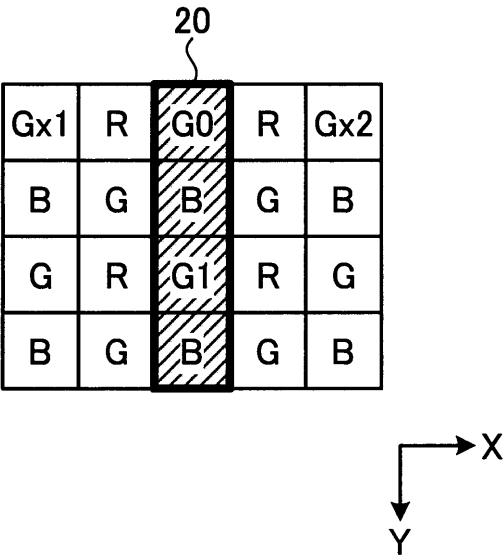
【図 2】



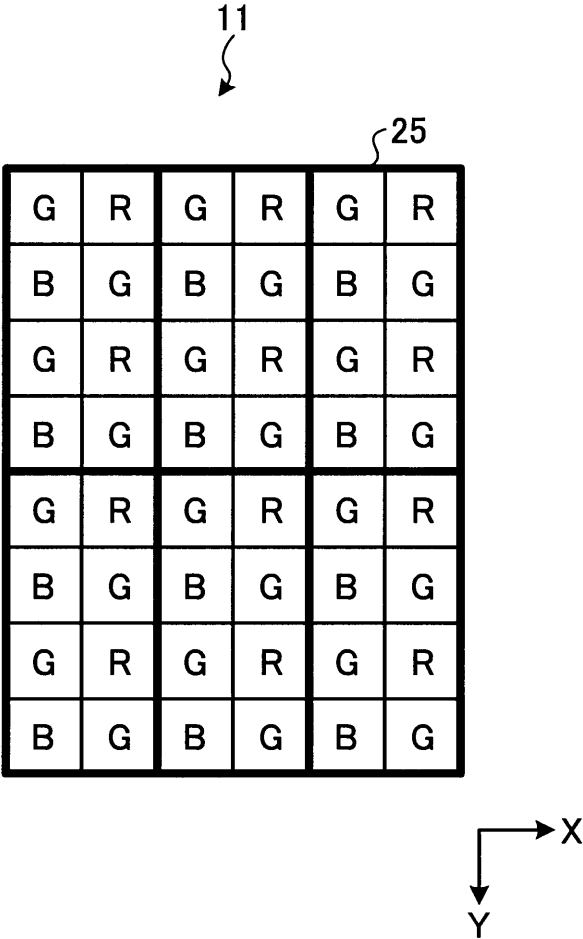


【図 4】



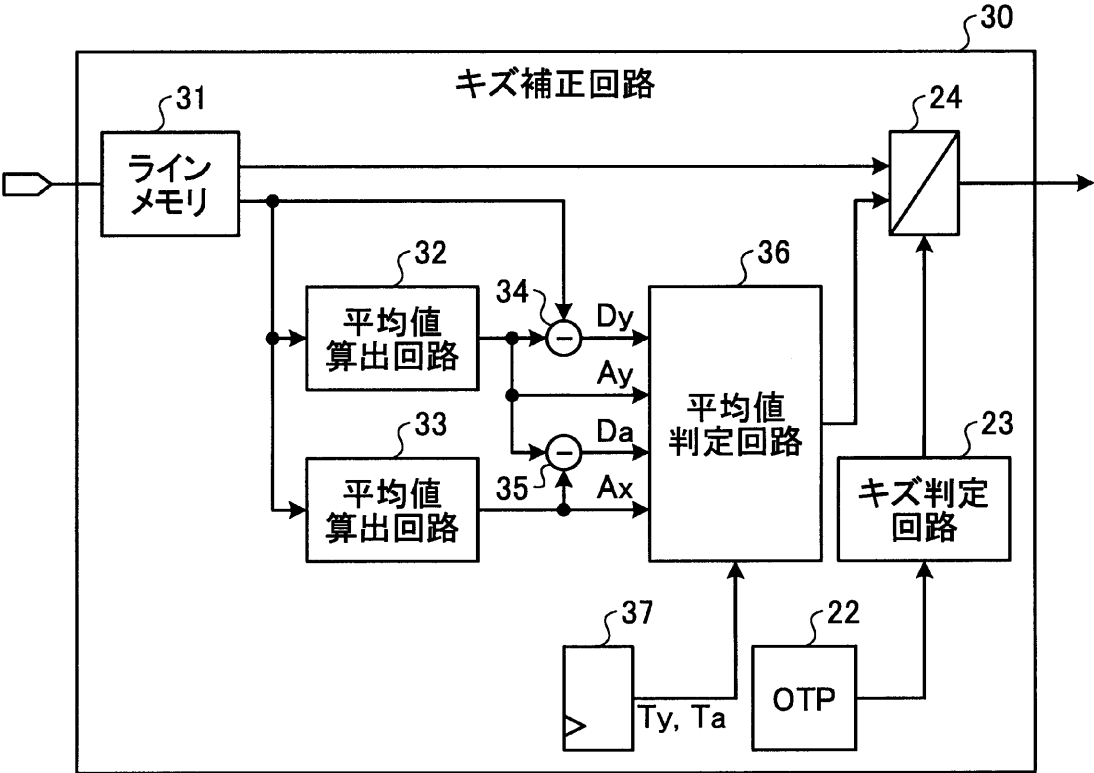


【図 6】

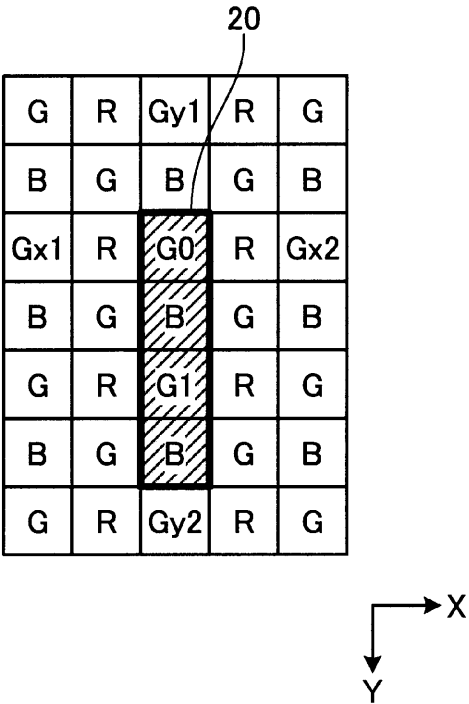




【図 7】



【図 8】



【図9】

