

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

高い耐圧と低いオン抵抗を両立させる電力制御用半導体装置として、n型（あるいはp型）の半導体層にp型（あるいはn型）の半導体層を埋め込み、n型領域とp型領域を交互に配列させたスーパージャンクション構造（以下「SJ構造」とも称する）を備える縦型MOSFET（Metal Oxide Semiconductor Field Effect Transistor）がある。SJ構造では、n型領域に含まれるn型不純物量とp型領域に含まれるp型不純物量を等しくすることで、疑似的にノンドープ領域を作り高い耐圧を実現する。同時に、高不純物濃度領域に電流を流すことで低いオン抵抗を実現できる。

【0003】

SJ構造を形成する一方法として、例えば、n型の半導体層にトレンチを形成し、そのトレンチ内をp型の半導体で埋め込みp型の半導体層を設ける方法がある。しかしながら、この方法では、p型の半導体層内に空洞部（空孔、ボイド）が形成されやすい。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】国際公開第2012/144271号

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、スーパージャンクション構造の特性安定を可能とする半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、第1電極と、第2電極と、第1電極と第2電極の間に設けられた第1導電型第1半導体領域と、第1半導体領域の第1方向に、第1半導体領域と交互に設けられた、第2導電型不純物を含む第2半導体領域と、第2半導体領域内に設けられた第1絶縁体領域と、第1半導体領域上に設けられた第3電極と、第3電極の周囲に設けられた第2絶縁体領域と、を備える。

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置の模式断面図である。

【図2】第1の実施形態の半導体装置において、第1方向に平行な方向における第2半導体領域の長さ第1方向に平行な方向における第3半導体領域の長さの関係を示す模式上面図である。

【図3】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図4】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図5】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図6】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図7】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の

模式断面図である。

【図8】第2の実施形態の半導体装置の模式断面図である。

【図9】第3の実施形態の半導体装置において、第1方向に平行な方向における第2半導体領域の長さと第1方向に平行な方向における第3半導体領域の長さの関係を示す模式上面図である。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0009】

本明細書中、部品等の位置関係を示すために、図面の上方向を「上」、図面の下方向を「下」と記述する。本明細書中、「上」、「下」の概念は、必ずしも重力の向きとの関係を示す用語ではない。

【0010】

(第1の実施形態)

本実施形態の半導体装置は、第1電極と、第2電極と、第1電極と第2電極の間に設けられた第1導電型第1半導体領域と、第1半導体領域の第1方向に、第1半導体領域と交互に設けられた、第2導電型不純物を含む第2半導体領域と、第2半導体領域内に設けられた第1絶縁体領域と、第1半導体領域上に設けられた第3電極と、第3電極の周囲に設けられた第2絶縁体領域と、を備える。

【0011】

図1は、本実施形態の半導体装置100の模式断面図である。図2は、本実施形態の半導体装置において、第1方向に平行な方向における第2半導体領域の長さと第1方向に平行な方向における第3半導体領域の長さの関係を示す模式上面図である。図2のI-I線断面図は図1(a)である。図2のI-I-I線断面図は図1(b)である。本実施形態の半導体装置100は、スーパージャンクション構造を備えるトレンチゲート型縦型MOSFETである。

【0012】

図1及び図2において、第1方向をX軸方向、X軸方向に対して垂直な1つの方向をY軸方向(第2方向)、X軸方向及びY軸方向に対して垂直な方向をZ軸方向とする。図2のI-I線断面及びI-I-I線断面は、Y軸方向に対して垂直すなわちXZ面に平行な面内にある。図1(a)及び図1(b)は、半導体装置100のY軸方向に垂直な面内すなわちXZ面に平行な面内における断面図である。また、言い換えれば、図2は、半導体装置100をZ方向から見た場合の模式上面図である。

【0013】

半導体装置100は、第1電極(ソース電極)4と、第2電極(ドレイン電極)6と、第1導電型第1半導体領域8と、第2半導体領域10と、第2導電型第6半導体領域12と、第7半導体領域14と、第1絶縁体領域16と、第1空孔18と、第3電極(ゲート電極)20と、第2絶縁体領域(ゲート絶縁膜)22と、第2導電型第8半導体領域30と、第1導電型第9半導体領域32と、第2導電型第10半導体領域34と、第3半導体領域40と、第4半導体領域42と、第3絶縁体領域46と、第2空孔48と、第4絶縁体領域50と、バリアメタル52と、上面70と、を備える。

【0014】

以下、第1導電型がn型、第2導電型がp型である場合を例に説明する。また、n<sup>+</sup>型、n型、n<sup>-</sup>型の順で、第1導電型の不純物濃度が低くなっていることを意味する。同様に、p<sup>+</sup>型、p型、p<sup>-</sup>型の順で、第2導電型の不純物濃度が低くなっていることを意味する。

【0015】

第1電極4は、半導体装置100のソース電極である。第1電極4は、例えば、アルミニウム(A1)を含む。

**【0016】**

第2電極6は、半導体装置100のドレイン電極である。第2電極6は、例えば、バナジウム(V)、ニッケル(Ni)、金(Au)、銀(Ag)またはスズ(Sn)を含む。

**【0017】**

n型第1半導体領域8は、第1電極4と第2電極6の間に設けられており、上面70を有する。第1半導体領域8は、n型不純物を含むシリコン(Si)を含む。n型不純物は、例えば、リン(P)又はヒ素(As)である。第1半導体領域8は、スーパージャンクション構造のn型の部分である。

**【0018】**

バリアメタル52は、第1電極4と第1半導体領域8の間に設けられている。バリアメタル52は、後述するソース電極54に用いられるアルミニウム(Al)とシリコンが直接接することによりアルミニウムとシリコンが互いに拡散する事を防ぐ。バリアメタル52は、例えば、窒化チタン(TiN)、チタン(Ti)、チタタンングステン(TiW)を含む。

**【0019】**

第2半導体領域10は、第1半導体領域8の第1方向に、第1半導体領域8と交互に設けられている。第2半導体領域10は、p型不純物を含む。p型不純物は、例えば、ボロン(B)である。第2半導体領域10は、スーパージャンクション構造のp型の部分である。

**【0020】**

第2半導体領域10は、p型第6半導体領域12と、第6半導体領域12内にそれぞれ設けられた第7半導体領域14を有する。p型第6半導体領域12は、例えば、シリコン(Si)とp型不純物を含む。第7半導体領域14は、例えば、i型(ノンドープ型)のシリコン(Si)を含む。

**【0021】**

第1絶縁体領域16は、第7半導体領域14内(第2半導体領域10内)に設けられている。第1絶縁体領域16は、例えば、酸化シリコン(SiO<sub>2</sub>)を含む。第1絶縁体領域16は、それぞれ第1絶縁体領域16内に設けられた第1空孔18を有する。

**【0022】**

本実施形態においては、第6半導体領域12内にi型(ノンドープ)シリコン(Si)を含む第7半導体領域14が設けられている。そのため、第1半導体領域8から第1絶縁体領域16に向かって第2半導体領域10のp型不純物濃度は低下している、又は第1絶縁体領域16よりも第1半導体領域8に近い側にp型不純物濃度の高い領域が設けられている。

**【0023】**

第3電極20は、第1半導体領域8上の、複数の第2半導体領域10の間に設けられている。第3電極20は、半導体装置100のゲート電極である。第3電極20は、例えば、多結晶シリコン(Si)を含む。

**【0024】**

第2絶縁体領域22は、第3電極20の周囲に設けられている。第2絶縁体領域22は、半導体装置100のゲート絶縁膜である。第2絶縁体領域22は、例えば、酸化シリコン(SiO<sub>2</sub>)を含む。

**【0025】**

p型第8半導体領域30は、第2半導体領域10と第3電極20の間に設けられている。p型第8半導体領域30は、半導体装置100のチャネル領域(ベース領域)である。

**【0026】**

n型第9半導体領域32は、第8半導体領域30上の、第2半導体領域10と第3電極20の間に設けられている。n型第9半導体領域32は、半導体装置100のソース領域である。

**【0027】**

p<sup>+</sup>型第10半導体領域34は、第8半導体領域30上の、第2半導体領域10と第9半導体領域32の間に設けられている。p<sup>+</sup>型第10半導体領域34は、半導体装置100のチャネルコンタクト領域（ベースコンタクト領域）である。

#### 【0028】

第3半導体領域40は、第2半導体領域10に対して、第1方向に垂直な第2方向に設けられている。第3半導体領域40は、p型第4半導体領域42と、第4半導体領域42内に設けられた第3絶縁体領域46と、第3絶縁体領域46内に設けられた第4絶縁体領域50と、第4絶縁体領域50（第3絶縁体領域46）内に設けられた第2空孔48を有する。第1方向に平行な方向における第3半導体領域40の長さ $d_2$ は、それぞれ第1方向に平行な方向における第2半導体領域10の長さ $d_1$ より長い。

#### 【0029】

第3絶縁体領域46は、例えば、熱酸化法によって形成された酸化シリコン（SiO<sub>2</sub>）を含む。第4絶縁体領域50は、例えば、CVD（Chemical Vapor Deposition）法によって形成された酸化シリコン（SiO<sub>2</sub>）を含み、BPSG（Boron Phosphorus Silicon Glass）から形成される。

#### 【0030】

第2空孔48は、第2方向において、第1空孔18と連結されている。また、第4半導体領域42は、第2方向において、第6半導体領域12と連結されていても良い。

#### 【0031】

本実施形態の半導体装置100においては、図2に示すように、第2半導体領域の第1方向に、さらに第2半導体領域が設けられている。また、第3半導体領域の第1方向に、さらに第3半導体領域が設けられている。

#### 【0032】

次に、本実施形態の半導体装置100の製造方法を記載する。

#### 【0033】

本実施形態の半導体装置100の製造方法は、n型第1半導体領域8の第1方向においてn型第1半導体領域8と交互になるように、第1方向に平行な方向における長さが $d_1$ である第1溝を第1方向と垂直な第2方向に形成し、第1溝と連結され第1方向に平行な方向における長さが $d_1$ より長い $d_2$ である第2溝を第2方向に形成し、第1溝上にp型第6半導体領域を形成し、第2溝上にp型第4半導体領域を形成し、第6半導体領域上にi型第7半導体領域を形成し、第7半導体領域内に第1空孔を形成し、第4半導体領域上にi型第5半導体領域を形成し、第5半導体領域を酸化させて第3絶縁体領域を形成し、第7半導体領域の一部を酸化して第7半導体領域内の第1空孔の周囲に第1絶縁体領域を形成し、第3絶縁体領域内に第4絶縁体領域と第4絶縁体領域内に設けられた第2空孔を形成し、第1半導体領域上にp型第8半導体領域を形成し、第1半導体領域上にn型第9半導体領域を形成し、第1半導体領域上にp型第10半導体領域を形成し、第1半導体領域上に第2絶縁体領域を形成し、第1半導体領域上に第3電極を形成し、第1半導体領域上にバリアメタルを形成し、第1半導体領域上にソース電極を形成し、第1半導体領域の、ソース電極が設けられた面と反対側の面に接してドレイン電極を形成する。

#### 【0034】

まず、図3（a）に示すように、n型第1半導体領域8の第1方向においてn型第1半導体領域8と交互になるように、第1方向に平行な方向における長さが $d_1$ である第1溝を第1方向と垂直な第2方向に形成する。次に、図3（b）に示すように、第1溝60とそれぞれ連結され、第1方向に平行な方向における長さが $d_1$ より長い $d_2$ である第2溝62を第2方向に形成する。

#### 【0035】

次に、図4（a）に示すように、第1溝60上に、例えばエピタキシャル成長法により、p型第6半導体領域12を形成する。また、第2溝62上に、例えばエピタキシャル成長法により、p型第4半導体領域42を形成する。なお、第6半導体領域12と第4半導体領域42は、互いに第2方向において接続されていても良い。

**【0036】**

次に、図5(a)に示すように、第6半導体領域12上に、i型(ノンドープ型)第7半導体領域14を形成する。このとき、図5(a)のように、図4(a)において第1溝60であった部分には、第1溝60の上部が閉塞することにより、第7半導体領域14内に第1空孔18が形成される。

**【0037】**

また、図5(b)に示すように、第4半導体領域42上に、i型(ノンドープ型)第5半導体領域44を形成する。第2溝62の幅は第1溝60よりそれぞれ長いため、第2溝62の上部は第1溝60の上部のように閉塞されない。

**【0038】**

次に、図6(a)及び図6(b)に示すように、例えば、第2溝62内に酸素ガスを供給することにより、第5半導体領域44を酸化させて第3絶縁体領域46を形成する。また、第2溝62内に供給された酸素ガスは、第2溝62から第1空孔18に供給される。そして、第7半導体領域14の一部が酸化され第7半導体領域14の第1空孔18内に第1絶縁体領域16が形成される。

**【0039】**

次に、例えばCVD法により、BPSGを第3絶縁体領域46内に導入して、第3絶縁体領域46内に第4絶縁体領域50と第4絶縁体領域50内に設けられた第2空孔48を形成する。次にBPSGを加熱して溶解し、第3絶縁体領域46内に第4絶縁体領域50をリフローさせる。次に、第1半導体領域8上に設けられた余剰の第4絶縁体領域50をエッチングし、CMP(Chemical Mechanical Polishing)により除去する。この段階における図を図7(a)及び図7(b)に示す。

**【0040】**

最後に、イオン注入法等によりp型第8半導体領域30、n型第9半導体領域32、p型第10半導体領域34を第1半導体領域8上に形成する。次に、第1半導体領域上に第2絶縁体領域22、第3電極20、バリアメタル52、ソース電極4を形成する。次に、第1半導体領域8の、ソース電極4が設けられた面と反対側の面に接してドレイン電極6を形成し、図1に示した半導体装置100を得る。

**【0041】**

次に、本実施形態の半導体装置100の作用効果を記載する。

**【0042】**

スーパージャンクション構造のp型部分(第2半導体領域)にはリーク電流が流れることがあるため、半導体装置の特性が安定しないおそれがある。これを抑制するためp型部分の一部に酸化膜などの絶縁体を設けることが考えられる。しかし、第1半導体領域8の上面70に絶縁体が設けられると、絶縁体上にFET等のデバイスを形成することは困難なため、半導体装置を微細化することが困難になる。製造速度を高くするためp型部分に空孔を設ける構造にした場合、空孔の内壁をリーク電流が流れることがあるため、この問題はさらに顕在化する。

**【0043】**

本実施形態の半導体装置においては、第2半導体領域内に第1絶縁体領域が設けられている。そのため、上記のリーク電流が流れることを抑制することができる。また、第1半導体領域の上面70には絶縁体が設けられていないため、半導体装置の微細化が可能となる。

**【0044】**

第1絶縁体領域内に第1空孔が設けられた構造とすることで、高い製造速度で半導体装置を製造し、かつ第1空孔の内壁をリーク電流が流れることを抑制することが可能となる。

**【0045】**

第1半導体領域から第1絶縁体領域に向かって第2半導体領域の第2導電型不純物濃度は低下する、又は第1絶縁体領域16a、16bよりも第1半導体領域8に近い側に、p

型不純物濃度の高い領域が設けられている構造とすることで、i 型（ノンドープ）の半導体領域を設ける等により第6の半導体領域12が酸化から保護され、不純物濃度の制御が容易となる。

#### 【0046】

第3半導体領域を、第2半導体領域と別に設けることにより、第2半導体領域上にはFET等の半導体デバイスの形成が可能となり、かつ第1空孔の内壁を酸化させてリーク電流が流れることを抑制することが可能となる。

#### 【0047】

第1方向に平行な方向における第3半導体領域の長さは第1方向に平行な方向における第2半導体領域の長さより長いものとするにより、第3半導体領域の上部を閉塞させずに第2半導体領域の上部を閉塞させることが容易に可能となる。これにより、第3半導体領域の上部から酸素ガス等を第2半導体領域に導入し、第1空孔の内壁を酸化させることが可能となる。

#### 【0048】

(第2の実施形態)

本実施形態の半導体装置200は、スーパージャンクション構造を備えるプレーナゲート型縦型MOSFETである点で、第1の実施形態の半導体装置100と異なっている。ここで、第1の実施形態と重複する点については、記載を省略する。

#### 【0049】

図8は、本実施形態の半導体装置200の模式断面図である。本実施形態の半導体装置200及びその製造方法においても、スーパージャンクション構造の特性安定を可能とする半導体装置の提供が可能となる。

#### 【0050】

(第3の実施形態)

本実施形態の半導体装置300は、第2半導体領域の第1方向に第3半導体領域が設けられている点で、第1の実施形態の半導体装置と異なっている。ここで、第1の実施形態及び第2の実施形態と重複する点については、記載を省略する。

#### 【0051】

図9は、本実施形態の半導体装置300において、第1方向に平行な方向における第2半導体領域の長さと第1方向に平行な方向における第3半導体領域の長さの関係を示す模式上面図である。このように第2半導体領域と第3半導体領域を設けることにより、第1方向(X軸方向)の単位長さあたりに、より多くの第2半導体領域及び第3半導体領域を設けて微細化をすることができる。

#### 【0052】

本実施形態の半導体装置300によれば、微細化をすることが可能な、スーパージャンクション構造の特性安定を可能とする半導体装置の提供が可能となる。

#### 【0053】

本発明のいくつかの実施形態及び実施例を説明したが、これらの実施形態及び実施例は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

#### 【符号の説明】

#### 【0054】

- 4 第1電極（ソース電極）
- 6 第2電極（ドレイン電極）
- 8 第1導電型第1半導体領域
- 10 第2半導体領域
- 12 第2導電型第6半導体領域

1 4	第 7 半導体領域
1 6	第 1 絶縁体領域
1 8	第 1 空孔
2 0	第 3 電極 (ゲート電極)
2 2	第 2 絶縁体領域 (ゲート絶縁膜)
3 0	第 2 導電型第 8 半導体領域
3 2	第 1 導電型第 9 半導体領域
3 4	第 2 導電型第 1 0 半導体領域
4 0	第 3 半導体領域
4 2	第 2 導電型第 4 半導体領域
4 4	第 5 半導体領域
4 6	第 3 絶縁体領域
4 8	第 2 空孔
5 0	第 4 絶縁体領域
5 2	バリアメタル
6 0	第 1 溝
6 2	第 2 溝
7 0	上面
1 0 0	半導体装置
2 0 0	半導体装置
3 0 0	半導体装置

【書類名】 特許請求の範囲

【請求項 1】

第 1 電極と、  
第 2 電極と、  
前記第 1 電極と前記第 2 電極の間に設けられた第 1 導電型第 1 半導体領域と、  
前記第 1 半導体領域の第 1 方向に、前記第 1 半導体領域と交互に設けられた、第 2 導電型不純物を含む第 2 半導体領域と、  
前記第 2 半導体領域内に設けられた第 1 絶縁体領域と、  
前記第 1 半導体領域上に設けられた第 3 電極と、  
前記第 3 電極の周囲に設けられた第 2 絶縁体領域と、  
を備える半導体装置。

【請求項 2】

前記第 1 半導体領域から前記第 1 絶縁体領域に向かって前記第 2 半導体領域の第 2 導電型不純物濃度は低下する請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 絶縁体領域は、前記第 1 絶縁体領域内に設けられた第 1 空孔をさらに有する請求項 1 又は請求項 2 記載の半導体装置。

【請求項 4】

前記第 2 半導体領域に対して前記第 1 方向に垂直な第 2 方向に設けられた、第 2 導電型第 4 半導体領域と、前記第 4 半導体領域内に設けられた第 3 絶縁体領域と、前記第 3 絶縁体領域内に設けられ前記第 1 空孔と連結されている第 2 空孔と、を備える第 3 半導体領域をさらに備える請求項 3 記載の半導体装置。

【請求項 5】

前記第 1 方向に平行な方向における前記第 3 半導体領域の長さは前記第 1 方向に平行な方向における前記第 2 半導体領域の長さより長い請求項 4 記載の半導体装置。



【書類名】 要約書

【要約】

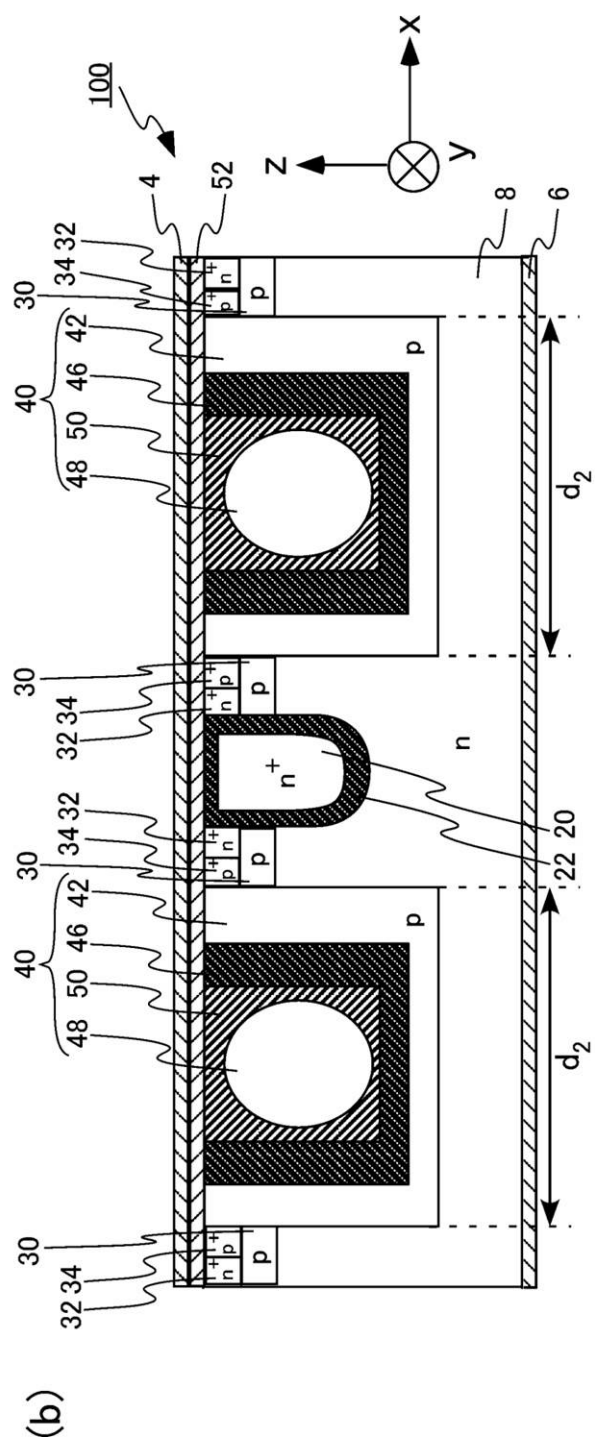
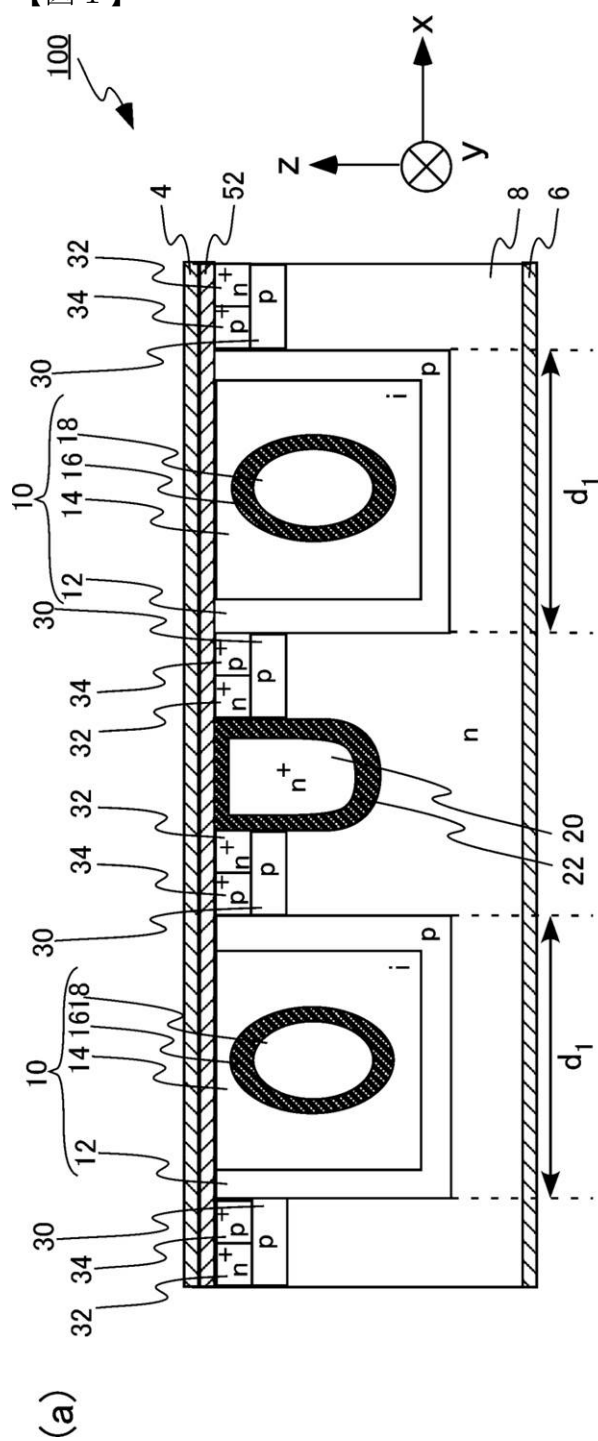
【課題】 スーパー Junction 構造の特性安定を可能とする半導体装置を提供する。

【解決手段】 実施形態の半導体装置は、第 1 電極と、第 2 電極と、第 1 電極と第 2 電極の間に設けられた第 1 導電型第 1 半導体領域と、第 1 半導体領域の第 1 方向に、第 1 半導体領域と交互に設けられた、第 2 導電型不純物を含む第 2 半導体領域と、第 2 半導体領域内に設けられた第 1 絶縁体領域と、第 1 半導体領域上に設けられた第 3 電極と、第 3 電極の周囲に設けられた第 2 絶縁体領域と、を備える。

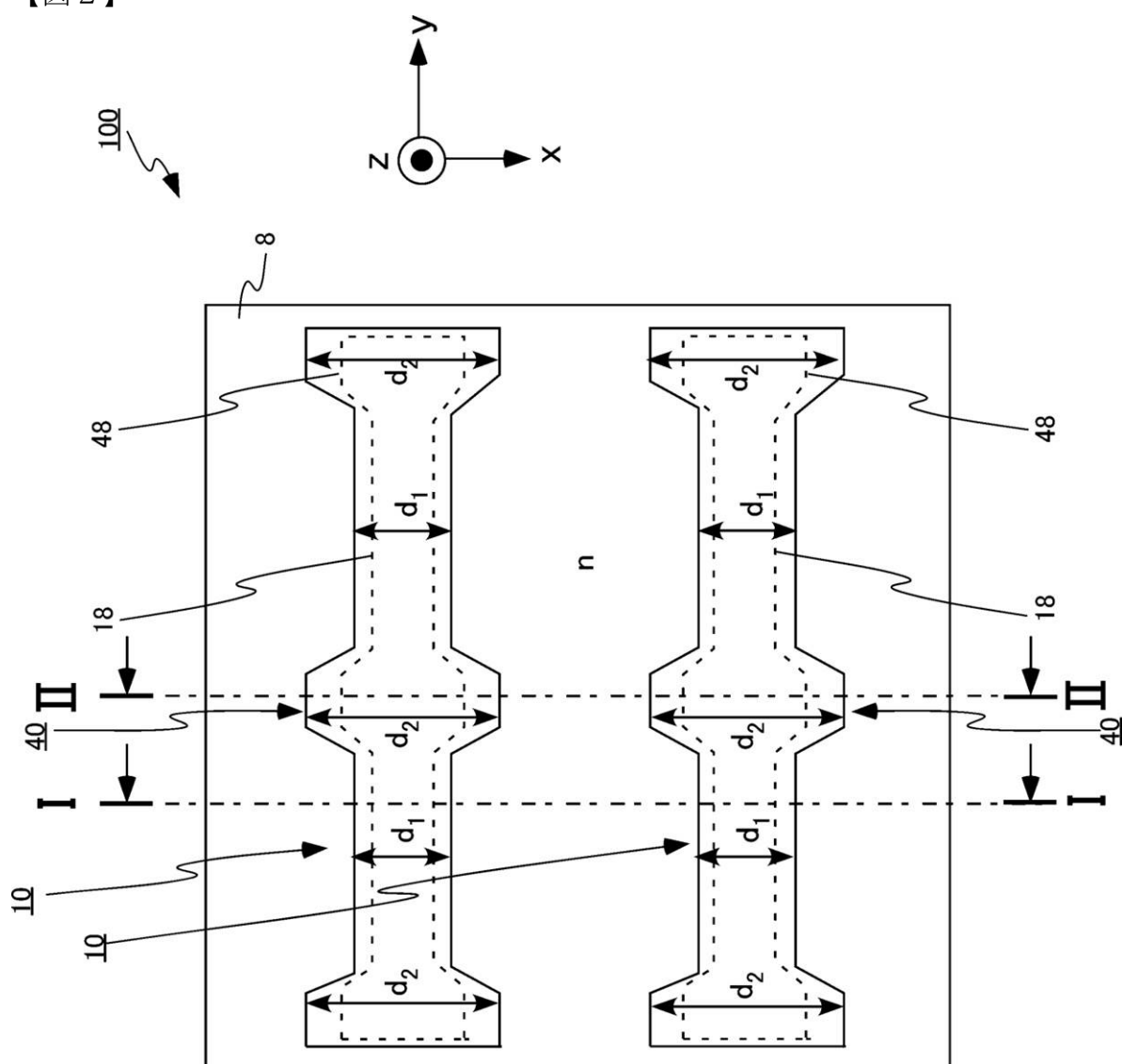
【選択図】 図 1

【書類名】 図面

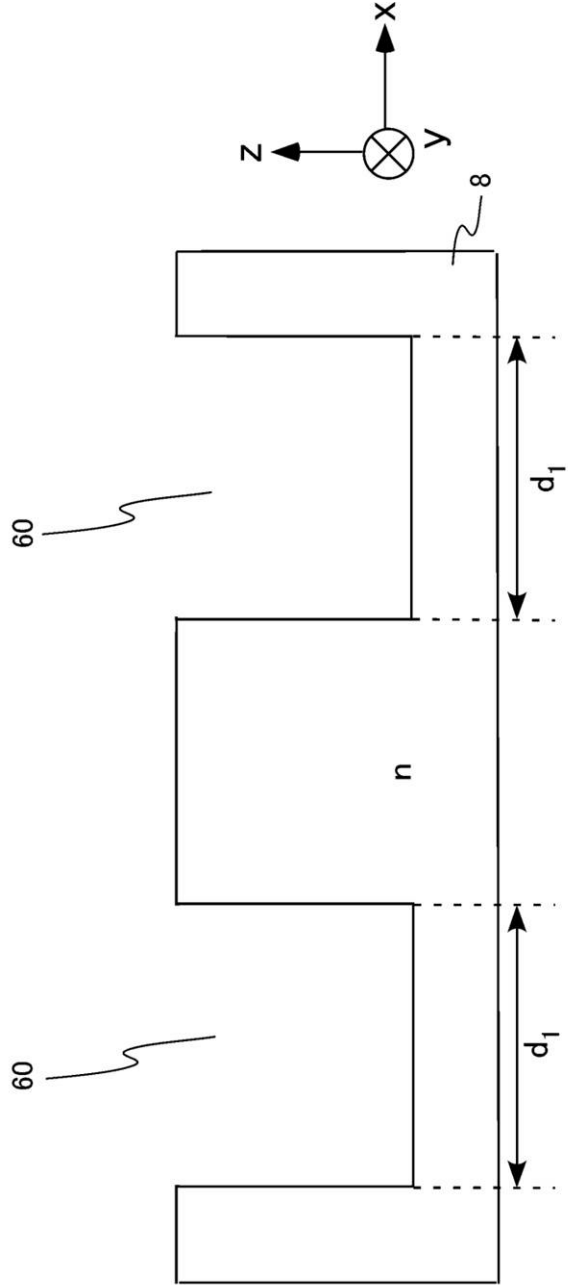
【図 1】



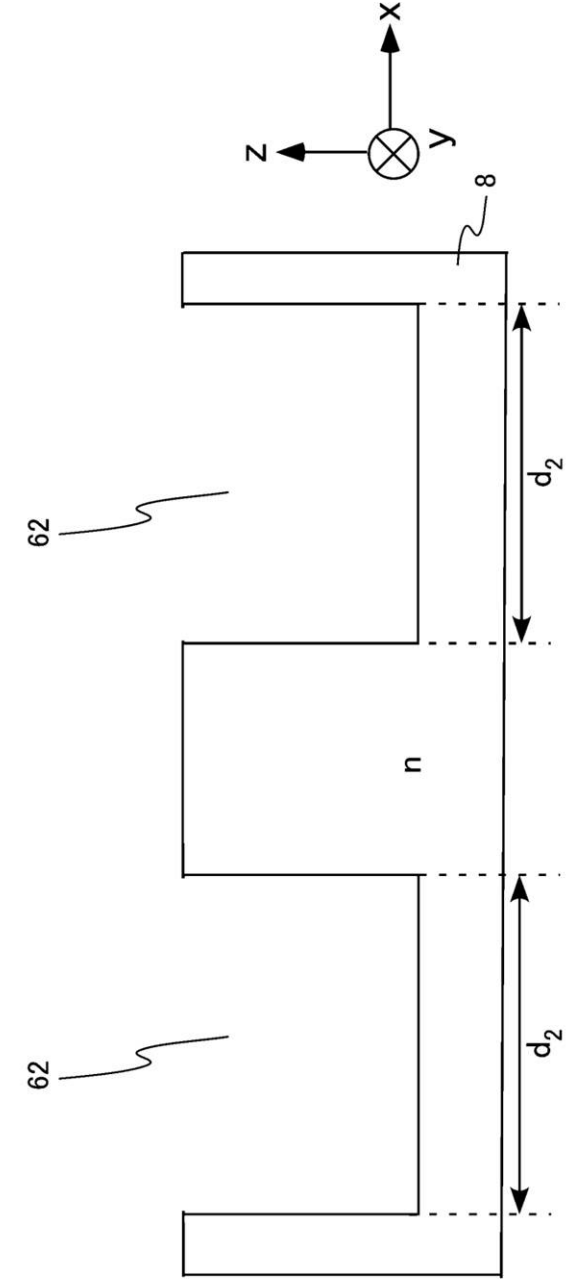
【図 2】



【図 3】

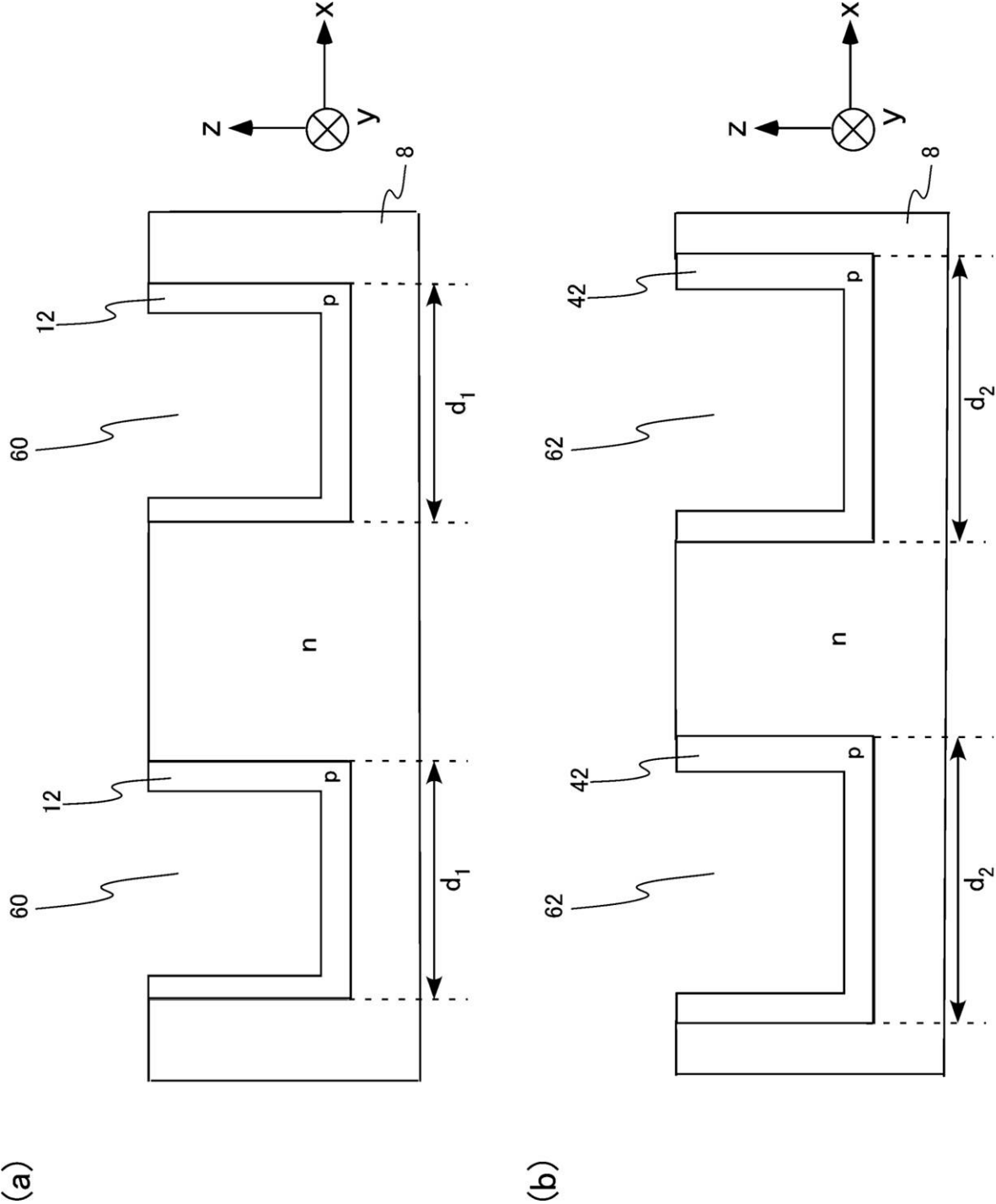


(a)

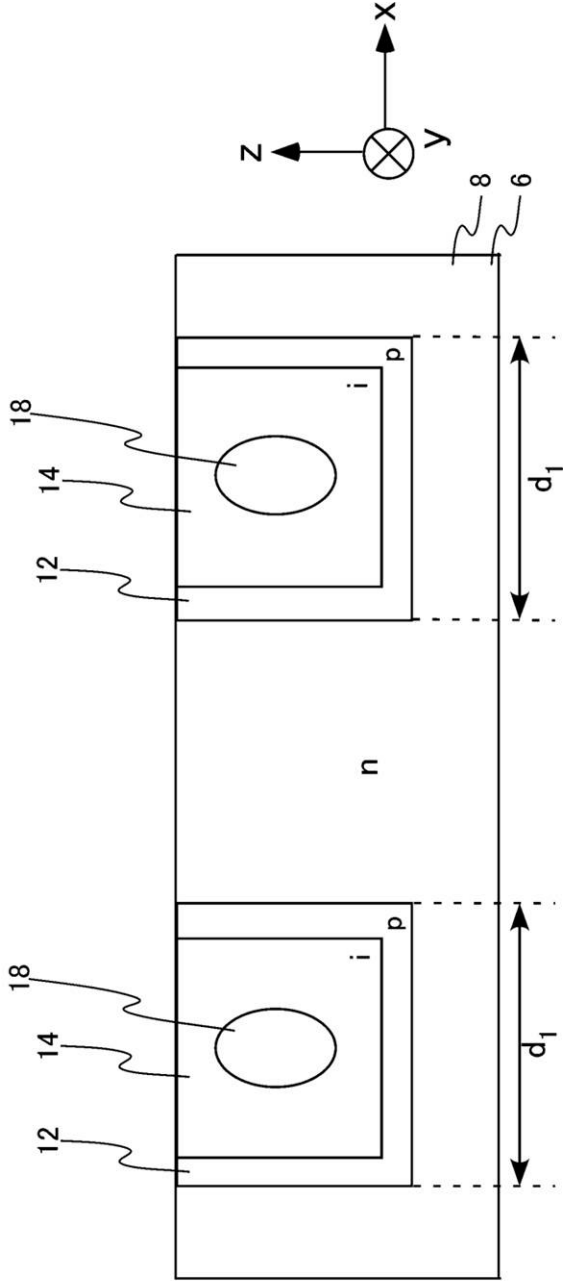


(b)

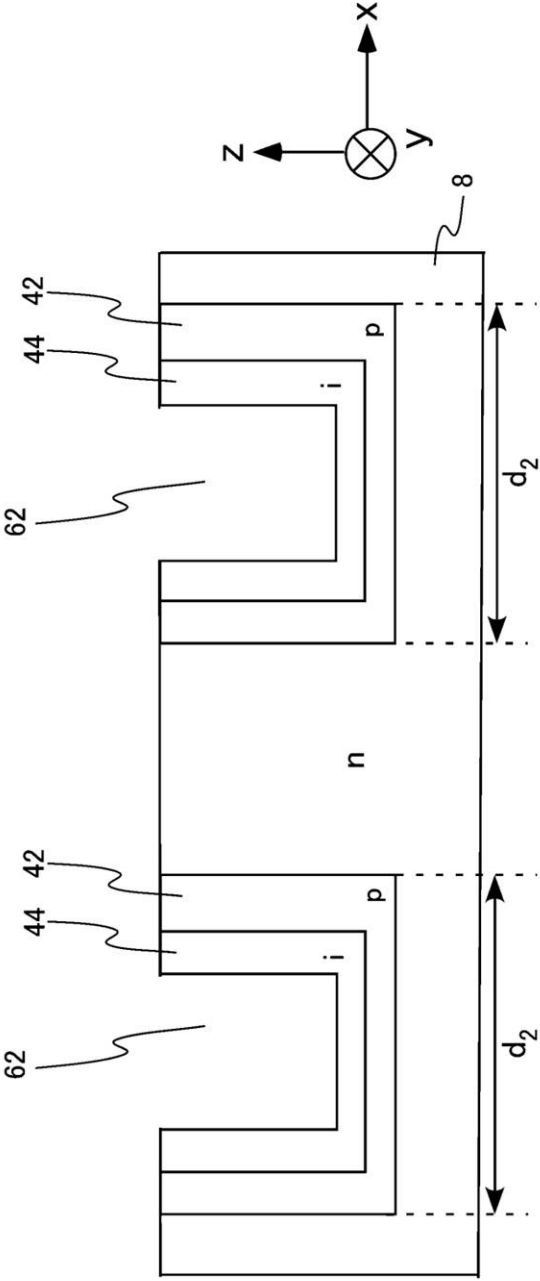
【図 4】



【図 5】

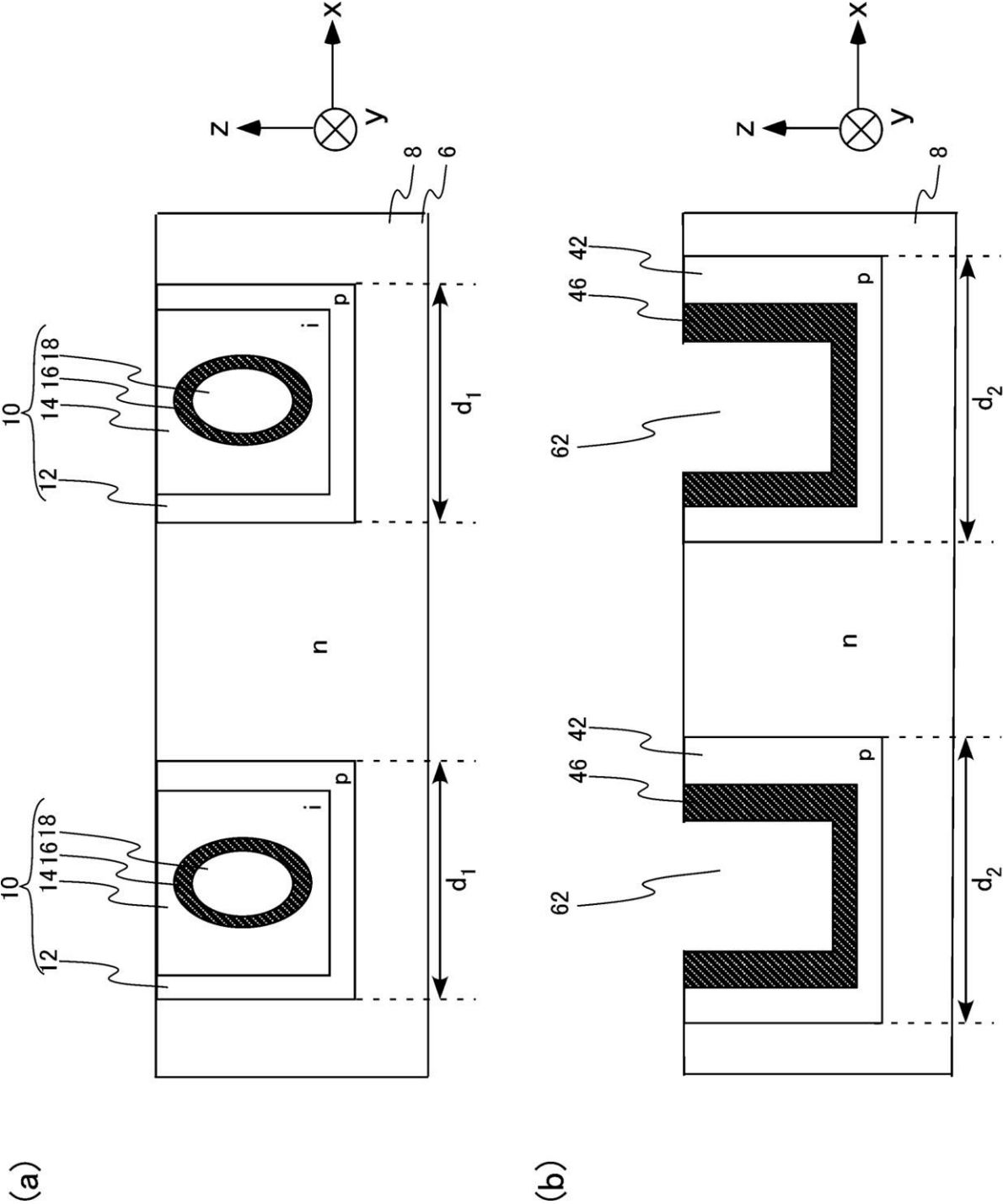


(a)

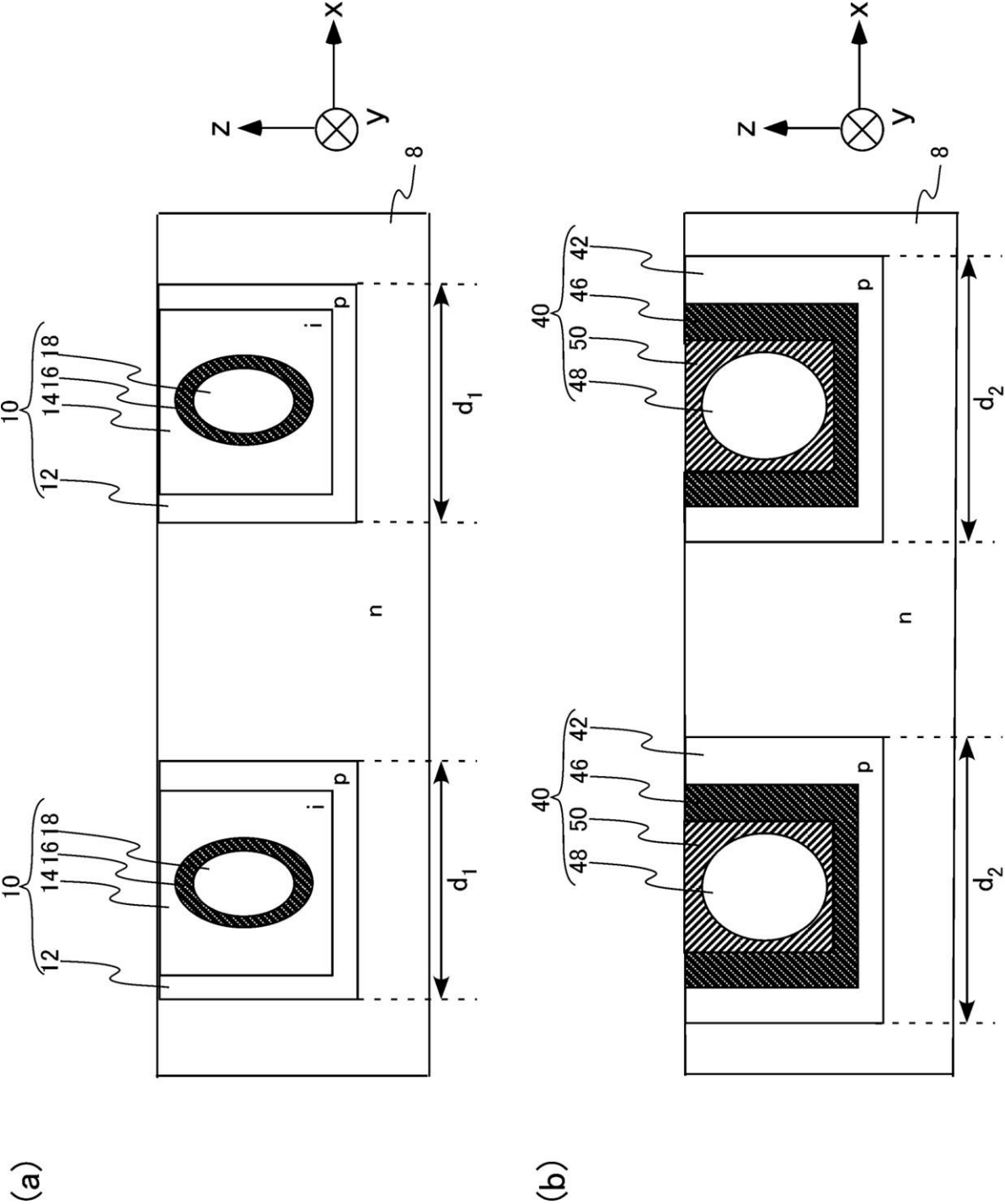


(b)

【図 6】

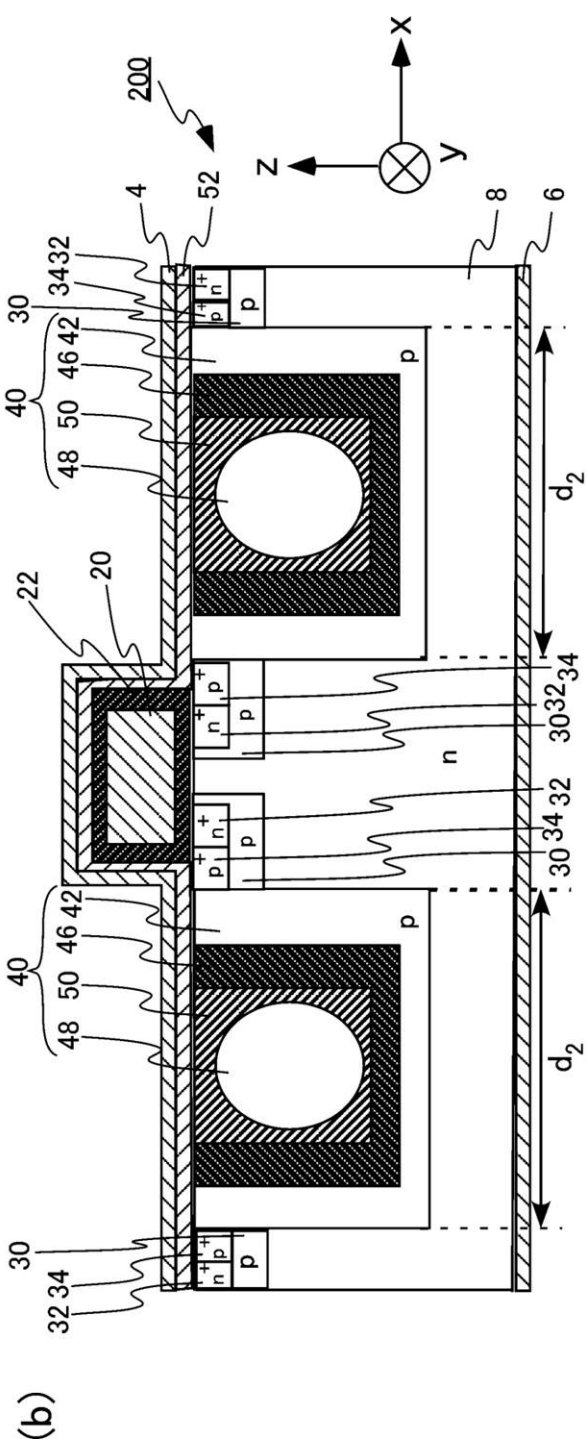
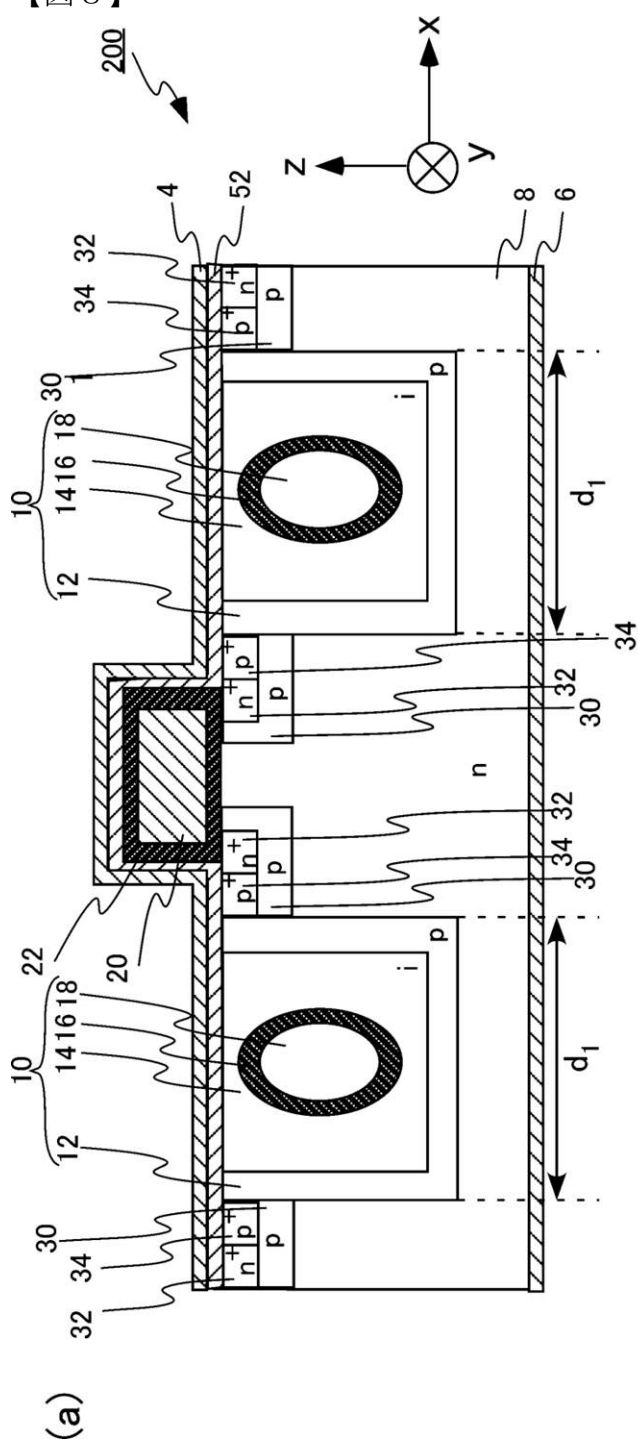


【図 7】





【図 8】



【図 9】

