

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

実施形態は、積層された半導体チップを有する半導体装置に関するものである。

【背景技術】

【0002】

複数の半導体チップ（あるいは半導体素子）を多段に積層した半導体装置が知られている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平2-273930号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

積層された半導体チップのパッドとリード端子間のボンディングワイヤーによる接続の不具合を低減できる半導体装置を提供する。

【課題を解決するための手段】

【0005】

実施形態の半導体装置は、第1端子と、第1半導体チップと、前記第1半導体チップ上に配置された第2半導体チップと、前記第1半導体チップに設けられ、電氣的に非接続状態にある第1パッドと、前記第2半導体チップに設けられ、電氣的に接続状態にある第2パッドと、前記第1端子と前記第1パッドとを接続する第1ワイヤーと、前記第1パッドと前記第2パッドとを接続する第2ワイヤーとを具備する。

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係る半導体装置の回路構成を示す図である。

【図2】第1実施形態に係る半導体装置内の半導体チップの構造を示す図である。

【図3】第1実施形態に係る半導体装置内の半導体チップの他の構造を示す図である。

【図4】第1実施形態における半導体チップの端子部の拡大図である。

【図5】第1実施形態における半導体チップの製造工程を示す図である。

【図6】図5に示した半導体チップの拡大図である。

【図7】図6に示した半導体チップのスクライブ位置を示す図である。

【図8】第2実施形態における半導体チップの端子部の拡大図である。

【発明を実施するための形態】

【0007】

以下、図面を参照して実施形態について説明する。なお、以下の説明において、同一の機能及び構成を有する構成要素については、共通する参照符号を付す。

【0008】

1. 第1実施形態

1.1 半導体装置の回路構成

図1を用いて、第1実施形態に係る半導体装置の回路構成を説明する。

図示するように、半導体装置10は、例えば複数の半導体チップ（あるいは半導体素子）11_1, 11_2, 11_3, 11_4を備える。半導体チップ11_1~11_4の各々は、半導体回路、例えばメモリ回路、各種ドライバ、及び入出力回路等が形成された半導体基板を有する。ここでは、半導体装置10が4個の半導体チップを備える場合を示すが、もちろん5個以上の半導体チップを備えていてもよい。なお、半導体チップ11と記した場合、半導体チップ11_1~11_4の各々を示す。

【0009】

半導体チップ11_1～11_4の各々には、コントローラ12が接続される。コントローラ12は、半導体チップ11_1～11_4の各々を制御する。コントローラ12は、チップイネーブル信号CE1を半導体チップ11_1に出力する。さらに、コントローラ12は、チップイネーブル信号CE2を半導体チップ11_2に、チップイネーブル信号CE3を半導体チップ11_3に、チップイネーブル信号CE4を半導体チップ11_4にそれぞれ出力する。

【0010】

チップイネーブル信号CE1は、半導体チップ11_1を稼働可能状態にするか、あるいは非稼働状態にするかを選択する信号である。チップイネーブル信号CE2は半導体チップ11_2を、チップイネーブル信号CE3は半導体チップ11_3を、チップイネーブル信号CE4は半導体チップ11_4を、それぞれ稼働可能状態にするか、あるいは非稼働状態にするかを選択する信号である。

【0011】

また、コントローラ12は、入出力信号IO0, IO1, IO2, IO3, IO4, IO5, IO6, IO7を、半導体チップ11_1～11_4の各々に出力する。また、コントローラ12は、ライトイネーブル信号WE及びリードイネーブル信号REを含むその他の信号を、半導体チップ11_1～11_4の各々に出力する。

【0012】

1.2 半導体装置の構造

第1実施形態に係る半導体装置の構造を説明する。

【0013】

1.2.1 半導体チップの積層構造

図2を用いて、半導体装置10内の半導体チップの積層構造を説明する。

半導体チップ11_1～11_4の各々は矩形形状を有する。半導体チップ11_1の矩形形状の長編側に、パッドが配置されたパッド領域1Aが配置されている。同様に、半導体チップ11_2の矩形形状の長編側に、パッドが配置されたパッド領域2Aが配置されている。半導体チップ11_3の矩形形状の長編側に、パッドが配置されたパッド領域3Aが配置され、半導体チップ11_4の矩形形状の長編側に、パッドが配置されたパッド領域4Aが配置されている。

【0014】

半導体チップ11_1上に、半導体チップ11_2, 11_3, 11_4が半導体チップ11_1側から順に積層されている。半導体チップ11_2は、半導体チップ11_1上に、半導体チップ11_1のパッド領域1A分ずれて配置される。半導体チップ11_3は、半導体チップ11_2上に、半導体チップ11_2のパッド領域2A分ずれて配置される。さらに、半導体チップ11_4は、半導体チップ11_3上に、半導体チップ11_3のパッド領域3A分ずれて配置される。

【0015】

1.2.2 半導体チップの他の積層構造

図3を用いて、半導体チップの他の積層構造を説明する。

半導体チップ11_1の矩形形状の短辺側に、パッド領域1Aが配置されている。半導体チップ11_3の矩形形状の短辺側に、パッド領域3Aが配置されている。また、半導体チップ11_2の矩形形状の長辺側に、パッド領域2Aが配置されている。半導体チップ11_4の矩形形状の長辺側に、パッド領域4Aが配置されている。

【0016】

半導体チップ11_2は、半導体チップ11_1上に、半導体チップ11_1のパッド領域1A分ずれて配置される。半導体チップ11_3は、半導体チップ11_2上に、半導体チップ11_2のパッド領域2A分ずれて配置される。さらに、半導体チップ11_4は、半導体チップ11_3上に、半導体チップ11_3のパッド領域3A分ずれて配置される。

【0017】

すなわち、半導体チップ1 1_1の短辺側のパッド領域1 Aに、図3に示すように、半導体チップ1 1_2の長辺側のパッド領域2 Aが対応するように配置される。さらに、半導体チップ1 1_2のパッド領域2 Aに、半導体チップ1 1_3の短辺側のパッド領域3 Aが対応するように配置され、半導体チップ1 1_3のパッド領域3 Aに、半導体チップ1 1_4の長辺側のパッド領域4 Aが対応するように配置される。

【0018】

1. 2. 3 半導体チップのパッド構成

図4を用いて、図2及び図3に示した半導体チップのパッドの構成について説明する。

半導体チップ1 1_1のパッド領域1 Aは、パッドが配列された2つの列を持つ。半導体チップ1 1_1の中央側の列(第1列)には、信号パッド1 Sが配置されている。信号パッド1 Sは、信号が入出力されるパッドであり、半導体チップ1 1_1の回路に電氣的に接続され、電氣的に接続状態にある。信号パッド1 Sには、例えばチップイネーブル信号CE1、ライトイネーブル信号WE、リードイネーブル信号RE、または入出力信号IO0~IO7が入出力される。また、半導体チップ1 1_1の端部側の列(第2列)には、ダミーパッド1 Dが配置されている。ダミーパッド1 Dは、後述するスクライブ領域に配置されるパッドであり、例えば半導体チップ1 1_1の回路に電氣的に接続されず、電氣的に非接続状態にある。

【0019】

同様に、半導体チップ1 1_2のパッド領域2 Aは、パッドが配列された2つの列を持つ。半導体チップ1 1_2の中央側の列には、信号パッド2 Sが配置されている。信号パッド2 Sは、信号が入出力されるパッドであり、半導体チップ1 1_2の回路に電氣的に接続され、電氣的に接続状態にある。信号パッド2 Sには、例えばチップイネーブル信号CE2、ライトイネーブル信号WE、リードイネーブル信号RE、または入出力信号IO0~IO7が入出力される。半導体チップ1 1_2の端部側の列には、ダミーパッド2 Dが配置されている。ダミーパッド2 Dは、スクライブ領域に配置されるパッドであり、例えば半導体チップ1 1_2の回路に電氣的に接続されず、電氣的に非接続状態にある。

【0020】

半導体チップ1 1_3のパッド領域3 Aは、パッドが配列された2つの列を持つ。半導体チップ1 1_3の中央側の列には、信号パッド3 Sが配置されている。信号パッド3 Sは、信号が入出力されるパッドであり、半導体チップ1 1_3の回路に電氣的に接続され、電氣的に接続状態にある。信号パッド3 Sには、例えばチップイネーブル信号CE3、ライトイネーブル信号WE、リードイネーブル信号RE、または入出力信号IO0~IO7が入出力される。半導体チップ1 1_3の端部側の列には、ダミーパッド3 Dが配置されている。ダミーパッド3 Dは、スクライブ領域に配置されるパッドであり、例えば半導体チップ1 1_3の回路に電氣的に接続されず、電氣的に非接続状態にある。

【0021】

さらに、半導体チップ1 1_4のパッド領域4 Aは、パッドが配列された2つの列を持つ。半導体チップ1 1_4の中央側の列には、信号パッド4 Sが配置されている。信号パッド4 Sは、信号が入出力されるパッドであり、半導体チップ1 1_4の回路に電氣的に接続され、電氣的に接続状態にある。信号パッド4 Sには、例えばチップイネーブル信号CE4、ライトイネーブル信号WE、リードイネーブル信号RE、または入出力信号IO0~IO7が入出力される。半導体チップ1 1_4の端部側の列には、ダミーパッド4 Dが配置されている。ダミーパッド4 Dは、スクライブ領域に配置されるパッドであり、例えば半導体チップ1 1_4の回路に電氣的に接続されず、電氣的に非接続状態にある。

【0022】

また、図4に示すように、半導体チップ1 1_1のパッド領域1 Aの外側には、外部と電氣的な接続を行うための複数のリード端子が配置されている。ここでは、4つのリード端子2 1_1, 2 1_2, 2 1_3, 2 1_4を示す。リード端子とパッド間あるいはパッド間には、ワイヤー2 2~2 9が接続されている。なお、ワイヤーによる接続については後

述する。

【0023】

1. 2. 4 半導体チップのパッドとリード端子間の接続

図4を用いて、半導体チップ11のパッドとリード端子間のワイヤーによる接続について説明する。

まず、リード端子21_1と信号パッド4S間がワイヤーにより接続されている例を述べる。この例では、例えば、チップイネーブル信号CE4がリード端子21_1から信号パッド4Sに伝送される。

【0024】

リード端子21_1とダミーパッド1D間にワイヤー22がボンディングされている。これにより、リード端子21_1とダミーパッド1D間が電氣的に接続されている。さらに、ダミーパッド1Dとダミーパッド2D間にワイヤー23がボンディングされ、ダミーパッド1Dとダミーパッド2D間が電氣的に接続されている。ダミーパッド2Dとダミーパッド3D間にワイヤー24がボンディングされ、ダミーパッド2Dとダミーパッド3D間が電氣的に接続されている。さらに、ダミーパッド3Dと信号パッド4S間にワイヤー25がボンディングされ、ダミーパッド3Dと信号パッド4S間が電氣的に接続されている。

【0025】

例えば、リード端子21_1には、コントローラ12から出力されたチップイネーブル信号CE4が供給される。チップイネーブル信号CE4は、リード端子21_1から、ワイヤー22、ダミーパッド1D、ワイヤー23、ダミーパッド2D、ワイヤー24、ダミーパッド3D、ワイヤー25を介して信号パッド4Sに伝送される。

【0026】

ここでは、ワイヤーをリード端子21_1からダミーパッド1D、2D、3Dを経由させて、信号パッド4Sに接続している。すなわち、リード端子21_1と信号パッド4S間をワイヤーにて接続するために、ダミーパッド1D、2D、3Dをワイヤーによる接続の中継パッドとして使用している。これにより、リード端子21_1と信号パッド4S間をワイヤーで直接接続する場合に比べて、ワイヤー22～25の各々の長さを短くできる。これにより、ワイヤーが左右に移動して変形したり、ワイヤーがリード端子あるいはパッドから外れたりする不具合を低減することができる。

【0027】

次に、リード端子21_3と信号パッド1S～4S間がワイヤーで接続されている例を述べる。この例では、例えば、入出力信号IO0がリード端子21_3から信号パッド1S～4Sの各々に伝送される。

【0028】

リード端子21_3と信号パッド1S間にワイヤー26がボンディングされている。これにより、リード端子21_3と信号パッド1S間が電氣的に接続されている。さらに、信号パッド1Sと信号パッド2S間にワイヤー27がボンディングされ、信号パッド1Sと信号パッド2S間が電氣的に接続されている。信号パッド2Sと信号パッド3S間にワイヤー28がボンディングされ、信号パッド2Sと信号パッド3S間が電氣的に接続されている。さらに、信号パッド3Sと信号パッド4S間にワイヤー29がボンディングされ、信号パッド3Sと信号パッド4S間が電氣的に接続されている。

【0029】

例えば、リード端子21_3には、コントローラ12から出力された入出力信号IO0が供給される。入出力信号IO0は、リード端子21_3からワイヤー26を介して信号パッド1Sに伝送される。入出力信号IO0は、さらにワイヤー27を介して信号パッド2Sに伝送される。入出力信号IO0は、さらにワイヤー28を介して信号パッド3Sに伝送され、さらにワイヤー29を介して信号パッド4Sに伝送される。

【0030】

ここでは、リード端子21_3と、信号パッド1S～4Sの各々との間をワイヤーにて

接続するために、リード端子 2 1_3 と信号パッド 1 S 間、信号パッド 1 S と信号パッド 2 S 間、信号パッド 2 S と信号パッド 3 S 間、及び信号パッド 3 S と信号パッド 4 S 間をワイヤーで順次接続している。このため、リード端子 2 1_3 と信号パッド間、及び信号パッドと信号パッド間を接続するワイヤーの長さが長くなることはなく、ワイヤーによる接続の不具合は生じにくい。

【 0 0 3 1 】

1 . 3 半導体装置の製造方法

図 5、図 6 及び図 7 を用いて、半導体装置 1 0 内の半導体チップ 1 1 の製造方法について説明する。

【 0 0 3 2 】

図 5 に、ウェハ上にレイアウトされた複数の半導体チップ 1 1 の 1 部を拡大した図を示す。半導体チップ 1 1 は、ウェハ上にレイアウトされている。半導体チップ 1 1 間には、半導体チップを切り離すためのスクライブ領域 (Kerf 領域) 3 1 が設けられている。

【 0 0 3 3 】

図 6 に、半導体チップ 1 1 の拡大図を示す。半導体チップ 1 1 の中央領域には、メモリ回路、各種ドライバ、及び入出力回路等の回路が形成される。スクライブ領域 3 1 には、フォトリソグラフィ用の位置合わせマーク 3 2、T E G (test element group) 素子のパッド 1 T (または 2 T, 3 T, 4 T)、及びダミーパッド 1 D (または 2 D, 3 D, 4 D) が配置されている。T E G 素子は、半導体チップに形成された素子を評価するためのテスト素子をいう。破線 A 内のダミーパッド 1 D は、T E G 素子のパッドより端部側に配置されている。破線 B 内のダミーパッド 1 D は、T E G 素子のパッドより中央領域側に配置されている。

【 0 0 3 4 】

スクライブ工程では、図 7 に示すように、スクライブ領域 3 1 に設けたダミーパッド 1 D が半導体チップ 1 1 に残るように、スクライブ位置 3 1 A をずらして半導体チップ 1 1 を切り離す。これにより、半導体チップ 1 1 に、ダミーパッド 1 D が配置されたスクライブ領域 3 1 を残すことができる。

【 0 0 3 5 】

その後、半導体チップ 1 1 を積層し、多段に積層された半導体チップを形成する。さらに、リード端子と半導体チップのパッド間にワイヤーボンディングを行い、樹脂にて封止して、半導体装置 (パッケージ) 1 0 を形成する。

【 0 0 3 6 】

1 . 4 第 1 実施形態の効果

第 1 実施形態によれば、積層された半導体チップのパッドとリード端子間のボンディングワイヤーによる接続の不具合を低減できる半導体装置を提供可能である。さらに、スクライブ領域に、ボンディングワイヤーを接続するための中継パッドを配置することにより、半導体チップの面積増加を抑制できる。

【 0 0 3 7 】

以下に、比較例を挙げ、第 1 実施形態の効果を詳細に説明する。

【 0 0 3 8 】

例えば、半導体チップを多段に積層した半導体装置では、2 段目以上の半導体チップにリード端子からワイヤーを接続する場合、各チップに設けられたパッドを跨ぐようにワイヤーを接続する必要がある。この場合、ボンディングワイヤーが長くなり、樹脂封止時にワイヤーの流れや外れが発生し易くなる。さらに、回路の大規模化あるいは大容量化が必要な場合は、積層される半導体チップの段数が増えるため、さらにワイヤー長が長くなり、ワイヤーの流れや外れの懸念が増加する。

【 0 0 3 9 】

このため、例えば半導体チップの信号パッドが配置される領域にダミーパッドを配置し、このダミーパッドを、ボンディングワイヤーを接続するための中継パッドとして利用して、ボンディングワイヤーが長くなることを回避する場合がある。しかし、半導体チップ

の微細化が進み、半導体チップの面積が縮小されると、半導体チップに余剰なパッドを配置することが難しくなる。すなわち、微細化が進んだ半導体チップの場合、チップサイズの制約から、信号パッドが配置される領域にダミーパッドを配置できなくなる。

【0040】

そこで、第1実施形態では、半導体チップの信号パッドが配置される領域の外側のスクライブ領域にダミーパッドを設ける。そして、スクライブ領域に設けたダミーパッドを、ボンディングワイヤーを接続するための中継パッドとして利用する。すなわち、接続対象のパッドにワイヤーを接続する際、パッケージ基板のリード端子から接続対象のパッドにワイヤーを直接接続せず、まずリード端子からスクライブ領域のダミーパッドにワイヤーを接続し、次にダミーパッドから接続対象のパッドにワイヤーを接続する。なお、リード端子と接続対象のパッド間は、複数のダミーパッドを経由させてもよい。これにより、ボンディングワイヤーが長くなるのを防ぐことができ、樹脂封止時にワイヤーが左右に移動して変形したり、ワイヤーがリード端子あるいはパッドから外れたりする不具合を低減することができる。

【0041】

さらに、信号パッドが配置される領域の外側のスクライブ領域にダミーパッドを設けることにより、信号パッドが配置される領域の面積増加を防げる。これにより、半導体チップ及び半導体装置の面積増大を抑制できる。

【0042】

2. 第2実施形態

第2実施形態では、スクライブ領域に設けられたTEG素子のパッドを、ボンディングワイヤーを接続するための中継パッドとして用いる。第2実施形態では、第1実施形態と異なる点について説明する。

【0043】

2.1 半導体チップのパッド構成

図8を用いて、半導体チップのパッドの構成について説明する。図4に、積層された半導体チップ11_1～11_4のパッド領域とリード端子の一部を拡大して示す。

【0044】

半導体チップ11_1の端部側の列には、TEG素子のパッド（以下、TEGパッド）1Tが配置されている。TEGパッド1Tは、スクライブ領域31に配置されたパッドであり、TEG素子に電氣的に接続されている。

【0045】

同様に、半導体チップ11_2の端部側の列には、TEGパッド2Tが配置されている。TEGパッド2Tは、スクライブ領域31に配置されたパッドであり、TEG素子に電氣的に接続されている。

【0046】

半導体チップ11_3の端部側の列には、TEGパッド3Tが配置されている。TEGパッド3Tは、スクライブ領域31に配置されたパッドであり、TEG素子に電氣的に接続されている。

【0047】

さらに、半導体チップ11_4の端部側の列には、TEGパッド4Tが配置されている。TEGパッド4Tは、スクライブ領域31に配置されたパッドであり、TEG素子に電氣的に接続されている。

【0048】

2.2 半導体チップのパッドとリード端子間の接続

図8を用いて、半導体チップ11のパッドとリード端子間のワイヤーによる接続について説明する。

リード端子21_1と信号パッド4S間がワイヤーで接続されている例を述べる。リード端子21_1とTEGパッド1T間にワイヤー41がボンディングされ、リード端子21_1とTEGパッド1T間が電氣的に接続されている。さらに、TEGパッド1TとT

E Gパッド2 T間にワイヤー4 2がボンディングされ、T E Gパッド1 TとT E Gパッド2 T間が電氣的に接続されている。T E Gパッド2 TとT E Gパッド3 T間にワイヤー4 3がボンディングされ、T E Gパッド2 TとT E Gパッド3 T間が電氣的に接続されている。さらに、T E Gパッド3 Tと信号パッド4 S間にワイヤー4 4がボンディングされ、T E Gパッド3 Tと信号パッド4 S間が電氣的に接続されている。

【0049】

例えば、リード端子2 1_1には、コントローラ1 2から出力されたチップイネーブル信号C E 4が供給される。チップイネーブル信号C E 4は、リード端子2 1_1から、ワイヤー4 1、T E Gパッド1 T、ワイヤー4 2、T E Gパッド2 T、ワイヤー4 3、T E Gパッド3 T、ワイヤー4 4を介して信号パッド4 Sに伝送される。

【0050】

ここでは、ワイヤーをリード端子2 1_1からT E Gパッド1 T, 2 T, 3 Tを経由させて、信号パッド4 Sに接続している。すなわち、リード端子2 1_1と信号パッド4 S間をワイヤーにて接続するために、T E Gパッド1 T, 2 T, 3 Tをワイヤーによる接続の中継パッドとして使用している。これにより、リード端子2 1_1と信号パッド4 S間をワイヤーで直接接続する場合に比べて、ワイヤー4 1～4 4の各々の長さを短くできる。これにより、ワイヤーが左右に移動して変形したり、ワイヤーがリード端子あるいはパッドから外れたりする不具合を低減することができる。

【0051】

2. 3 第2実施形態の効果

第2実施形態では、半導体チップのスクライブ領域に配置されたT E G素子のパッドを、ボンディングワイヤーを接続するための中継パッドとして利用する。この場合、スクライブ領域の面積が狭く、スクライブ領域にダミーパッドが配置できない場合でも、中継パッドが確保できる。

【0052】

具体的には、接続対象のパッドにワイヤーを接続する際、パッケージ基板のリード端子から接続対象のパッドにワイヤーを直接接続せず、まずリード端子からT E Gパッドにワイヤーを接続し、次にT E Gパッドから接続対象のパッドにワイヤーを接続する。なお、リード端子と接続対象のパッド間は、複数のT E Gパッドを経由させてもよい。これにより、ボンディングワイヤーが長くなるのを防ぐことができ、樹脂封止時にワイヤーが左右に移動して変形したり、ワイヤーがリード端子あるいはパッドから外れたりする不具合を低減することができる。

【0053】

さらに、スクライブ領域に配置されたT E Gパッドを中継パッドとして利用することにより、信号パッドが配置される領域の面積増加を防げる。これにより、半導体チップ及び半導体装置の面積増大を抑制できる。

【0054】

[変形例等]

第1及び第2実施形態は、不揮発性メモリ(例えば、NANDフラッシュメモリ)、揮発性メモリ、システムL S I等を問わず、例えば、コントローラから複数の半導体チップに信号を送信する様々な種類の半導体装置に適用可能である。

【0055】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【符号の説明】

【 0 0 5 6 】

1 0...半導体装置、1 1_1, 1 1_2, 1 1_3, 1 1_4...半導体チップ、1 2...コントローラ、1 A, 2 A, 3 A, 4 A...パッド領域、1 D, 2 D, 3 D, 4 D...ダミーパッド、1 T, 2 T, 3 T, 4 T...TEGパッド(TEG素子のパッド)、2 1_1, 2 1_2, 2 1_3, 2 1_4...リード端子、2 2 - 2 9...ワイヤー、4 1 - 4 4...ワイヤー、3 1...スクライプ領域、3 1 A...スクライプ位置、3 2...位置合わせマーク。

【書類名】特許請求の範囲

【請求項 1】

第 1 端子と、
第 1 半導体チップと、
前記第 1 半導体チップ上に配置された第 2 半導体チップと、
前記第 1 半導体チップに設けられ、電氣的に非接続状態にある第 1 パッドと、
前記第 2 半導体チップに設けられ、電氣的に接続状態にある第 2 パッドと、
前記第 1 端子と前記第 1 パッドとを接続する第 1 ワイヤーと、
前記第 1 パッドと前記第 2 パッドとを接続する第 2 ワイヤーと、
を具備することを特徴とする半導体装置。

【請求項 2】

第 1 端子と、
第 1 半導体チップと、
前記第 1 半導体チップ上に配置された第 2 半導体チップと、
前記第 1 半導体チップに設けられ、テスト素子に電氣的に接続された第 1 パッドと、
前記第 2 半導体チップに設けられ、電氣的に接続状態にある第 2 パッドと、
前記第 1 端子と前記第 1 パッドとを接続する第 1 ワイヤーと、
前記第 1 パッドと前記第 2 パッドとを接続する第 2 ワイヤーと、
を具備することを特徴とする半導体装置。

【請求項 3】

前記第 1 パッドは、前記第 1 半導体チップのスクライブ領域に配置されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 半導体チップに設けられ、電氣的に接続状態にある第 3 パッドをさらに備え、
前記第 1 パッドは、前記第 1 端子と前記第 3 パッドとの間に配置されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】

前記第 1 パッドは、前記第 1 端子と前記第 2 パッドとの間に配置されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

【請求項 6】

前記第 1 端子から前記第 2 パッドに伝送される信号は、チップイネーブル信号を含むことを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【書類名】要約書

【要約】

【課題】積層された半導体チップのパッドと端子間のボンディングワイヤーによる接続の不具合を低減できる半導体装置を提供する。

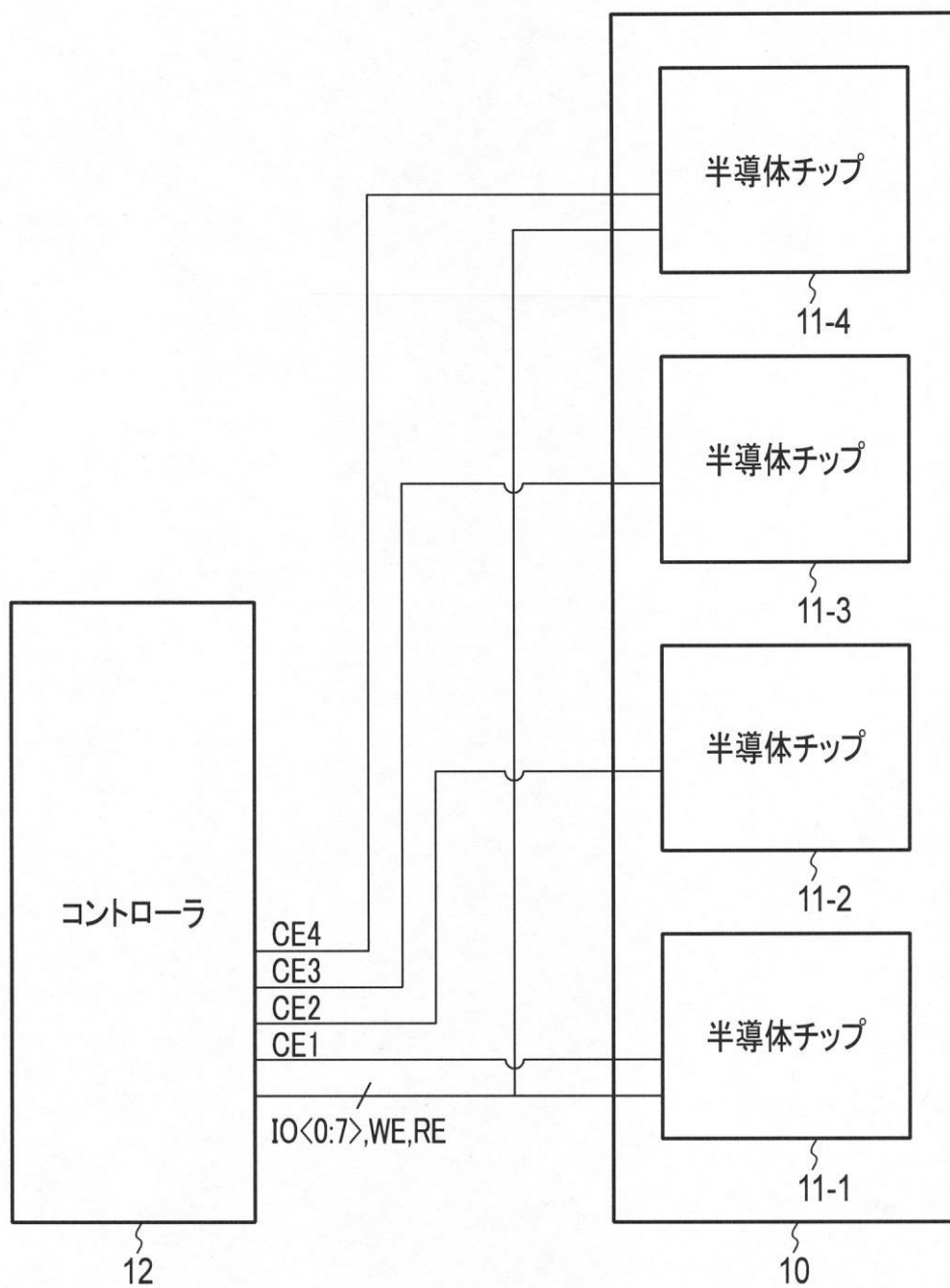
【解決手段】実施形態の半導体装置は、端子と、積層された半導体チップ11_1 - 11_4と、ワイヤー22 - 25を備える。半導体チップ11_1 - 11_4には、ダミーパッド1D - 4D及び信号パッド1S - 4Sが配置されている。ワイヤー22 - 24は、端子とパッド1D - 3Dとを接続する。ワイヤー25は、パッド3Dとパッド4Sとを接続する。

【選択図】図4

【書類名】図面

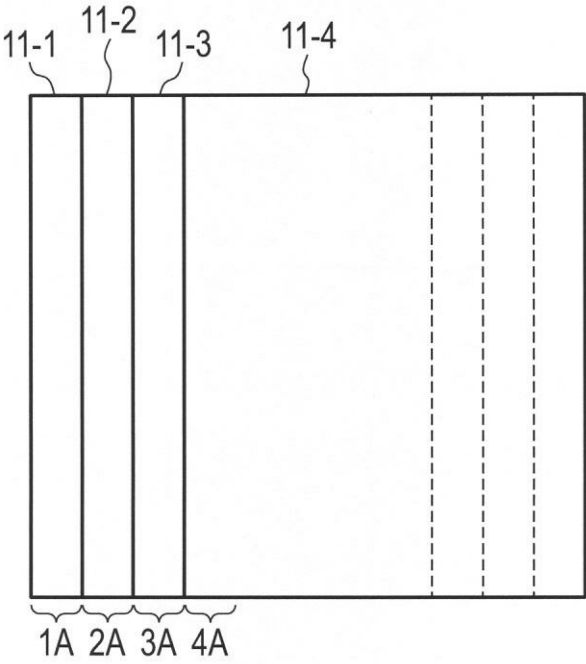
【図 1】

図1



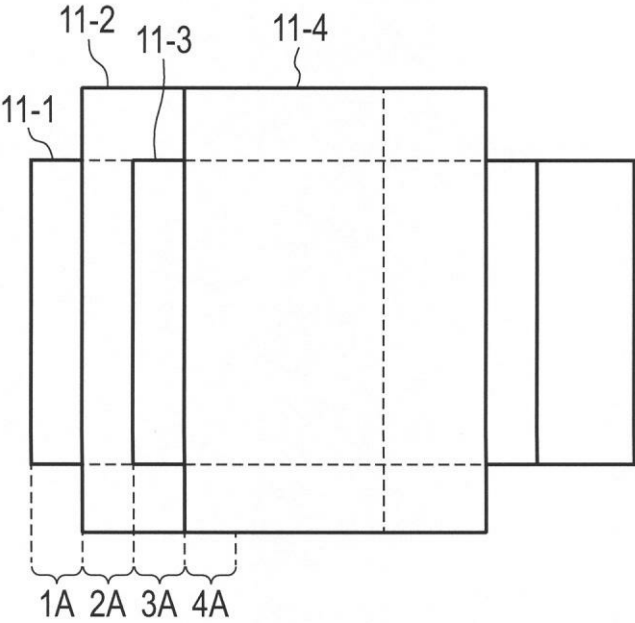
【図 2】

図2



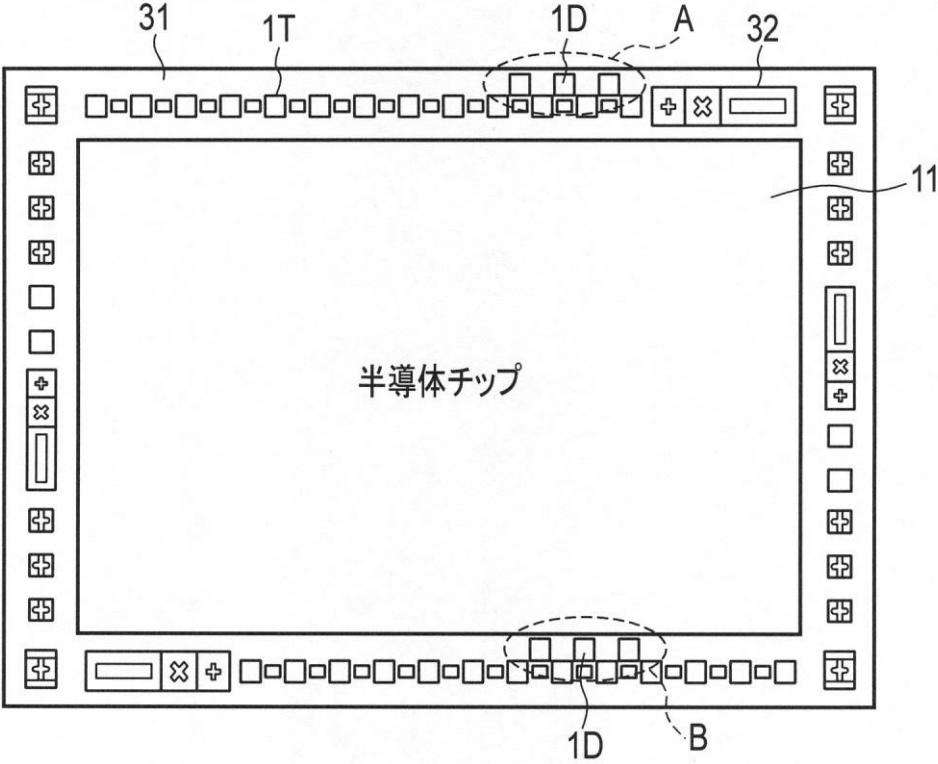
【図 3】

図3



【図 6】

図6



【図 7】

図7

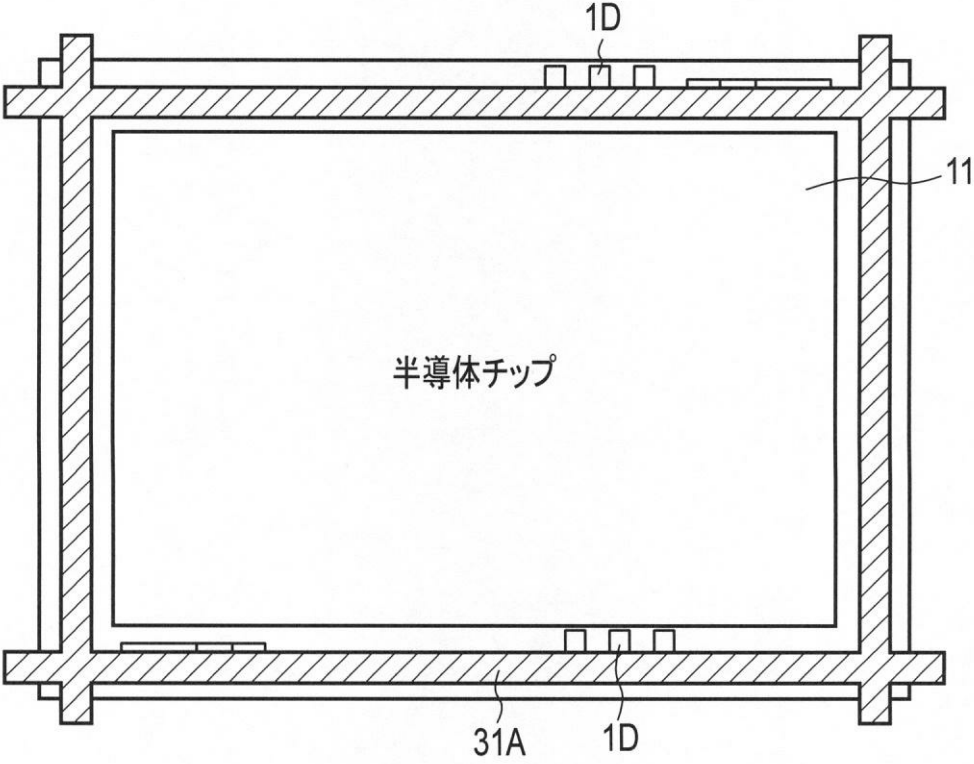


図8

