

【書類名】 明細書

【発明の名称】 固体撮像装置

【技術分野】

【0001】

実施形態は、概して、固体撮像装置に関する。

【背景技術】

【0002】

複数の画素を有する固体撮像装置では、制御回路及び複数の画素が配線で接続され、各画素が制御回路から供給された信号で駆動される。このとき、各画素を駆動するための時間を短縮することが望まれる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】 特開2010-225927号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一つの実施形態は、各画素を駆動するための時間を短縮できる固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

一つの実施形態によれば、第1の半導体チップと第2の半導体チップとを有する固体撮像装置が提供される。第1の半導体チップは、複数の画素を有する。第2の半導体チップには、第1の半導体チップが積層される。第2の半導体チップは、AD変換回路と制御回路とリピータ線と配線と複数のリピータとを有する。リピータ線は、制御回路から延びている。配線は、リピータ線を複数の画素に3次元的に接続する。複数のリピータは、リピータ線上に複数の画素に対応して配されている。

【図面の簡単な説明】

【0006】

【図1】 第1の実施形態にかかる固体撮像装置を適用した撮像システムの構成を示す断面図。

【図2】 第1の実施形態にかかる固体撮像装置を適用した撮像システムの構成を示すブロック図。

【図3】 第1の実施形態にかかる固体撮像装置の構成を示す回路図。

【図4】 第1の実施形態における画素の構成を示す回路図。

【図5】 第1の実施形態にかかる固体撮像装置の積層構成を示す分解斜視図。

【図6】 第1の実施形態にかかる固体撮像装置の積層構成を示す回路図。

【図7】 第1の実施形態におけるリピータと画素との接続構成を示す回路図。

【図8】 第1の実施形態の変形例にかかる固体撮像装置の積層構成を示す回路図。

【図9】 第1の実施形態の他の変形例にかかる固体撮像装置の積層構成を示す回路図。

。

【図10】 第1の実施形態の他の変形例にかかる固体撮像装置の積層構成を示す回路図。

【図11】 第1の実施形態の他の変形例にかかる固体撮像装置の積層構成を示す回路図。

【図12】 第2の実施形態における固体撮像装置の積層構成を示す回路図。

【図13】 第2の実施形態の変形例における固体撮像装置の積層構成を示す回路図。

【発明を実施するための形態】

【0007】

以下に添付図面を参照して、実施形態にかかる固体撮像装置を詳細に説明する。なお、

これらの実施形態により本発明が限定されるものではない。

【0008】

(第1の実施形態)

第1の実施形態にかかる固体撮像装置について説明する。固体撮像装置は、例えば、図1及び図2に示す撮像システムに適用される。図1及び図2は、撮像システムの概略構成を示す図である。図1において、OPは光軸を示している。

【0009】

撮像システム81は、例えば、デジタルカメラ、デジタルビデオカメラなどであってもよいし、カメラモジュールが電子機器に適用されたもの（例えばカメラ付き携帯端末等）でもよい。撮像システム81は、図2に示すように、撮像部82及び後段処理部83を有する。撮像部82は、例えば、カメラモジュールである。撮像部82は、撮像光学系84及び固体撮像装置100を有する。後段処理部83は、ISP (Image Signal Processor) 86、記憶部87、及び表示部88を有する。

【0010】

撮像光学系84は、撮影レンズ47、ハーフミラー49、メカシャッタ46、レンズ44、プリズム45、及びファインダー48を有する。撮影レンズ47は、撮影レンズ47a、47b、絞り（図示せず）、及びレンズ駆動機構47cを有する。絞りは、撮影レンズ47aと撮影レンズ47bとの間に配され、撮影レンズ47bへ導かれる光量を調節する。なお、図1では、撮影レンズ47が2枚の撮影レンズ47a、47bを有する場合が例示的に示されているが、撮影レンズ47は多数枚の撮影レンズを有していてもよい。

【0011】

固体撮像装置100は、撮影レンズ47の予定結像面に配置されている。例えば、撮影レンズ47は、入射した光を屈折させて、ハーフミラー49及びメカシャッタ46経由で固体撮像装置100の撮像面へ導き、固体撮像装置100の撮像面に被写体の像を形成する。固体撮像装置100は、被写体像に応じた画像信号を生成する。

【0012】

固体撮像装置100は、図3に示すように、イメージセンサ90、及び信号処理回路91を有する。図3は、固体撮像装置100の回路構成を示す図である。イメージセンサ90は、例えば、CMOSイメージセンサであってもよいし、CCDイメージセンサであっても良い。イメージセンサ90は、画素配列PA、ローデコーダー93、タイミング制御部95、CDS+ADC97及びラインメモリ98を有する。

【0013】

画素配列PAでは、複数の画素Pが例えば行方向及び列方向に配列されている。ローデコーダー93は、タイミング制御部95からの制御信号に応じて、画素配列PAを例えば行単位で制御する。

【0014】

各画素Pは、図4に示すように、例えば、光電変換部3、転送部8、電荷電圧変換部4、リセット部7、増幅部5、及び選択部6を有する。図4は、各画素Pの構成を示す図である。図4では、 n 行 m 列目の画素P (n, m) について例示的に示されているが、他の画素についても同様である。

【0015】

光電変換部3は、光電変換を行い、受けた光に応じた電荷を発生させて蓄積する。光電変換部3は、例えば、フォトダイオードPDを有する。

【0016】

転送部8は、活性状態において、光電変換部3の電荷を電荷電圧変換部4へ転送し、非活性状態において、光電変換部3の電荷を電荷電圧変換部4へ転送しない。転送部8は、ローデコーダー93から駆動線DL (n) - 3経由でアクティブレベルの制御信号 ϕ_{READn} を受けた場合に、光電変換部3の電荷を電荷電圧変換部4へ転送する。転送部8は、ローデコーダー93から駆動線DL (n) - 3経由でノンアクティブレベルの制御信号 ϕ_{READn} を受けた場合に、光電変換部3の電荷を電荷電圧変換部4へ転送しない。転

送部8は、例えば、トランスファークラップゲートとして機能する転送トランジスタT_dを有し、そのゲートにアクティブレベルの制御信号φREAD_nを受けた場合にオンすることにより、光電変換部3の電荷を電荷電圧変換部4へ転送し、そのゲートにノンアクティブレベルの制御信号φREAD_nを受けた場合にオフすることにより、光電変換部3の電荷を電荷電圧変換部4へ転送しない。

【0017】

電荷電圧変換部4は、その寄生容量を用いて、転送された電荷を電圧に変換する。電荷電圧変換部4は、例えば、フローティングジャンクションF_Jを有する。

【0018】

光電変換部3は、転送部8による電荷の転送が完了してから電荷の蓄積を開始し、転送部8により電荷が次に電荷電圧変換部4へ転送されるまで電荷の蓄積を行う。すなわち、光電変換部3は、転送部8による転送動作の完了タイミングから転送部8による次の転送動作の開始タイミングまでの電荷蓄積期間において、電荷蓄積動作を行う。

【0019】

リセット部7は、ローデコーダー93から駆動線DL(n)－2経由でアクティブレベルの制御信号φRESET_F_{Jn}を受けた場合に、電荷電圧変換部4の電位を所定の電位（例えば、VDD_{reset}）にリセットする。リセット部7は、例えば、リセットトランジスタT_cを有し、そのゲートにアクティブレベルの制御信号φRESET_F_{Jn}を受けた場合にオンすることにより、電荷電圧変換部4の電位を所定の電位（例えば、VDD_{reset}）にリセットする。

【0020】

増幅部5は、画素P(n, m)が選択状態になった際に、電荷電圧変換部4の電圧に基づく信号を信号線SLへ出力する。増幅部5は、例えば、アンプトランジスタT_bを有し、画素P(n, m)が選択状態になった際に、信号線SLを介して接続された負荷電流源CSとともにソースフォロワ動作を行うことにより、電荷電圧変換部4の電圧に応じた信号を信号線SLへ出力する。なお、負荷電流源CSは負荷トランジスタT_{LM}及びバイアス発生回路9を有する。

【0021】

選択部6は、ローデコーダー93から駆動線DL(n)－1経由でアクティブレベルの制御信号φADDRESS_nを受けた場合に、画素P(n, m)を選択状態にし、ローデコーダー93から駆動線DL(n)－1経由でノンアクティブレベルの制御信号φADDRESS_nを受けた場合に、画素P(n, m)を非選択状態にする。選択部6は、例えば、選択トランジスタT_aを有し、そのゲートにアクティブレベルの制御信号φADDRESS_nを受けた際にオンすることにより、画素P(n, m)を選択状態にし、そのゲートにノンアクティブレベルの制御信号φADDRESS_nを受けた際にオフすることにより、画素P(n, m)を非選択状態にする。選択トランジスタT_aのドレインは、電源電位VDD_{sf}に接続されている。電源電位VDD_{sf}と電源電位VDD_{reset}とは、ショート可能である。

【0022】

図4では、選択トランジスタT_aが電源電位VDD_{sf}側に接続されアンプトランジスタT_bが信号線SL側に接続された構成が例示されているが、アンプトランジスタT_bが電源電位VDD_{sf}側に接続され選択トランジスタT_aが信号線SL側に接続された構成であってもよい。

【0023】

また、画素Pは、選択部6が省略された構成であってもよい。その場合、駆動線DL(n)－1が省略されるとともに、リセット部7が画素Pを選択状態／非選択状態にするための動作を行ってもよい。例えば、リセット部7は、電荷電圧変換部4の電位を第1の電位（例えば、VDDレベル）にリセットすることにより画素Pを選択状態にし、電荷電圧変換部4の電位を第2の電位（増幅部5（アンプトランジスタT_b）がオフするような電位、例えば、GNDレベル）にリセットすることにより画素Pを非選択状態にしてもよい。

。

【0024】

なお、各画素Pには複数の駆動線DL (n) が延びているが、以下では、説明の簡略化のため、各画素Pに1つの駆動線DL (n) が延びているものとする。また、各画素Pには複数の制御信号が供給されているが、説明の簡略化のため、各画素Pに1つの制御信号が供給されているものとする。

【0025】

図3に戻って、各画素Pで生成された画像信号は、タイミング制御部95及びローデコーダー93によりCDS+ADC97側へ読み出され、CDS+ADC97を経て画像データへ変換され、ラインメモリ98経由で信号処理回路91に出力される。信号処理回路91では、信号処理が行われる。これらの信号処理された画像データは、ISP86に出力される。

【0026】

図3、図4に示すように、ローデコーダー93は、画素配列PAの周辺に配され、各駆動線DLがローデコーダー93から対応する行の各画素まで行方向に延びている。ローデコーダー93は、画素配列PAにおける複数行のうち駆動対象の行を1行目、2行目、・・・と順次に選択していき、選択行の駆動線DL経由で画素配列PAにおける選択行に含まれた複数の画素に制御信号を供給して制御する。

【0027】

例えば、画素配列PAが多画素化の要求を満たすために多くの画素を含んでいると、駆動線DLが長くなるので駆動線DLの抵抗値が増大しやすい。また、駆動線DLに接続される画素数が多くなるので、駆動線DLの容量値が増大しやすい。そのため、ローデコーダー93が駆動線DLを介して画素を駆動する際の画素駆動時間が長時間化する可能性がある。

【0028】

画素駆動時間が長時間化すると、固体撮像装置100から出力される画像信号のフレームレートが要求される速度を満たせない可能性がある。フレームレートが要求される速度を満たせないと、画像信号により得られる画像が動画像である場合、所定時間内におけるコマ数の確保が困難になり、滑らかな動画像を得ることが困難になる。あるいは、画像信号により得られる画像が静止画像である場合、リリースタイムラグが増大し、シャッターチャンスをとらえることが困難になる可能性がある。

【0029】

このとき、画素特性を確保するため、駆動線DLの抵抗値/容量値を減らすことが困難である。駆動線DL上におけるローデコーダー93と画素配列PAとの間の位置に制御信号をドライブするためのリピータを挿入する場合を考える。この場合、挿入されたリピータは、駆動線DLに接続された複数の画素に対して、駆動線DLの一端側から画素を駆動するため、容量による遅延の影響を大きく受ける。このため、画素駆動時間を短縮することが困難であると考えられる。

【0030】

また、画素配列PAでは、画素特性（画素配置ピッチ）を確保するため、駆動線DL上における画素間の位置にリピータを追加することが困難である。

【0031】

そこで、第1の実施形態では、基板接合を用いたチップ積層化により、画素領域下に電極の接合点を配置できるようにし、下チップのリピータ線内における複数の画素に対応した位置に複数のリピータを挿入し、ドライブされた制御信号を下チップから上チップへ供給することで、制御信号の遅延を小さくする。

【0032】

具体的には、図5及び図6に示すように、固体撮像装置100は、半導体チップCH1及び半導体チップCH2を有する。図5は、固体撮像装置100の積層構成を示す分解斜視図である。図6は、固体撮像装置100の積層構成を示す回路図である。

【0033】

半導体チップCH2には、半導体チップCH1が積層されている。半導体チップCH1及び半導体チップCH2は、基板接合で接合されている。半導体チップCH1及び半導体チップCH2は、互いに表面側が接合され、互いの電極EL同士を接合（例えば、Cu-Cu接合）させることができる。半導体チップCH1及び半導体チップCH2は、それぞれ、表面側に多層配線構造が形成されており、最上の配線層上に表面が露出された電極ELを有する。

【0034】

半導体チップCH1には、図3に示す固体撮像装置100内の構成のうち画素配列PAが配される。例えば、半導体チップCH1は、複数の画素P(1, 1)～P(4, 4)、複数の駆動線DL(1)～DL(4)、複数の配線WR(1, 1)～WR(4, 4)、及び複数の信号線（図示せず）を有する。複数の画素P(1, 1)～P(4, 4)は、行方向及び列方向に配列され、例えば4行4列を構成する。図5及び図6では、画素配列PAにおける画素の配列数が4行4列である場合を例示するが、画素の配列数はこれに限定されない。なお、図示しないが、各画素P(1, 1)～P(4, 4)は、裏面照射型の画素構成を有する。

【0035】

複数の駆動線DL(1)～DL(4)は、画素の複数行に対応している。各駆動線DL(1)～DL(4)は、行方向に延び、対応する行の各画素に接続されている。例えば、駆動線DL(1)は、1行目の画素P(1, 1)～P(1, 4)に対応し、1行目の各画素P(1, 1)～P(1, 4)に接続されている。

【0036】

複数の配線WR(1, 1)～WR(4, 4)のそれぞれは、駆動線DL(1)～DL(4)を半導体チップCH2側へ3次元的に接続する。例えば、配線WR(1, 1)～WR(1, 4)は、それぞれ、駆動線DL(1)上のノードDN(1, 1)～DN(1, 4)をその下方に設けられた電極ELへ接続する。

【0037】

半導体チップCH2には、図3に示す固体撮像装置100内の構成のうち画素配列PA以外が配される。例えば、半導体チップCH2は、ADC97、ロジック回路99、ローデコーダー（制御回路）93、複数のリピータ線RL(1)～RL(4)、複数の配線LWR(1, 1)～LWR(4, 4)、及び複数のリピータRP(1, 1)～RP(4, 4)を有する。半導体チップCH2では、ローデコーダー93が端部付近に配置されている。ローデコーダー93の配置領域の近くには、ADC配置領域11～14、ロジック回路配置領域15～18が設けられている。ADC配置領域11～14には、例えば、ADC97が分割配置されている。ロジック回路配置領域15～18には、ロジック回路99が分割配置されている。ロジック回路99は、信号処理回路91などを含む（図3参照）。

【0038】

複数のリピータ線RL(1)～RL(4)は、複数の駆動線DL(1)～DL(4)に対応している。各リピータ線RL(1)～RL(4)は、対応する駆動線DLに沿って延びている。例えば、リピータ線RL(1), RL(2)は、ローデコーダー93から行方向に延び、ロジック回路配置領域15～18を通っている。なお、リピータ線RL(1), RL(2)は、ロジック回路配置領域15～18を通るが、ロジック回路99には接続されない。例えば、リピータ線RL(3), RL(4)は、ローデコーダー93から行方向に延び、ADC配置領域11～14を通っている。なお、リピータ線RL(3), RL(4)は、ADC配置領域11～14を通るが、ADC97には接続されない。

【0039】

複数の配線LWR(1, 1)～LWR(4, 4)のそれぞれは、リピータ線RL(1)～RL(4)を半導体チップCH1側へ3次元的に接続する。例えば、配線LWR(1, 1)～LWR(1, 4)は、それぞれ、リピータ線RL(1)上のノードRN(1, 1)～RN(1, 4)をその上方に設けられた電極ELへ接続する。

【0040】

例えば、ノードRN (1, 1) → 配線LWR (1, 1) → 半導体チップCH2の電極EL → 半導体チップCH1の電極EL → 配線WR (1, 1) → ノードDN (1, 1) → 画素P (1, 1) と接続されている。ノードRN (1, 4) → 配線LWR (1, 4) → 半導体チップCH2の電極EL → 半導体チップCH1の電極EL → 配線WR (1, 4) → ノードDN (1, 4) → 画素P (1, 4) と接続されている。すなわち、複数の配線LWR (1, 1) ~ LWR (4, 4) のそれぞれは、リピータ線RL (1) ~ RL (4) を複数の画素へ3次元的に接続する。

【0041】

複数のリピータRP (1, 1) ~ RP (4, 4) は、複数のリピータ線RL (1) ~ RL (4) に対応する。複数のリピータRP (1, 1) ~ RP (1, 4) は、リピータ線RL (1) 上に複数の画素P (1, 1) ~ P (1, 4) に対応して配されている。複数のリピータRP (1, 1) ~ RP (1, 4) は、画素配列PAにおける同一行の画素P (1, 1) ~ P (1, 4) を駆動できる。

【0042】

例えば、リピータRP (1, 1) は、図7に示すように、入力端子がリピータ線RL (1) 経由でローデコーダ93に接続されている。図7は、リピータと画素との接続構成を示す回路図である。リピータRP (1, 1) は、出力端子が、リピータ線RL (1) 及び配線LWR (1, 1), WR (1, 1) 経由で画素P (1, 1) に接続されているとともに、リピータ線RL (1) 経由で次段のリピータRP (1, 2) の入力端子に接続されている。これにより、リピータRP (1, 1) は、画素P (1, 1) への制御信号をドライブしながら次段のリピータRP (1, 2) への制御信号もドライブすることができる。

【0043】

リピータRP (1, 2) は、入力端子がリピータ線RL (1) 経由でリピータRP (1, 1) に接続されている。リピータRP (1, 2) は、出力端子が、リピータ線RL (1) 及び配線LWR (1, 2), WR (1, 2) 経由で画素P (1, 2) に接続されているとともに、リピータ線RL (1) 経由で次段のリピータRP (1, 3) の入力端子に接続されている。これにより、リピータRP (1, 2) は、画素P (1, 2) への制御信号をドライブしながら次段のリピータRP (1, 3) への制御信号もドライブすることができる。

【0044】

リピータRP (1, 3) は、入力端子がリピータ線RL (1) 経由でリピータRP (1, 2) に接続されている。リピータRP (1, 3) は、出力端子が、リピータ線RL (1) 及び配線LWR (1, 3), WR (1, 3) 経由で画素P (1, 3) に接続されているとともに、リピータ線RL (1) 経由で次段のリピータRP (1, 4) の入力端子に接続されている。これにより、リピータRP (1, 3) は、画素P (1, 3) への制御信号をドライブしながら次段のリピータRP (1, 4) への制御信号もドライブすることができる。

【0045】

リピータRP (1, 4) は、入力端子がリピータ線RL (1) 経由でリピータRP (1, 3) に接続されている。リピータRP (1, 4) は、出力端子が、リピータ線RL (1) 及び配線LWR (1, 4), WR (1, 4) 経由で画素P (1, 4) に接続されている。これにより、リピータRP (1, 4) は、画素P (1, 4) への制御信号をドライブすることができる。

【0046】

同様に、複数のリピータRP (4, 1) ~ RP (4, 4) は、リピータ線RL (4) 上に複数の画素P (4, 1) ~ P (4, 4) に対応して配されている。複数のリピータRP (4, 1) ~ RP (4, 4) は、画素配列PAにおける同一行の画素P (4, 1) ~ P (4, 4) を駆動できる。

【0047】

以上のように、第1の実施形態では、固体撮像装置100において、基板接合を用いたチップ積層化により、画素領域下に電極の接合点を配置できるようにし、下チップのリピータ線内における複数の画素に対応した位置に複数のリピータを挿入し、ドライブされた制御信号を下チップから上チップへ供給する。これにより、ローデコーダー93から画素に至る制御信号の経路の途中において制御信号をドライブできるので、駆動線DLの一端側から制御信号をドライブする場合に比べて、制御信号の遅延を容易に小さくでき、画素駆動時間を容易に短縮できる。この結果、フレームレート的高速化が可能となり、フレームレートが要求される速度を満たすことができる。

【0048】

また、第1の実施形態では、固体撮像装置100において、例えばリピータRP(1, 1)～RP(1, 3)は、画素P(1, 1)～P(1, 3)への制御信号をドライブしながら次段のリピータRP(1, 2)～RP(1, 4)への制御信号もドライブすることができる。これにより、駆動線DLの一端側から制御信号をドライブする場合に比べて、各リピータRP(1, 1)～RP(1, 3)のドライブ能力を小さくでき、制御信号の遅延を容易に小さくできる。また、ローデコーダー93から遠い画素ほど繰り返しドライブされるので、ローデコーダー93に近い画素P(1, 1)と遠い画素P(1, 4)との間における制御信号の波形歪みの差異を低減できる。さらに、ローデコーダー93に近い画素P(1, 1)と遠い画素P(1, 4)とに対して共通のリピータ線RL(1)で制御信号を伝送するので、リピータ線RL(1)の配線密度を抑えることができ、リピータ線RL(1)の配線抵抗がつかないようにリピータ線RL(1)を太くすることが容易である。

【0049】

なお、各リピータ線RL上には、1画素ごとに対応するリピータRPが配されているが、複数画素ごとに対応するリピータRPが配されていてもよい。

【0050】

半導体チップCH1における各行の駆動線DLは、リピータRPごとに分割されていてもよい。例えば、図6に示す1行目の駆動線DL(1)において、図8に示す破線の部分をカットして、図8に示すように、1行目の駆動線DL(1)が複数の駆動線DL(1)―1～DL(1)―4に分割されていてもよい。図8は、第1の実施形態の変形例にかかる固体撮像装置100iの積層構成を示す回路図である。他の行の駆動線についても同様に構成されていてもよい。これにより、例えば、各リピータRPに接続された駆動線DLに接続される画素Pの数を1つに低減できるので、固体撮像装置100iにおいて、駆動線DLの容量値を効果的に低減でき、制御信号の遅延を容易に小さくできる。

【0051】

あるいは、半導体チップCH2におけるローデコーダーは、リピータ線の両側で制御信号を駆動してもよい。例えば、図9に示すように、各リピータ線RL(1)～RL(4)におけるローデコーダー93の反対側にローデコーダー93'が接続されていてもよい。図9は、第1の実施形態の変形例にかかる固体撮像装置100jの積層構成を示す回路図である。例えば、ローデコーダー93は、リピータRP(1, 1), RP(1, 2)、配線LWR(1, 1), LWR(1, 2), WR(1, 1), WR(1, 2)経由で画素P(1, 1), P(1, 2)を駆動できる。例えば、ローデコーダー93'は、リピータRP(1, 4), RP(1, 3)、配線LWR(1, 4), LWR(1, 3), WR(1, 4), WR(1, 3)経由で画素P(1, 4), P(1, 3)を駆動できる。このように、各行の画素を駆動線の両側から駆動できるので、固体撮像装置100jにおいて、制御信号のドライブ能力を高くすることができ、制御信号の遅延をさらに小さくできる。

【0052】

あるいは、図9に示す構成において、半導体チップCH2における各行のリピータ線RLは、ローデコーダー93, 93'ごとに分割されていてもよい。例えば、図9に示す1行目のリピータ線RL(1)において、図10に示す破線の部分をカットして、図10に示すように、1行目のリピータ線RL(1)が複数のリピータ線RL(1)―1, RL(1)―2に分割されていてもよい。図10は、第1の実施形態の変形例にかかる固体撮像

装置100kの積層構成を示す回路図である。他の行の駆動線についても同様に構成されていてもよい。これにより、例えば、各ローデコーダー93, 93'に接続されたリピータ線RLに接続されるリピータRPの数を半分に低減できるので、固体撮像装置100kにおいて、リピータ線RLの容量値を効果的に低減でき、制御信号の遅延を容易に小さくできる。

【0053】

あるいは、図10に示す構成において、半導体チップCH1における各行の駆動線DLは、リピータRPごとに分割されていてもよい。例えば、図10に示す1行目の駆動線DL(1)において、図11に示す破線の部分をカットして、図11に示すように、1行目の駆動線DL(1)が複数の駆動線DL(1)―1～DL(1)―4に分割されていてもよい。図11は、第1の実施形態の変形例にかかる固体撮像装置100pの積層構成を示す回路図である。他の行の駆動線についても同様に構成されていてもよい。これにより、例えば、各リピータRPに接続された駆動線DLに接続される画素Pの数を1つに低減できるので、固体撮像装置100pにおいて、駆動線DLの容量値を効果的に低減でき、制御信号の遅延を容易に小さくできる。

【0054】

(第2の実施形態)

次に、第2の実施形態にかかる固体撮像装置200について説明する。以下では、第1の実施形態と異なる部分を中心に説明する。

【0055】

第1の実施形態では、ローデコーダー93から出力されリピータRPでドライブされた制御信号が配線LWR, WR経由で画素Pに供給され、画素Pが駆動される。

【0056】

しかし、低消費電力化等のため、ローデコーダー93及びリピータRPの動作電圧の低電圧化が進むと、画素Pに供給される制御信号のレベルがそのままでは要求されるレベルに不十分な場合が生じ得る。例えば、制御信号φREADnのアクティブレベルが比較的低いレベルのままであると、転送部8がオンして光電変換部3の電荷を電荷電圧変換部4へ転送した際に、一部の電荷が転送されずに光電変換部3内に残ることに起因した残像が発生する可能性がある。

【0057】

そこで、第2の実施形態では、ローデコーダー93から出力されリピータRPでドライブされた制御信号を、画素Pに供給する前に所望の電圧振幅(所望のレベル)に変換しておく。

【0058】

具体的には、図12に示すように、半導体チップCH202は、複数のレベルシフタLS(1, 1)～LS(4, 4)をさらに有する。図12は、固体撮像装置200の積層構成を示す回路図である。複数のレベルシフタLS(1, 1)～LS(1, 4)は、配線LWR(1, 1)～LWR(1, 4)上に複数の画素P(1, 1)～P(1, 4)に対応して配されている。複数のレベルシフタLS(1, 1)～LS(1, 4)は、画素配列PAにおける同一行の画素P(1, 1)～P(1, 4)を駆動できる。

【0059】

例えば、レベルシフタLS(1, 1)は、配線LWR(1, 1)上に配されている。ローデコーダー93から出力されリピータRP(1, 1)でドライブされた制御信号の振幅がV1である場合、レベルシフタLS(1, 1)は、制御信号の振幅をV1からV2(>V1)に変換する。レベルシフタLS(1, 1)は、振幅がV2に変換された制御信号を配線LWR(1, 1), WR(1, 1)経由で画素P(1, 1)に供給する。これにより、画素P(1, 1)を所望のレベルの制御信号で動作させることができる。

【0060】

レベルシフタLS(1, 4)は、配線LWR(1, 4)上に配されている。ローデコーダー93から出力されリピータRP(1, 1)～RP(1, 4)のそれぞれでドライブさ

れた制御信号の振幅がV1である場合、レベルシフタLS(1, 4)は、制御信号の振幅をV1からV2(>V1)に変換する。レベルシフタLS(1, 4)は、振幅がV2に変換された制御信号を配線LWR(1, 4), WR(1, 4)経由で画素P(1, 4)に供給する。これにより、画素P(1, 4)を所望のレベルの制御信号で動作させることができる。

【0061】

以上のように、第2の実施形態では、固体撮像装置200において、ローデコーダー93から出力されリピータRPでドライブされた制御信号を、画素Pに供給する前にレベルシフタLSで所望の電圧振幅(所望のレベル)に変換しておく。これにより、低消費電力化等のため、ローデコーダー93及びリピータRPの動作電圧を低電圧化した場合に、画素Pを所望のレベルの制御信号で動作させることができ、画素Pの特性を向上させることができる。

【0062】

なお、レベルシフタは、各配線LWR上に配される代わりに、各リピータ線RL上に配されていてもよい。例えば、図13に示すように、固体撮像装置200'において、半導体チップCH202'は、複数のレベルシフタLS'(1)~LS'(4)を有してもよい。図13は、固体撮像装置の積層構成を示す回路図である。レベルシフタLS'(1)~LS'(4)は、リピータ線RL(1)~RL(4)上におけるローデコーダー93と複数のリピータPRとの間に配されている。

【0063】

例えば、レベルシフタLS'(1)は、リピータ線RL(1)上におけるローデコーダー93と複数のリピータPR(1, 1)~RP(1, 4)との間に配されている。ローデコーダー93から出力された制御信号の振幅がV1である場合、レベルシフタLS'(1)は、制御信号の振幅をV1からV2(>V1)に変換する。レベルシフタLS'(1)は、振幅がV2に変換された制御信号をリピータ線RL(1)、リピータPR(1, 1)、配線LWR(1, 1), WR(1, 1)経由で画素P(1, 1)に供給する。これにより、画素P(1, 1)を所望のレベルの制御信号で動作させることができる。

【0064】

このように、レベルシフタLS'を各配線LWR上に配する代わりに各リピータ線RL上におけるローデコーダー93と複数のリピータPRとの間に配した場合、用意すべきレベルシフタLS'の数を減らすことができ、固体撮像装置200'を低コスト化できる。

【0065】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0066】

81 撮像システム、100 固体撮像装置。

【書類名】 特許請求の範囲

【請求項 1】

複数の画素を有する第 1 の半導体チップと、
前記第 1 の半導体チップが積層され、AD変換回路と、制御回路と、前記制御回路から延びたリピータ線と、前記リピータ線を前記複数の画素に 3 次元的に接続する配線と、前記リピータ線上に前記複数の画素に対応して配された複数のリピータとを有する第 2 の半導体チップと、
を備えたことを特徴とする固体撮像装置。

【請求項 2】

前記複数の画素は、第 1 の画素及び第 2 の画素を含み、
前記複数のリピータは、
前記制御回路に前記リピータ線経由で接続された入力端子と前記第 1 の画素に前記リピータ線及び前記配線経由で接続された出力端子とを有する第 1 のリピータと、
前記第 1 のリピータの出力端子に前記リピータ線経由で接続された入力端子と前記第 2 の画素に前記リピータ線及び前記配線経由で接続された出力端子とを有する第 2 のリピータと、
を含む
ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記複数の画素は、少なくとも行方向に配列され、
前記リピータ線は、行方向に延び、
前記配線は、前記リピータ線を同一行の複数の画素に 3 次元的に接続する
ことを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

【請求項 4】

前記第 2 の半導体チップは、前記配線上に前記複数の画素に対応して配された複数のレベルシフトをさらに有する
ことを特徴とする請求項 1 から 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 5】

前記第 2 の半導体チップは、前記リピータ線上における前記制御回路と前記複数のリピータとの間に配されたレベルシフトをさらに有する
ことを特徴とする請求項 1 から 3 のいずれか 1 項に記載の固体撮像装置。

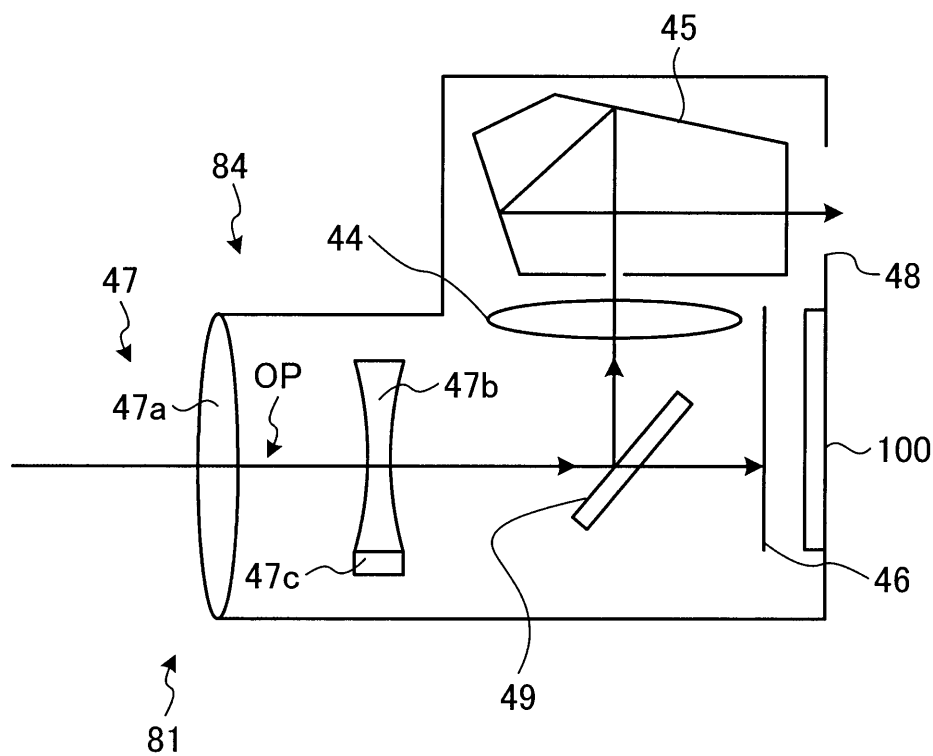
【書類名】 要約書

【要約】

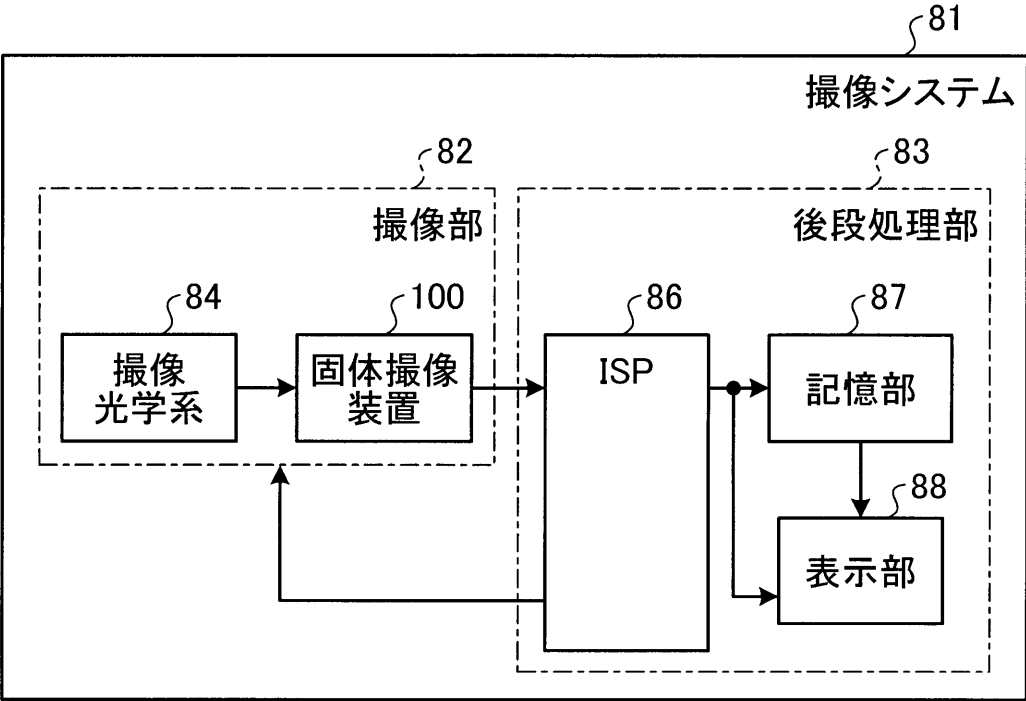
【課題】 各画素を駆動するための時間を短縮できる固体撮像装置を提供する。

【解決手段】 一つの実施形態によれば、第1の半導体チップと第2の半導体チップとを有する固体撮像装置が提供される。第1の半導体チップは、複数の画素を有する。第2の半導体チップには、第1の半導体チップが積層される。第2の半導体チップは、AD変換回路と制御回路とリピータ線と配線と複数のリピータとを有する。リピータ線は、制御回路から延びている。配線は、リピータ線を複数の画素に3次元的に接続する。複数のリピータは、リピータ線上に複数の画素に対応して配されている。

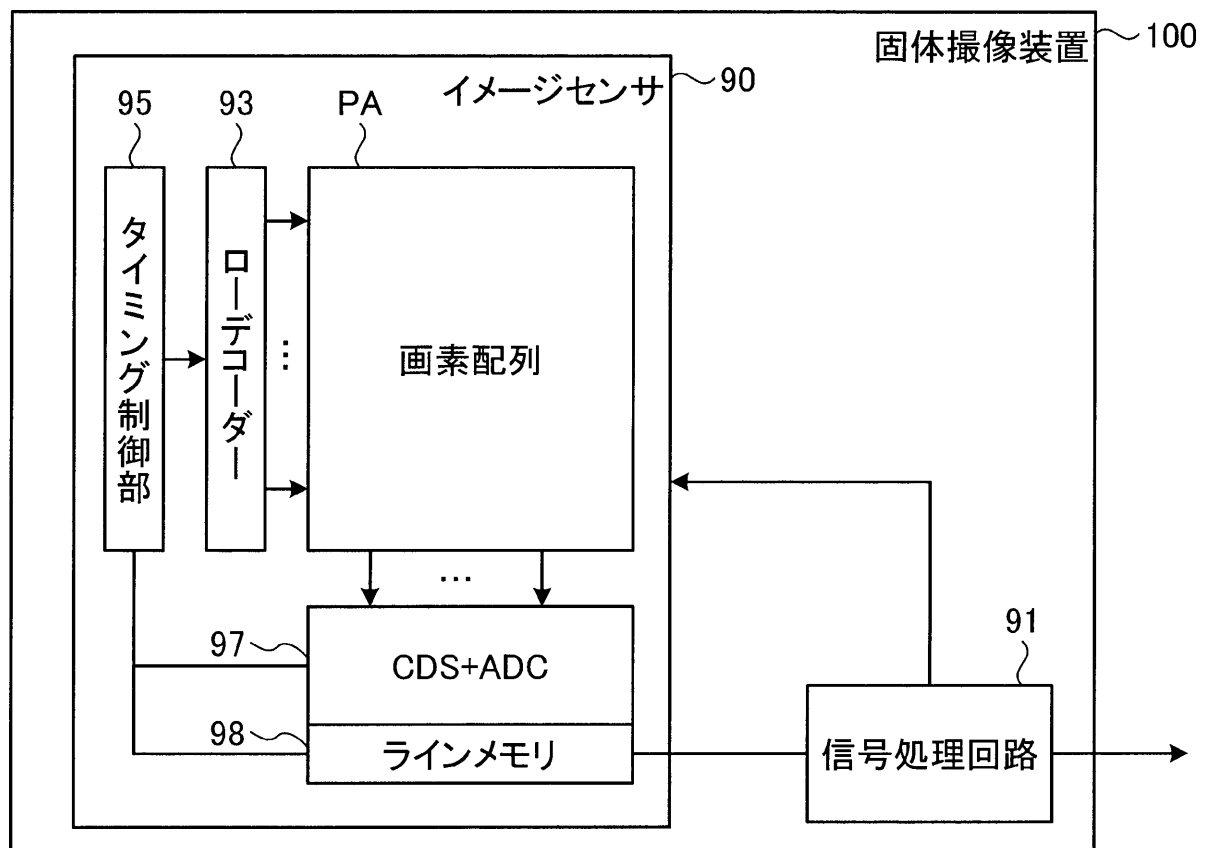
【選択図】 図6



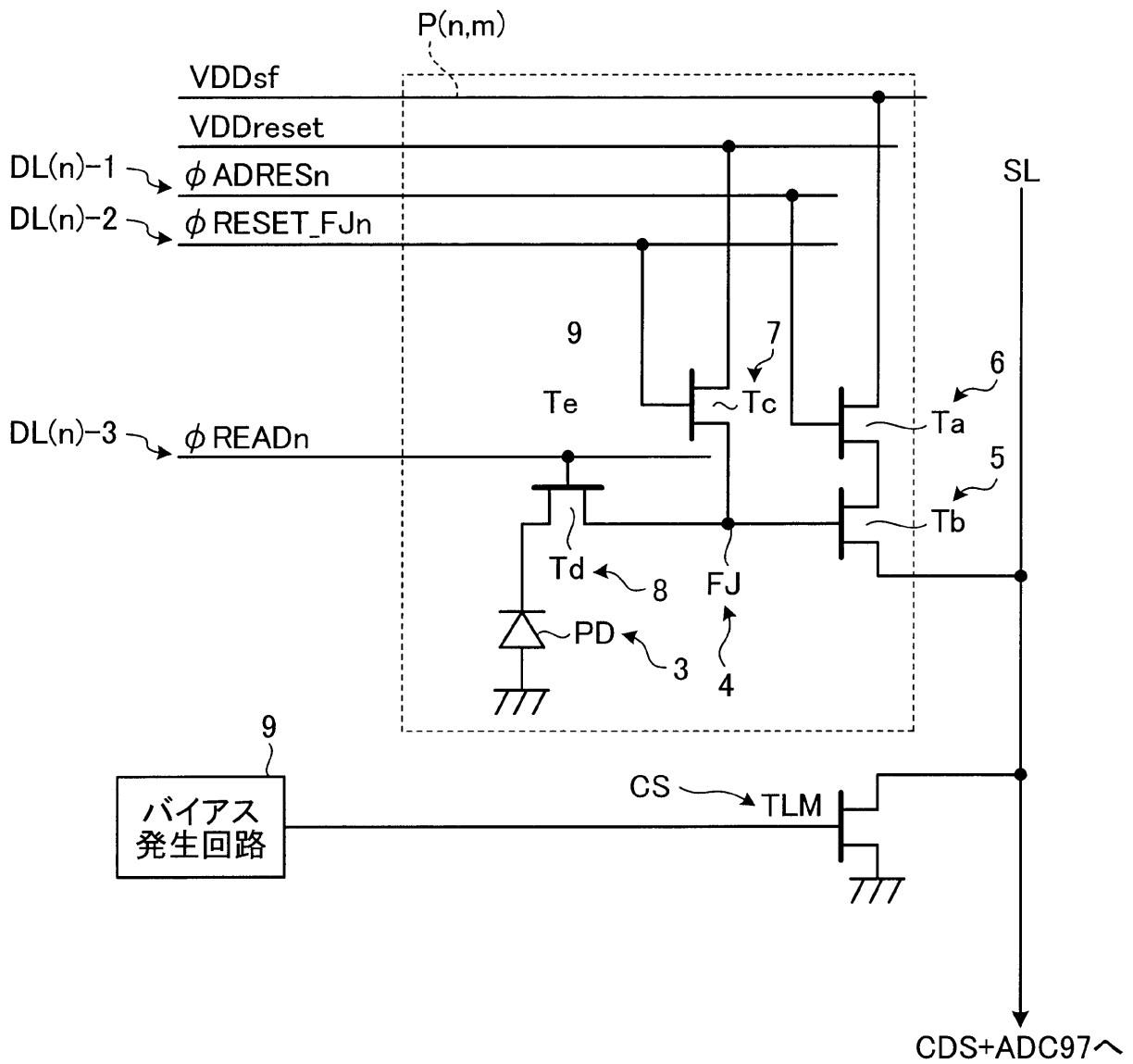
【図 2】



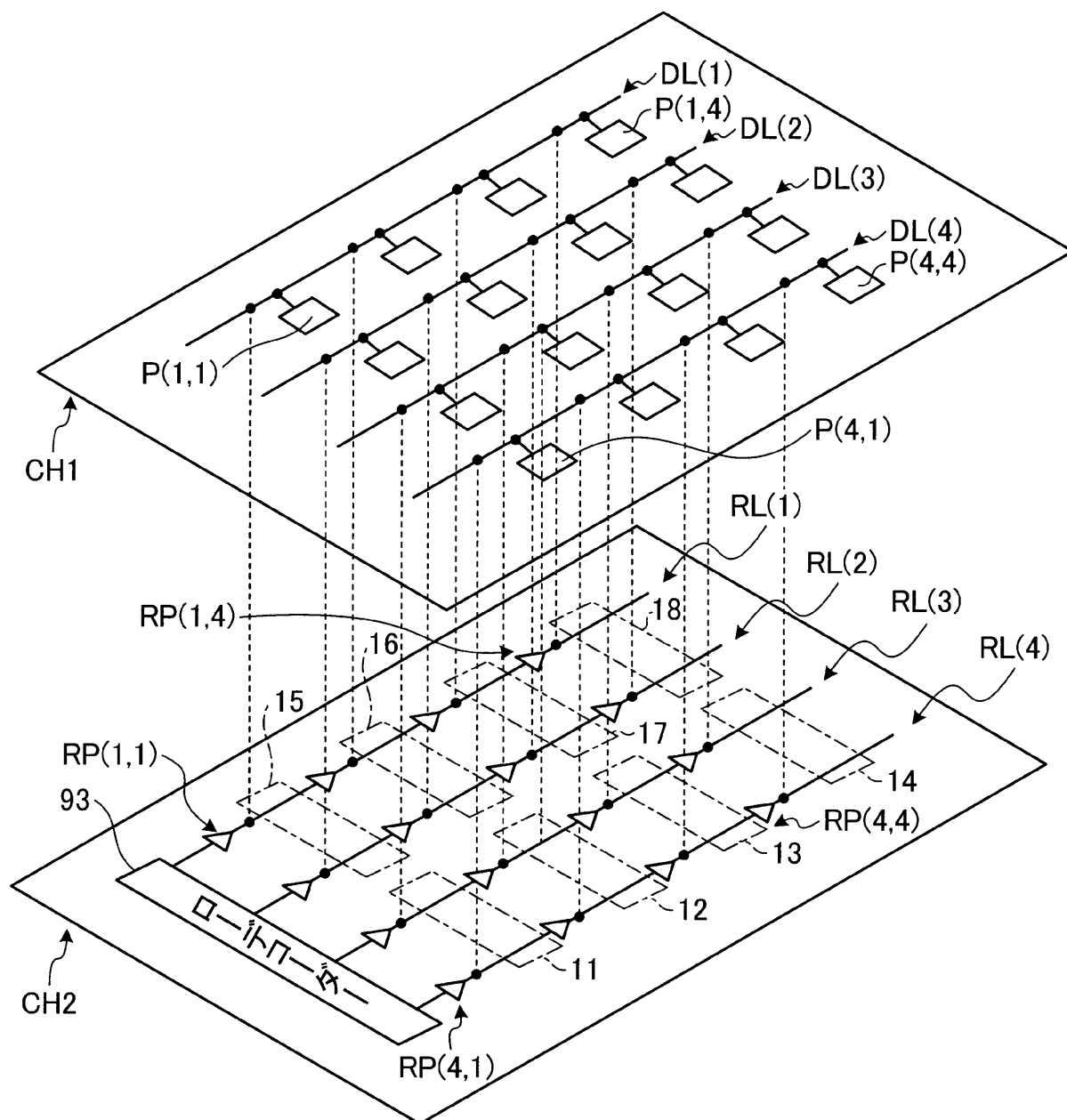
【図3】



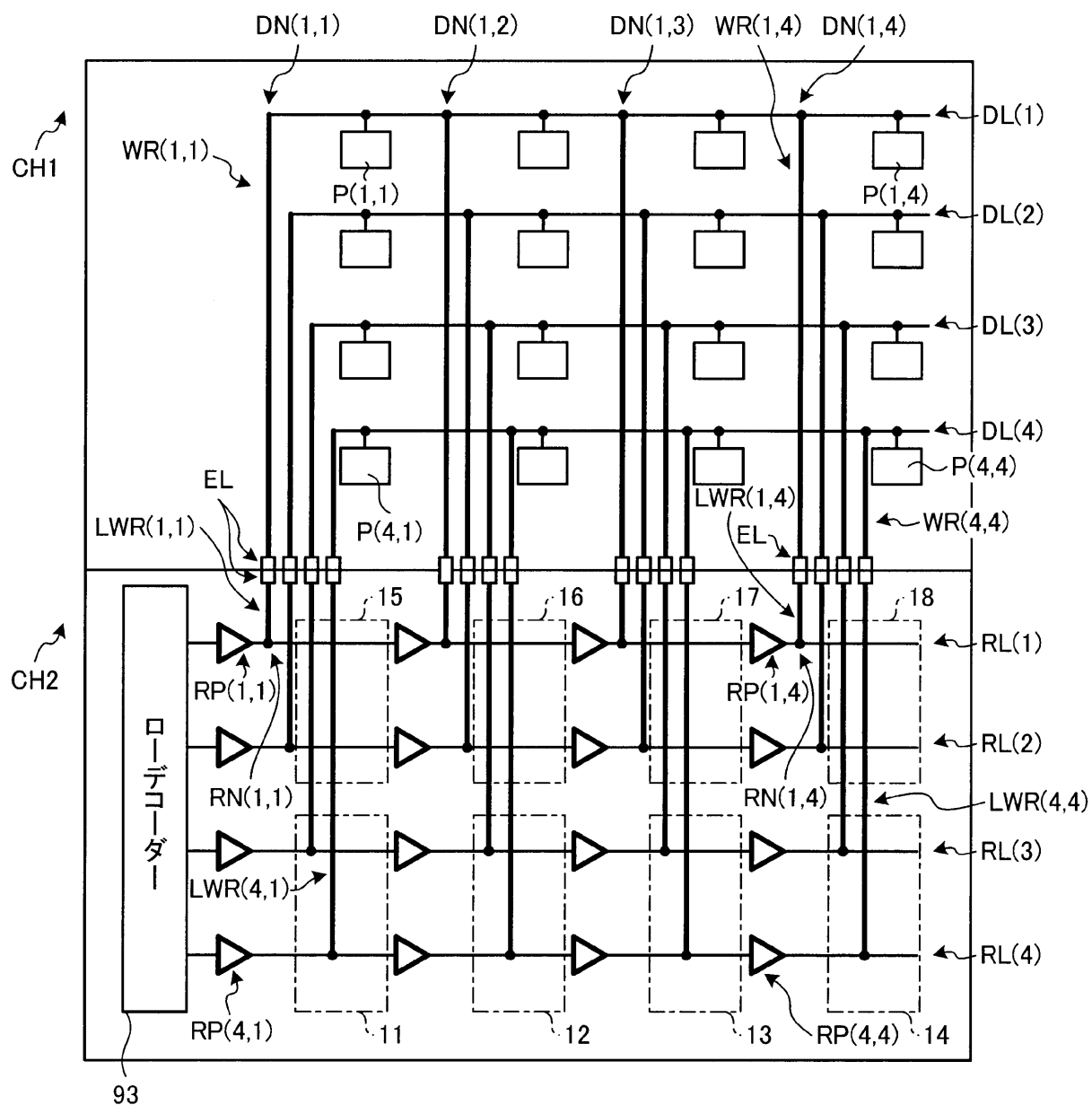
【図 4】



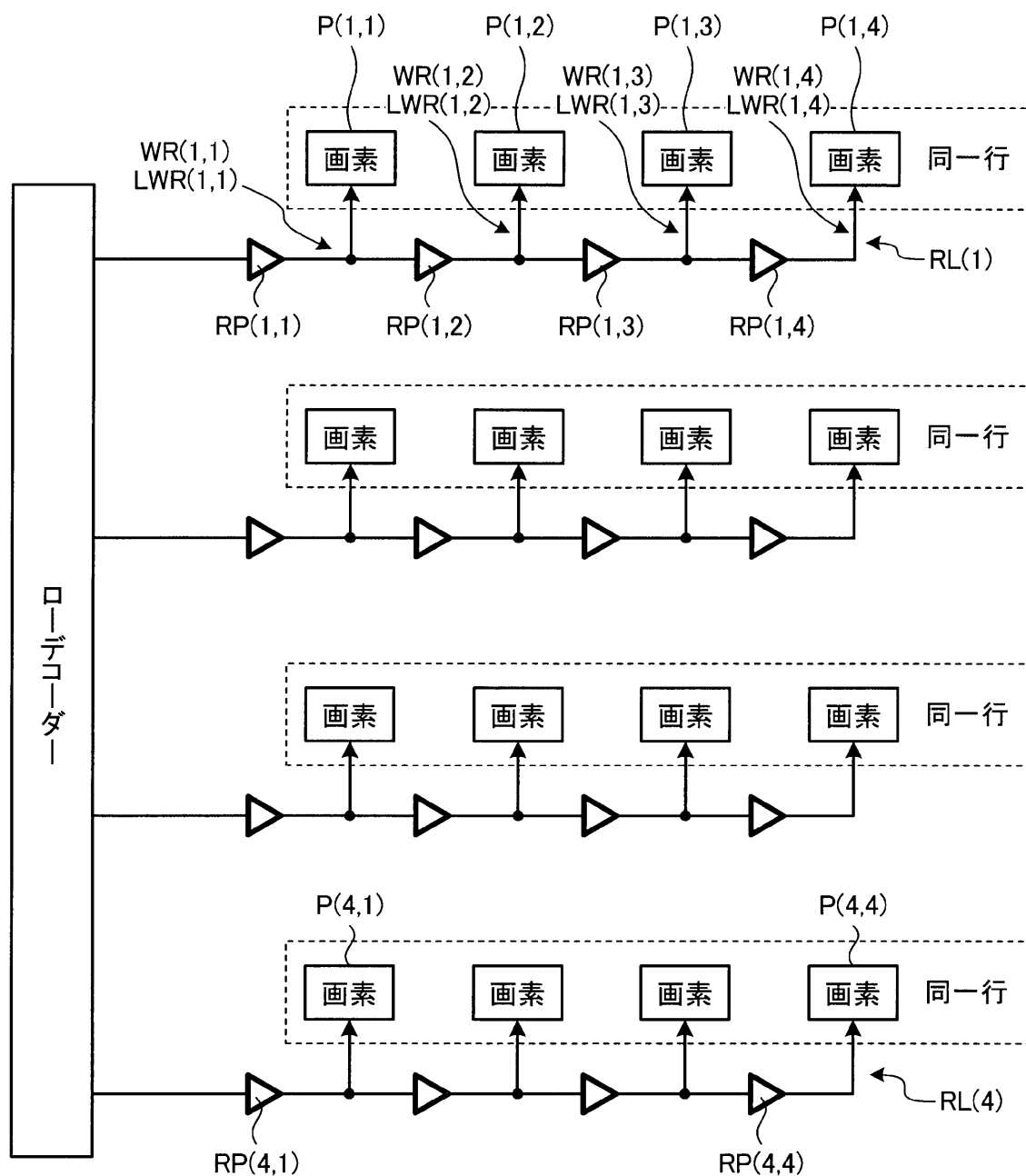
【図 5】



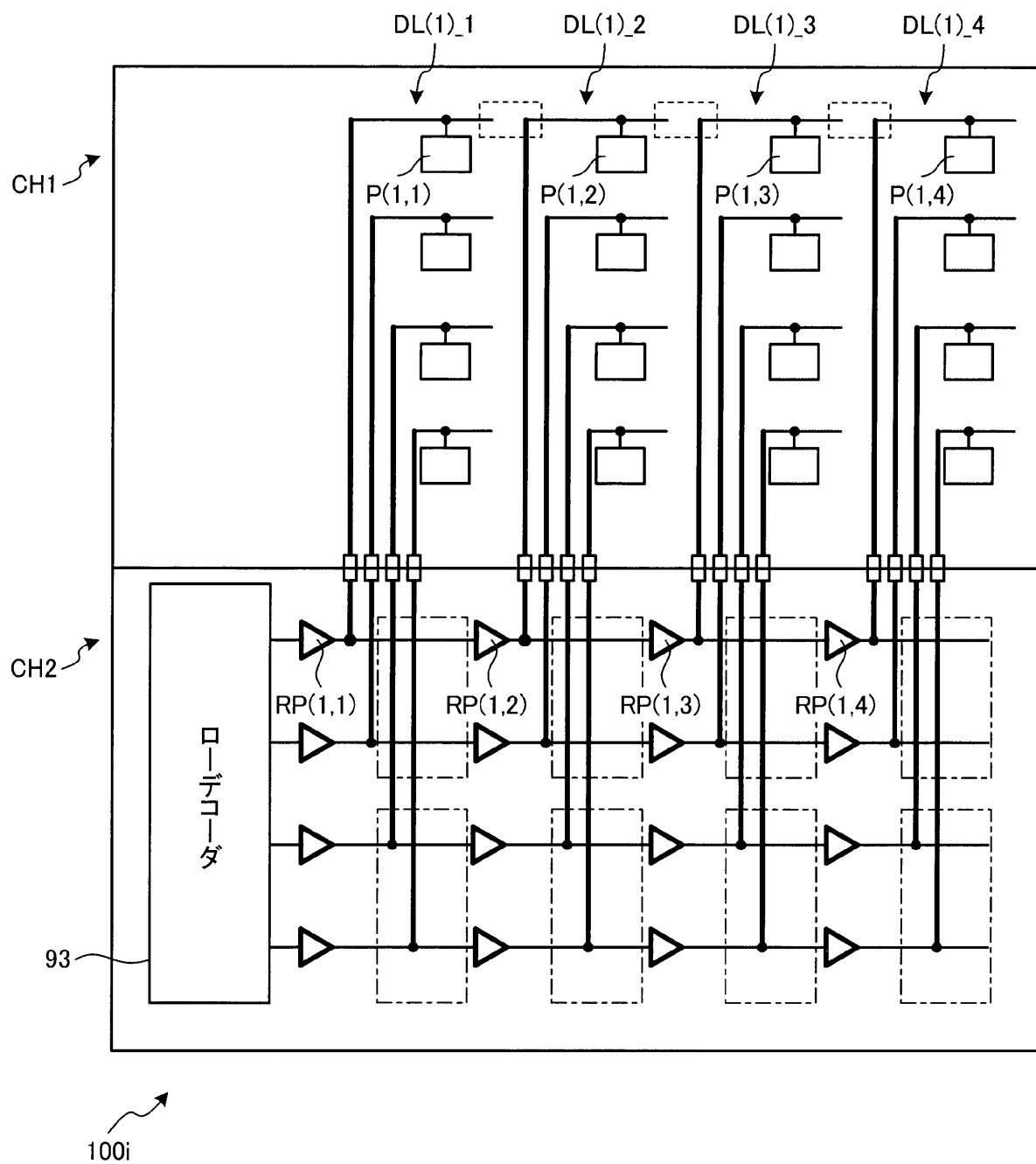
【図 6】



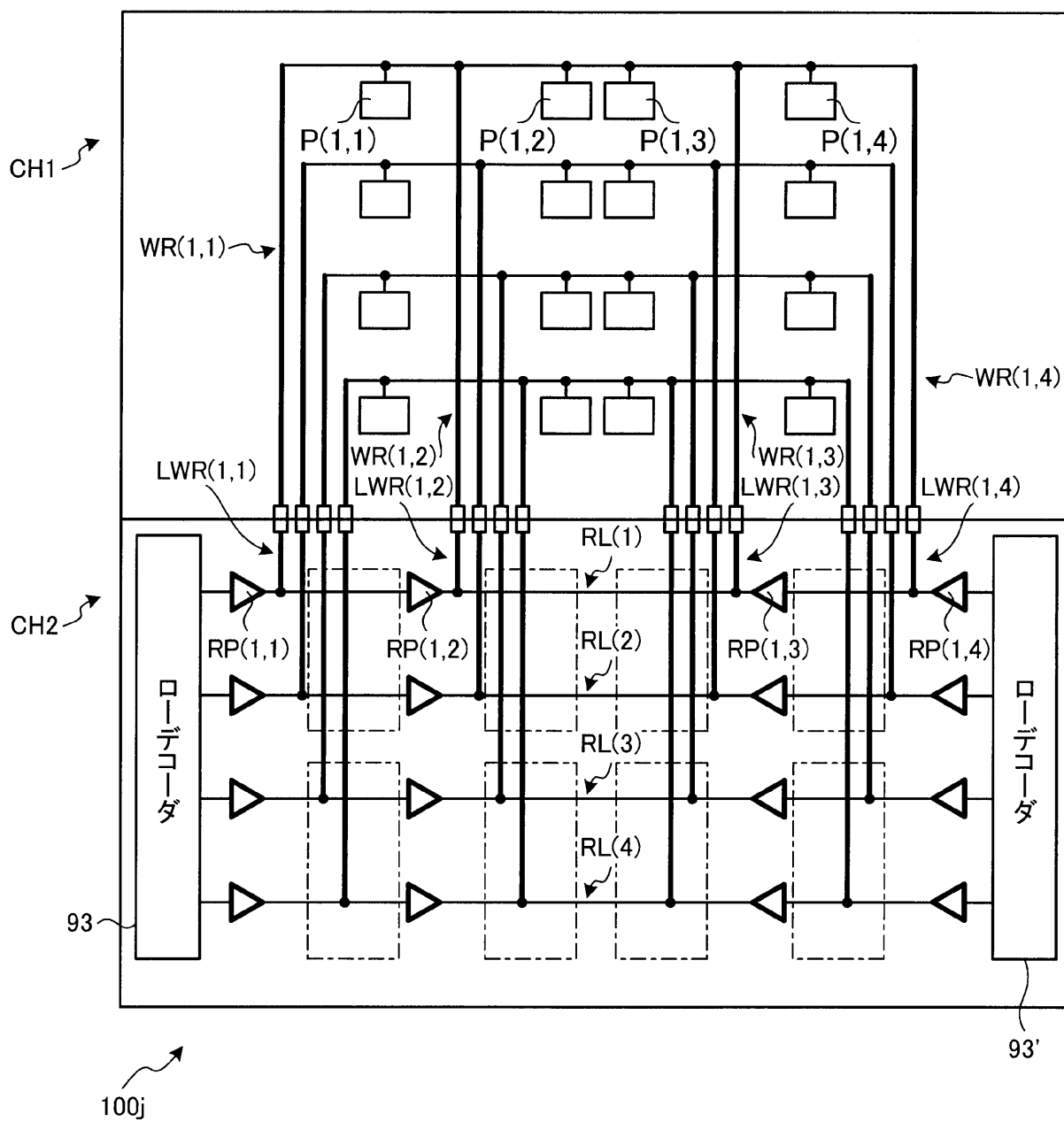
【図 7】



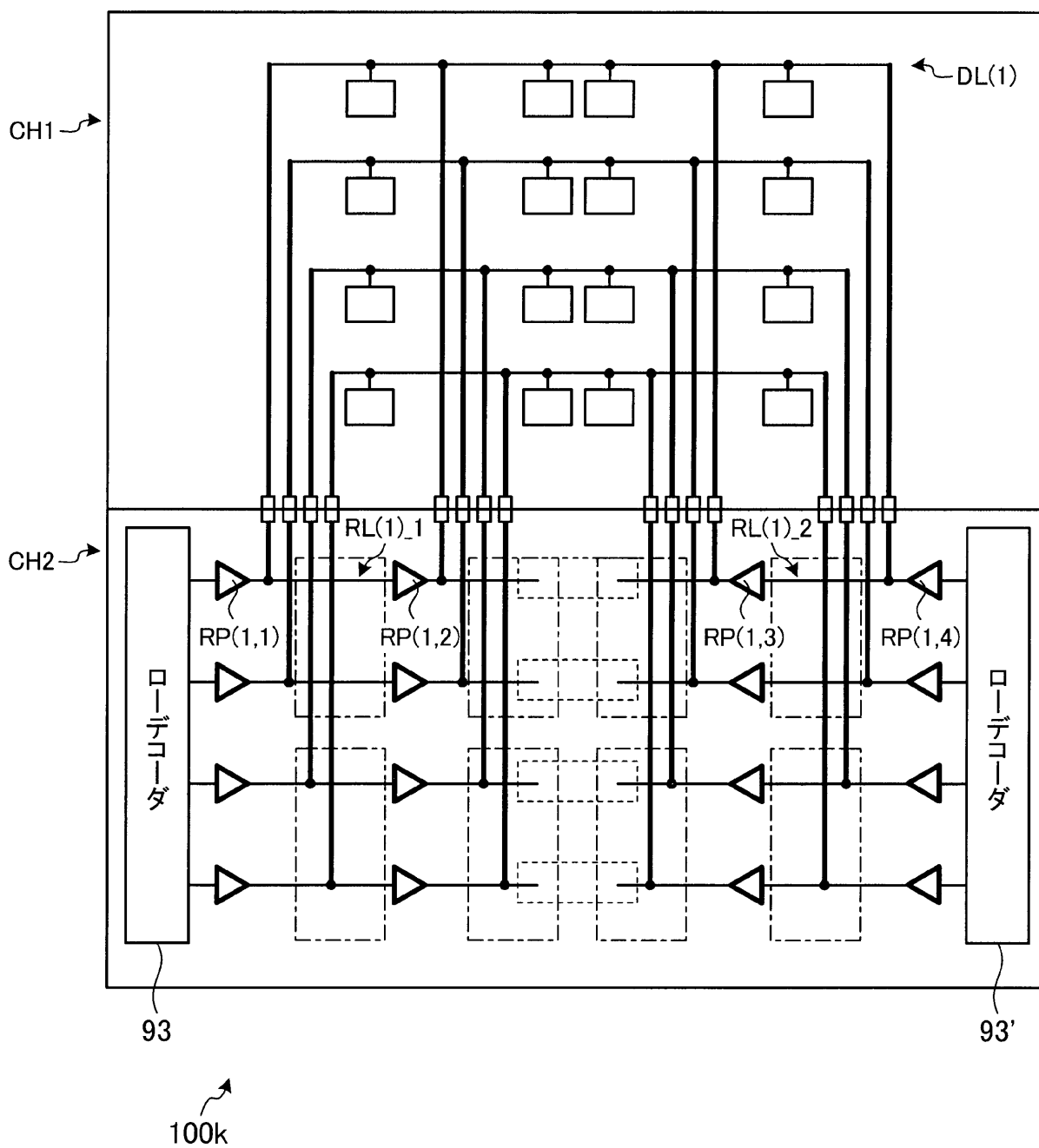
【図 8】



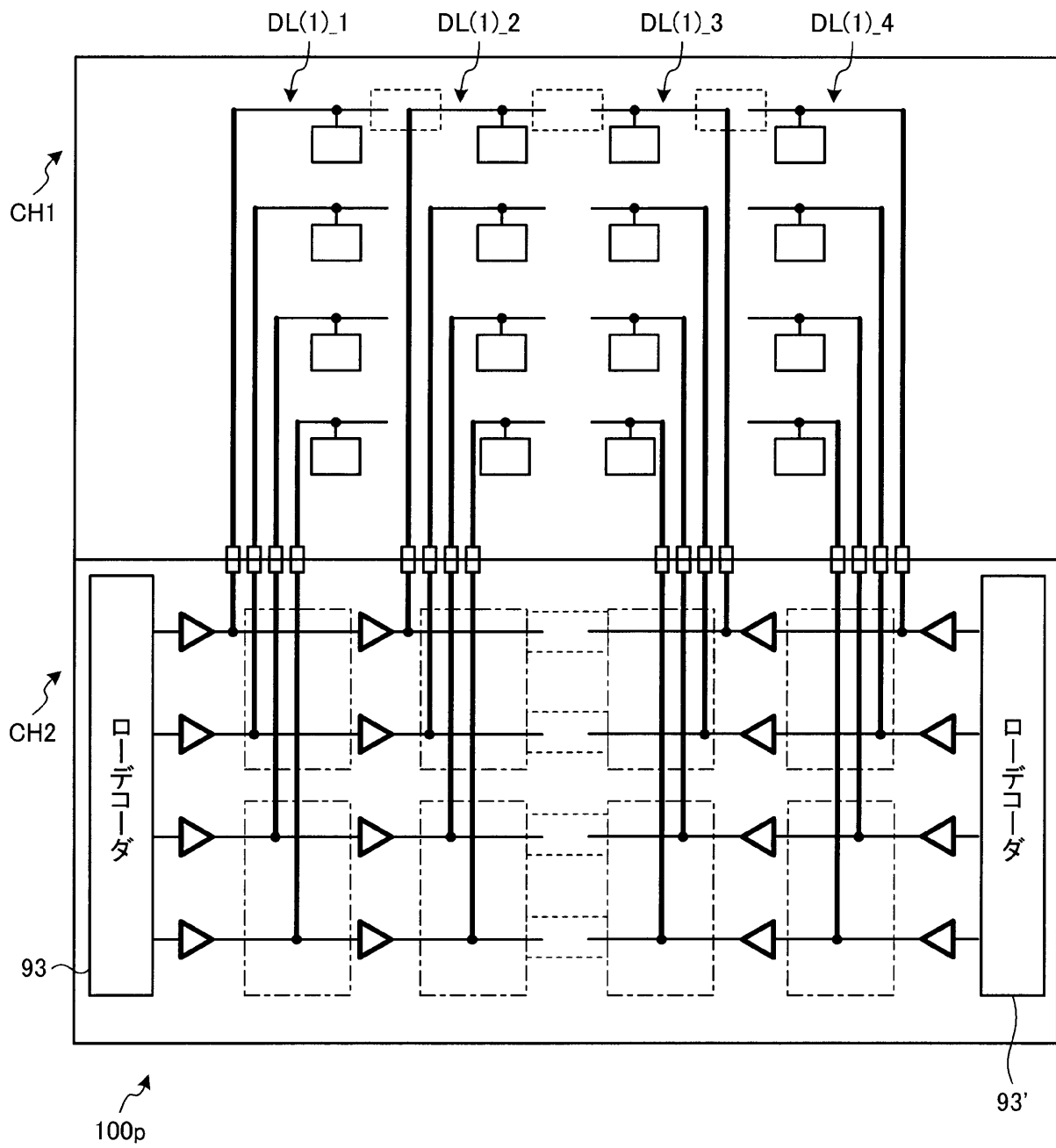
【図 9】



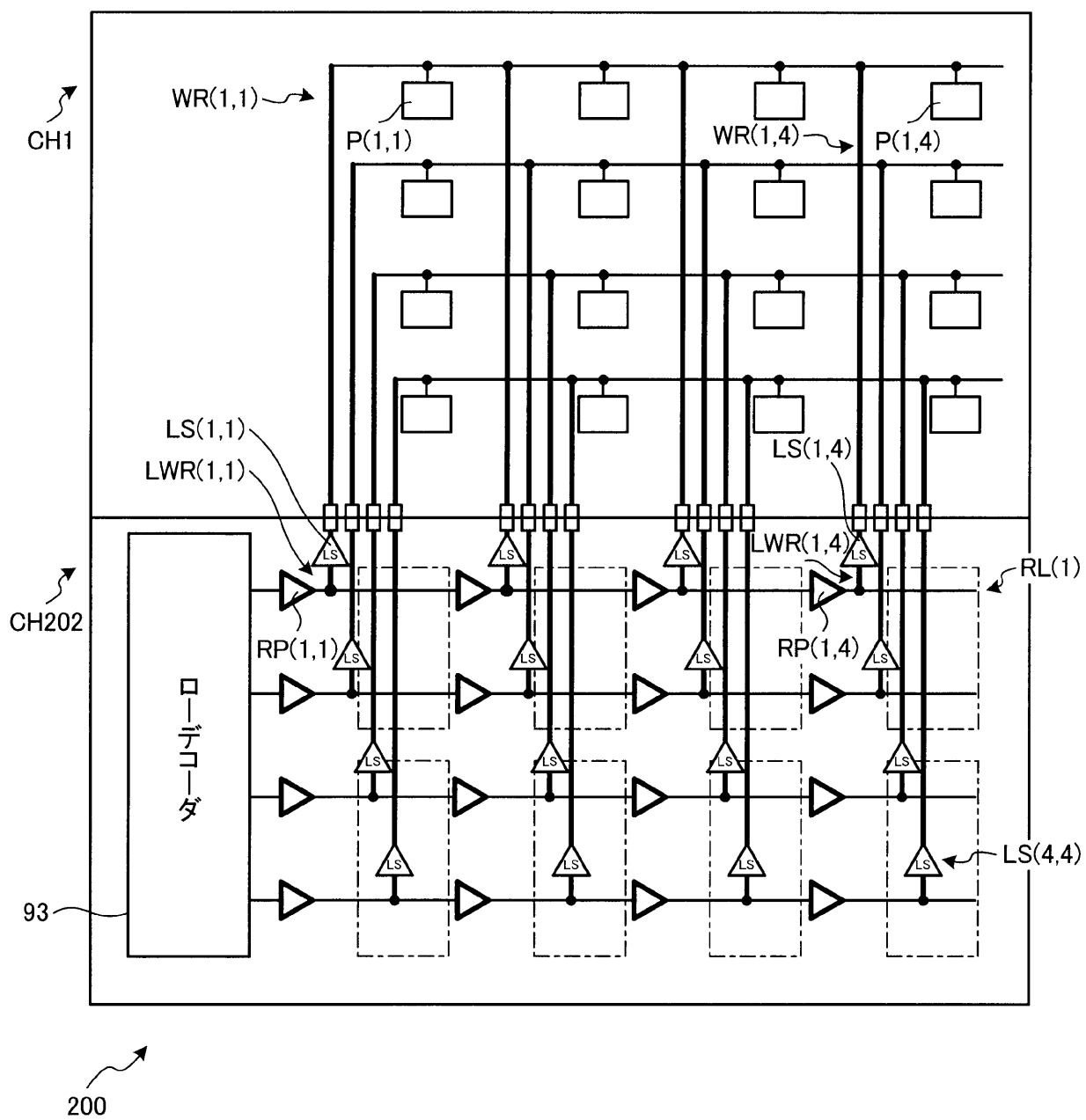
【図 10】



【図 1 1】



【図 1 2】



【図 1 3】

