

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

実施形態は、半導体装置に関する。

【背景技術】

【0002】

MOSトランジスタの閾値電圧は、PVT(Process Voltage Temperature)の変動によってばらつく。温度の変動による閾値電圧のばらつきが問題となる場合がある。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2005-086819号公報

【特許文献2】特開平10-289580号公報

【特許文献3】特開2005-166698号公報

【特許文献4】米国特許第5397934号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

製品の性能および信頼性の向上を図る半導体装置を提供する。

【課題を解決するための手段】

【0005】

実施形態による半導体装置は、第1電流に基づいて第1電圧を生成する第1回路と、第1端子と第2端子と第1ゲートとを含む第1導電型の第1トランジスタを含み、前記第1端子と前記第2端子との間の電圧差として第2電圧を生成する第2回路と、前記第1電圧と前記第2電圧とを比較し、その比較結果に基づいて前記第1トランジスタの基板バイアスを調整する第3電圧を生成する第3回路と、を具備する。

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係る半導体装置を示す図。

【図2】第1実施形態に係る半導体装置におけるメモリセルアレイを示す図。

【図3】第1実施形態に係る半導体装置における基板バイアス生成回路を示す図。

【図4】第1実施形態に係る半導体装置における定電流生成回路を示す図。

【図5】第1実施形態に係る半導体装置におけるアンプ回路およびクランプ回路を示す図。

【図6】第1実施形態に係る半導体装置におけるPMOSトランジスタの第1例を示す断面図。

【図7】第1実施形態に係る半導体装置におけるPMOSトランジスタの第2例を示す断面図。

【図8】比較例に係る半導体装置におけるPMOSトランジスタのウェル電圧と温度の関係を示す図。

【図9】比較例に係る半導体装置におけるPMOSトランジスタの閾値電圧と温度の関係を示す図。

【図10】第1実施形態に係る半導体装置におけるPMOSトランジスタのウェル電圧と温度の関係を示す図。

【図11】第1実施形態に係る半導体装置におけるPMOSトランジスタの閾値電圧と温度の関係を示す図。

【図12】第2実施形態に係る半導体装置における基板バイアス生成回路を示す図。

【図13】第2実施形態に係る半導体装置における定電流生成回路を示す図。

【図14】第2実施形態に係る半導体装置におけるアンプ回路およびクランプ回路を

示す図。

【図15】第2実施形態に係る半導体装置におけるNMOSトランジスタの第1例を示す断面図。

【図16】第2実施形態に係る半導体装置におけるNMOSトランジスタの第2例を示す断面図。

【図17】第3実施形態に係る半導体装置における基板バイアス生成回路を示す図。

【図18】第4実施形態に係る半導体装置における基板バイアス生成回路を示す図。

【図19】第5実施形態に係る半導体装置における基板バイアス生成回路を示す図。

【図20】比較例に係る半導体装置におけるPMOSトランジスタのウェル電圧と閾値電圧の関係を示す図。

【図21】第5実施形態に係る半導体装置におけるIR設定値とPMOSトランジスタの閾値電圧の関係を示す図。

【図22】第6実施形態に係る半導体装置における基板バイアス生成回路を示す図。

【図23】第7実施形態に係る半導体装置における基板バイアス生成回路を示す図。

【図24】第8実施形態に係る半導体装置における基板バイアス生成回路を示す図。

【発明を実施するための形態】

【0007】

本実施形態を以下に図面を参照して説明する。図面において、同一部分には同一の参照符号を付す。

【0008】

<第1実施形態>

以下に図1乃至図11を用いて、第1実施形態に係る半導体装置（半導体記憶装置）について説明する。以下では、半導体装置がNANDフラッシュメモリである場合について説明するが、これに限らない。また、以下の説明において、「接続」は直接接続される場合だけではなく、任意の素子を介して接続される場合も含む。また、トランジスタの一端（第1端子）はソース端子またはドレイン端子の一方を示し、トランジスタの他端（第2端子）はソースまたはドレインの他方を示す。また、トランジスタのゲートは、ゲート端子を示す。

【0009】

[第1実施形態の構成例]

まず、第1実施形態に係る半導体装置100の構成例について説明する。

【0010】

図1は、第1実施形態に係る半導体装置100を示す図である。図2は、第1実施形態に係る半導体装置100におけるメモリセルアレイ10を示す図である。

【0011】

図1に示すように、半導体記憶装置100は、メモリセルアレイ10、入出力回路11、ロジック制御回路12、レディー/ビジー制御回路13、レジスタ14、シーケンサ15、電圧生成回路16、ロウデコーダ17、およびセンスアンプ18を備える。

【0012】

メモリセルアレイ10は、複数のブロックBLK（BLK0、BLK1、...）を備える。より具体的には、図2に示すように、ブロックBLK0は、複数のNANDストリングSTを含む。各NANDストリングSTは、例えばn個（nは2以上の整数）のメモリセルトランジスタMC（MC0～MCn-1）と、選択トランジスタS1、S2とを含む。

【0013】

メモリセルトランジスタMC（以下、単にメモリセルMCと称することもある）は、制御ゲートと電荷蓄積層とを含む積層ゲートを備え、データを不揮発に保持する。メモリセルトランジスタMC0～MCn-1は、その電流経路が直列に形成される。一端側のメモリセルトランジスタMCn-1の一端は選択トランジスタS1の一端に接続され、他端側のメモリセルトランジスタMC0の一端は選択トランジスタS2の一端に接続される。

【0014】

複数の選択トランジスタS 1のゲートは、セレクトゲート線S G Dに共通接続される。一方、複数の選択トランジスタS 2のゲートは、セレクトゲート線S G Sに共通接続される。また、メモリセルトランジスタMC 0 ~ MC n - 1のゲートはそれぞれ、ワード線WL 0 ~ WL n - 1のそれぞれに共通接続される。

【0015】

また、メモリセルアレイ10内でマトリクス状に配置されたNANDストリングSTのうち、同一カラムにある(ブロックBLK間で並ぶ)NANDストリングSTの選択トランジスタS 1の他端は、いずれかのビット線BL (BL 0 ~ BL m - 1、mは2以上の整数)に共通接続される。また、選択トランジスタS 2の他端はソース線SLに共通接続される。ソース線SLは、例えば複数のブロックBLK内で共通である。

【0016】

同一ブロックBLK内にあるメモリセルトランジスタMCのデータは、例えば一括して消去される。これに対して、データの読み出しおよび書き込みは、いずれかのブロックBLKのいずれかのワード線WLに共通に接続された複数のメモリセルトランジスタMCにつき、一括して実行される。このデータ単位を「ページ」と呼ぶ。

【0017】

ブロックBLK 1, BLK 2の構造は、ブロックBLK 0と同様であるため、省略する。

【0018】

図1に示すように、入出力回路11は、半導体記憶装置100の外部(コントローラ300)から信号DQ (DQ 0 ~ DQ 7)を送受信する。信号DQは、コマンド、アドレス、およびデータ等を含む。入出力回路11は、外部からのコマンドおよびアドレスをレジスタ14に転送する。入出力回路11は、外部からの書き込みデータをセンスアンプ18に転送し、センスアンプ18からの読み出しデータを外部に転送する。また、入出力回路11は、外部から電圧Vrefを受信する。電圧Vrefは、基準電圧であり、諸動作における電圧の基準となる。また、入出力回路11は、読み出しデータとともに外部にデータストローブ信号DQS, /DQSを送信する。読み出しデータは、信号DQS, /DQSに同期して読み出される。

【0019】

ロジック制御回路12は、外部から各種制御信号を受信し、入出力回路11およびシーケンサ15を制御する。この制御信号としては、例えばチップイネーブル信号/CE、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信号ALE、ライトイネーブル信号/WE、リードイネーブル信号RE, /RE、およびライトプロテクト信号/WPが使用される。信号/CEは、半導体記憶装置100をイネーブルにする。信号CLE及びALEはそれぞれ、信号DQがコマンドおよびアドレスであることを入出力回路11に通知する。信号/WEは、信号DQの入力を入出力回路11に指示する。信号RE, /REは、信号DQの出力を入出力回路11に指示する。信号/WPは、例えば電源のオンオフ時に半導体記憶装置100を保護状態にする。また、ロジック制御回路12は、書き込みデータとともに信号DQS, /DQSを受信する。書き込みデータは、信号DQS, /DQSに同期して書き込まれる。

【0020】

レディー/ビジー制御回路13は、信号/RBを外部に転送して半導体記憶装置100の状態を外部に通知する。信号/RBは、半導体記憶装置100がレディー状態(外部からの命令を受け付ける状態)であるか、ビジー状態(外部からの命令を受け付けない状態)であるかを示す。

【0021】

レジスタ14は、コマンドおよびアドレスを保持する。レジスタ14は、アドレスをロウデコーダ17およびセンスアンプ18に転送するとともに、コマンドをシーケンサ15に転送する。また、レジスタ14は、コマンドに基づいて実行されるシーケンスを制御するための各種テーブルを保持する。

【0022】

シーケンサ15は、コマンドを受信し、レジスタ14の各種テーブルを参照する。そして、シーケンサ15は、各種テーブルに示される情報に従って、半導体記憶装置100の全体を制御する。

【0023】

電圧生成回路16は、シーケンサ15の制御に従ってデータの書き込み、読み出し、および消去等の動作に必要な電圧を生成する。電圧生成回路16は、生成した電圧をロウデコーダ17およびセンスアンプ18に供給する。電圧生成回路16は、基板バイアス生成回路16Aを備える。基板バイアス生成回路16Aは、MOSトランジスタの基板バイアスを生成する。基板バイアス生成回路16Aの詳細については、図3を用いて後述する。

【0024】

ロウデコーダ17は、レジスタ14からロウアドレスを受信し、ロウアドレスに基づいてメモリセルアレイ10内のワード線WLを選択する。そして、ロウデコーダ17は、選択されたワード線WLに電圧生成回路16からの電圧を供給する。

【0025】

センスアンプ18は、メモリセルアレイ10内のビット線BLを介してメモリセルMCのデータを読み出したり、ビット線BLを介してメモリセルアレイ10内のメモリセルMCにデータを書き込んだりする。センスアンプ18は図示せぬデータラッチを含み、データラッチは書き込みデータおよび読み出しデータを一時的に記憶する。センスアンプ18は、レジスタ14からカラムアドレスを受信し、カラムアドレスに基づいてデータラッチのデータを入出力回路11に出力する。

【0026】

図3は、第1実施形態に係る半導体装置100における基板バイアス生成回路16Aを示す図である。

【0027】

図3に示すように、基板バイアス生成回路16Aは、基準電圧生成回路20A、モニタ電圧生成回路30A、アンプ回路40A、およびクランプ回路50Aを備える。

【0028】

基準電圧生成回路20Aは、NMOSトランジスタN1A、N2Aおよび抵抗21Aを含む。NMOSトランジスタN1Aの一端は、ノードn4Aに電氣的に接続される。NMOSトランジスタN1Aの一端とゲートとは、ダイオード接続される。NMOSトランジスタN1Aの他端には、接地電圧VSS（例えば0V）が供給される。抵抗21Aの一端には電源電圧VDDが供給され、他端はノードn1Aに電氣的に接続される。NMOSトランジスタN2Aの一端はノードn1Aに電氣的に接続され、NMOSトランジスタN2Aの他端には電圧VSSが供給される。NMOSトランジスタN2Aのゲートは、NMOSトランジスタN1Aのゲートに電氣的に接続される。NMOSトランジスタN1A、N2Aによって、カレントミラー回路が構成される。

【0029】

モニタ電圧生成回路30Aは、NMOSトランジスタN3AおよびPMOSトランジスタP1Aを含む。PMOSトランジスタP1Aの一端には、電源電圧VDDが供給される。PMOSトランジスタP1Aの他端とゲートとは、ダイオード接続され、ノードn2Aに電氣的に接続される。PMOSトランジスタP1Aのウェル（またはバックゲートと称す場合もある）は、ノードn3Aに電氣的に接続される。NMOSトランジスタN3Aの一端はノードn2Aに電氣的に接続され、NMOSトランジスタN3Aの他端には接地電圧VSSが供給される。NMOSトランジスタN3Aのゲートは、NMOSトランジスタN1Aのゲートに電氣的に接続される。

【0030】

アンプ回路40Aの第1入力端子はノードn1Aに電氣的に接続され、アンプ回路40Aの第2入力端子はノードn2Aに電氣的に接続される。アンプ回路40Aの出力端子は、クランプ回路50Aの入力端子に電氣的に接続される。クランプ回路50Aの出力端子

はノードn 3 Aに電氣的に接続される。ノードn 3 Aは、モニタ電圧生成回路3 0 AのPMOSTランジスタP 1 Aの基板に電氣的に接続される。また、ノードn 3 Aは、センスアンプ1 8等のPMOSTランジスタP 1 8の基板に電氣的に接続される。アンプ回路4 0 Aとクランプ回路5 0 Aの構成については、後述する。

【0 0 3 1】

図4は、第1実施形態に係る半導体装置1 0 0における定電流生成回路6 0 Aを示す図である。定電流生成回路6 0 Aは、基準電圧生成回路2 0 Aに定電流I R E Fを供給する。

【0 0 3 2】

図4に示すように、定電流生成回路6 0 Aは、アンプ回路6 1 A、NMOSTランジスタN 4 A、PMOSTランジスタP 2 A、P 3 A、および抵抗2 2 Aを含む。

【0 0 3 3】

アンプ回路6 1 Aの第1入力端子には定電圧(バンドギャップリファレンス電圧)V b gが供給され、アンプ回路6 1 Aの第2入力端子はNMOSTランジスタN 4 Aの一端に電氣的に接続される。アンプ回路6 1 Aの出力端子は、NMOSTランジスタN 4 Aのゲートに電氣的に接続される。PMOSTランジスタP 2 Aの一端には、電源電圧V D Dが供給される。PMOSTランジスタP 2 Aの他端とゲートとは、ダイオード接続され、NMOSTランジスタN 4 Aの他端に電氣的に接続される。抵抗2 2 Aの一端はNMOSTランジスタN 4 Aの一端に電氣的に接続され、抵抗2 2 Aの他端には接地電圧V S Sが供給される。PMOSTランジスタP 3 Aの一端には、電源電圧V D Dが供給される。PMOSTランジスタP 3 Aのゲートは、PMOSTランジスタP 2 Aのゲートに電氣的に接続される。PMOSTランジスタP 2 A、P 3 Aによって、カレントミラー回路が構成される。PMOSTランジスタP 3 Aの他端は、ノードn 4 Aに電氣的に接続される。

【0 0 3 4】

図5は、第1実施形態に係る半導体装置1 0 0におけるアンプ回路4 0 Aおよびクランプ回路5 0 Aを示す図である。

【0 0 3 5】

図5に示すように、アンプ回路4 0 Aは、NMOSTランジスタN 4 1 A、N 4 2 A、PMOSTランジスタP 4 1 A、P 4 2 A、および定電流源4 1 Aを含む。

【0 0 3 6】

PMOSTランジスタP 4 1 Aの一端には電圧V P P(>V D D)が供給され、PMOSTランジスタP 4 1 Aの他端はNMOSTランジスタN 4 1 Aの一端に電氣的に接続される。また、PMOSTランジスタP 4 1 Aの他端とゲートとは、ダイオード接続される。NMOSTランジスタN 4 1 Aの他端は定電流源4 1 Aの入力端子に電氣的に接続される。NMOSTランジスタN 4 1 Aのゲートは、アンプ回路4 0 Aの第1入力端子であり、ノードn 1 Aに電氣的に接続される。定電流源4 1 Aの出力端子は、接地電位(接地電圧V S S)に電氣的に接続される。

【0 0 3 7】

PMOSTランジスタP 4 2 Aの一端には電圧V P Pが供給され、PMOSTランジスタP 4 2 Aの他端はノードn 5 Aに電氣的に接続される。PMOSTランジスタP 4 2 Aのゲートは、PMOSTランジスタP 4 1 Aのゲートに電氣的に接続される。PMOSTランジスタP 4 1 A、P 4 2 Aによって、カレントミラー回路が構成される。NMOSTランジスタN 4 2 Aの一端はノードn 5 Aに電氣的に接続され、NMOSTランジスタN 4 2 Aの他端は定電流源4 1 Aの入力端子に電氣的に接続される。NMOSTランジスタN 4 2 Aのゲートは、アンプ回路4 0 Aの第2入力端子であり、ノードn 2 Aに電氣的に接続される。PMOSTランジスタP 4 2 Aの他端とNMOSTランジスタN 4 2 Aの一端との接続端子は、アンプ回路4 0 Aの出力端子である。

【0 0 3 8】

クランプ回路5 0 Aは、PMOSTランジスタP 5 1 AおよびNMOSTランジスタN 5 1 Aを含む。

【0039】

PMOSトランジスタP51Aの一端には電圧VPPが供給され、PMOSトランジスタ51Aの他端はNMOSトランジスタN51Aの一端に電氣的に接続される。PMOSトランジスタP51Aのゲートは、クランプ回路50Aの入力端子であり、アンプ回路40Aの出力端子(PMOSトランジスタP42Aの他端とNMOSトランジスタN42Aの他端との接続端子)に電氣的に接続される。NMOSトランジスタN51Aの他端には電源電圧VDDが供給され、NMOSトランジスタN51Aのゲートには信号REFが供給される。PMOSトランジスタP51Aの他端とNMOSトランジスタN51Aの一端との接続端子は、クランプ回路50Aの出力端子であり、ノードn3Aに電氣的に接続される。

【0040】

[第1実施形態の動作例]

次に、第1実施形態に係る半導体装置100における基板バイアス生成回路16Aの動作例について説明する。

【0041】

まず、図3を用いて、基板バイアス生成回路16Aの動作について説明する。

【0042】

第1実施形態では、基準電圧生成回路20Aは、定電流Iに基づいて基準電圧VREFnw(電圧VDD - IR)を生成する。モニタ電圧生成回路30Aは、レプリカであるPMOSトランジスタP1Aの閾値電圧Vthpをモニタして、モニタ電圧VDD - Vthpを生成する。アンプ回路40Aは、基準電圧VREFnwとモニタ電圧VDD - Vthpとを比較し、その比較結果に基づいて基準電圧VREFnwとモニタ電圧VDD - Vthpとが等しくなるようにウェル電圧Vnwel1'を生成する。このウェル電圧Vnwel1'(またはウェル電圧Vnwel1)によって、PMOSトランジスタP1A、P18の基板バイアスが調整され、これらの閾値電圧が温度によらず一定になる。以下に、より詳細に説明する。

【0043】

図3に示すように、基準電圧生成回路20Aにおけるノードn4Aに、定電流生成回路60Aで生成された定電流IREFが流れる。NMOSトランジスタN1A、N2Aは、カレントミラー回路を構成する。このため、抵抗21AおよびNMOSトランジスタN2Aを含むパスに、定電流IREFに基づく定電流Iが流れる。したがって、ノードn1Aには、電源電圧VDDから電圧I×R(以下IRと称す(Rは抵抗21Aの抵抗値))分降下した電圧VDD - IRが印加される。この電圧VDD - IRが基準電圧VREFnwとなる。

【0044】

一方、NMOSトランジスタN1A、N3Aは、カレントミラー回路を構成する。このため、PMOSトランジスタP1AおよびNMOSトランジスタN3Aを含むパスに、定電流IREFに基づく定電流が流れる。また、PMOSトランジスタP1Aは、ダイオード接続されている。このため、ノードn2Aには、電源電圧VDDからPMOSトランジスタP1Aの閾値電圧Vthp分降下したモニタ電圧VDD - Vthpが印加される。

【0045】

ここで、PMOSトランジスタP1AおよびNMOSトランジスタN3Aを含むパスに大電流が流れると、電圧VDDに対するPMOSトランジスタP1Aによる電圧降下が閾値電圧Vthpよりも大きくなってしまふ。これに対し、NMOSトランジスタN3Aが設けられることで、流れる電流を一定に抑えることができる。その結果、電源電圧VDDに対して閾値電圧Vthp分電圧降下したモニタ電圧が得られる。

【0046】

基準電圧VREFnw(電圧VDD - IR)はアンプ回路40Aの第1入力端子に供給され、モニタ電圧VDD - Vthpはアンプ回路40Aの第2入力端子に供給される。アンプ回路40Aは、電圧VDD - IRとモニタ電圧VDD - Vthpとが等しくなるよう

に、すなわち、閾値電圧 V_{thp} と電圧 I_R とが等しくなるように、PMOSトランジスタP1Aの基板バイアスを調整する。より具体的には、アンプ回路40Aは、電圧 V_{nwel1} を生成し、電圧 V_{nwel1} をクランプ回路50Aを介してPMOSトランジスタP1Aの基板にフィードバックする。このとき、アンプ回路40Aは、電源電圧 V_{DD} に依存することなく、閾値電圧 V_{thp} と電圧 I_R とが等しくなるように基板バイアスを調整する。これにより、電源電圧が揺らいだ場合であっても、アンプ回路40Aは、閾値電圧 V_{thp} を正確に補正するよう、基板バイアスを調整することができる。

【0047】

クランプ回路50Aは、電圧 V_{nwel1} の電圧範囲を調整し、ウェル電圧 V_{nwel1} を生成する。このウェル電圧 V_{nwel1} がPMOSトランジスタP1Aの基板に供給される。電圧範囲は、 $V_{DD} - V_{nwel1} - V_{PP}$ となる。

【0048】

なお、後述するように、PMOSトランジスタP1AがSOI (Silicon On Insulator) MOSFETである場合、クランプ回路50Aは不要である。この場合、アンプ回路50Aで生成された電圧 V_{nwel1} がPMOSトランジスタP1Aの基板に供給される。

【0049】

ここで、基板バイアスとは、ソースとウェル(基板)との間の電圧差を示す。すなわち、第1実施形態において、基板バイアスは、ウェル電圧 V_{nwel1} と電源電圧 V_{DD} との電圧差である。基板バイアス効果では、基板バイアスの絶対値が大きくなることで閾値電圧が大きくなり、基板バイアスの絶対値が小さくなることで閾値電圧が小さくなる。

【0050】

ウェル電圧 V_{nwel1} がPMOSトランジスタP1Aの基板に印加されることで、PMOSトランジスタP1Aの閾値電圧 V_{thp} が電圧 I_R と等しくなる。すなわち、PMOSトランジスタP1Aの閾値電圧 V_{thp} が温度によらず一定となる。このように生成されたウェル電圧 V_{nwel1} が、センスアンプ18等のPMOSトランジスタP18の基板に印加される。これにより、PMOSトランジスタP18の閾値電圧が、温度によらず一定となる。

【0051】

次に、図5を用いて、アンプ回路40Aおよびクランプ回路50Aの動作についてより具体的に説明する。

【0052】

アンプ回路40Aおよびクランプ回路50Aは、モニタ電圧 $V_{DD} - V_{thp}$ と基準電圧 V_{REFnw} とが等しくなるように、閾値電圧 V_{thp} を調整する。

【0053】

より具体的には、図5に示すように、モニタ電圧 $V_{DD} - V_{thp}$ が基準電圧 V_{REFnw} よりも小さい場合、NMOSトランジスタN42Aのオン状態は小さくなる。このため、NMOSトランジスタN42Aを介した接地電圧 V_{SS} への放電よりもPMOSトランジスタP42Aを介した電圧 V_{PP} からの充電の方が大きくなり、ノードn5Aの電圧 V_{nwel1} が大きくなる。すると、PMOSトランジスタP51Aのオン状態は小さくなる。その結果、ノードn3Aのウェル電圧 V_{nwel1} は、PMOSトランジスタP51Aを介した電圧 V_{PP} からの充電よりもNMOSトランジスタN51Aを介した電源電圧 $V_{DD} (< V_{PP})$ への放電の方が大きくなり、ウェル電圧 V_{nwel1} が小さくなるように調整される。すなわち、基板バイアスが小さくなるように調整され、閾値電圧 V_{thp} が小さくなる。したがって、モニタ電圧 $V_{DD} - V_{thp}$ は、基準電圧 V_{REFnw} と等しくなるように大きくなる。

【0054】

一方、モニタ電圧 $V_{DD} - V_{thp}$ が基準電圧 V_{REFnw} よりも大きい場合、上記と反対の動作となる。すなわち、ウェル電圧 V_{nwel1} が大きくなるように(基板バイアスが小さくなるように)調整され、閾値電圧 V_{thp} が大きくなる。したがって、モニタ

電圧 $V_{DD} - V_{thp}$ は、基準電圧 V_{REFnw} と等しくなるように小さくなる。

【0055】

次に、図4を用いて、定電流生成回路60Aの動作について説明する。

【0056】

図4に示すように、アンプ回路61Aは、定電圧 V_{bg} と抵抗22Aの一端の電圧とを比較して、その比較結果をNMOSトランジスタN4Aのゲートに出力する。これにより、PMOSトランジスタP2A、NMOSトランジスタN4A、および抵抗22Aを含むパスに定電流 I_{REF} が流れる。この定電流 I_{REF} は、 V_{bg} / R_1 (R_1 は抵抗22Aの抵抗値) で示される。すなわち、定電流 I_{REF} は、抵抗22Aの抵抗値に依存するものであり、抵抗22Aの温度特性によるばらつきを反映している。PMOSトランジスタP2A、P3Aは、カレントミラー回路を構成している。これにより、ノードn4A (基準電圧生成回路20A) に定電流 I_{REF} が供給される。

【0057】

ここで、図3に示すように、基準電圧生成回路20Aの抵抗21Aには、定電流 I が流れる。定電流 I は、抵抗22Aの温度特性によるばらつきが反映された定電流 I_{REF} に基づく。また、抵抗21Aの温度特性は、抵抗22Aの温度特性と実質的に同一である。したがって、抵抗21Aの抵抗値 R が温度特性によってばらついたとしても、定電流 I はその温度特性を反映したものであるため、電圧 $I R$ は一定に保たれる。

【0058】

[第1実施形態におけるPMOSトランジスタの構成]

次に、第1実施形態に係る半導体装置100におけるPMOSトランジスタP1A (P18) の構成について説明する。

【0059】

図6は、第1実施形態に係る半導体装置100におけるPMOSトランジスタP1Aの第1例を示す断面図である。図7は、第1実施形態に係る半導体装置100におけるPMOSトランジスタP1Aの第2例を示す断面図である。

【0060】

図6に示すように、第1例では、PMOSトランジスタP1Aは、バルクMOSFET構造を有する。より具体的には、PMOSトランジスタP1Aは、N型基板 (N型ウェル) 101A、P型ソース・ドレイン拡散層102A、ゲート絶縁層103A、およびゲート電極104Aを含む。P型ソース・ドレイン拡散層102Aは、N型基板 (N型ウェル) 101Aの表面に設けられる。ゲート絶縁層103Aは、N型基板101A上に設けられ、P型ソース・ドレイン拡散層102Aに挟まれる。ゲート電極104Aは、ゲート絶縁層103A上に設けられる。

【0061】

第1例のように、PMOSトランジスタP1AがバルクMOSFET構造である場合、P型ソース102Aに電源電圧 V_{DD} が印加され、N型ウェル101Aに電源電圧 V_{DD} よりも小さいウェル電圧 V_{nwel1} が印加されると、PN接合が順バイアスとなる。すなわち、P型ソース102AからN型ウェル101Aに大電流が流れてしまう。第1実施形態では、PN接合の順バイアスを防止するためにクランプ回路50Aが設けられる。クランプ回路50Aは、ウェル電圧 V_{nwel1} を V_{DD} 以上 V_{PP} 以下に調整する。これにより、ウェル電圧 V_{nwel1} がソース電圧 (V_{DD}) 以上になり、PN接合における順バイアスを防止することができる。

【0062】

図7に示すように、第2例では、PMOSトランジスタP1Aは、SOIMOSFET構造を有する。すなわち、第1例と異なり、PMOSトランジスタP1Aは、酸化膜105Aを含む。酸化膜105Aは、N型基板101AとP型ソース・ドレイン拡散層102Aとの間に設けられる。また、酸化膜105A上にはN型半導体層106Aが設けられ、酸化膜105Aの表面にP型ソース・ドレイン拡散層102Aが設けられる。

【0063】

第2例のように、PMOSトランジスタP1AがSOIMOSFET構造である場合、N型基板101AとP型ソース・ドレイン拡散層102Aとの間に酸化膜105Aが設けられる。すなわち、P型ソース102AとN型ウェル101Aとが接していない。このため、P型ソース102Aに電源電圧VDDが印加され、N型ウェル101Aに電源電圧VDDよりも小さいウェル電圧 V_{nwel1} が印加されても、PN接合の順バイアスが問題とならない。したがって、第2例における構造では、クランプ回路50Aが設けられなくてもよい。

【0064】

[第1実施形態における効果]

図8は比較例に係る半導体装置におけるPMOSトランジスタのウェル電圧と温度の関係を示す図であり、図9は比較例に係る半導体装置におけるPMOSトランジスタの閾値電圧と温度の関係を示す図である。また、図10は、第1実施形態に係る半導体装置100におけるPMOSトランジスタP1A(P18)のウェル電圧と温度の関係を示す図であり、図11は第1実施形態に係る半導体装置100におけるPMOSトランジスタP1A(P18)の閾値電圧と温度の関係を示す図である。

【0065】

比較例では、図8に示すように、PMOSトランジスタのウェル電圧 V_{nwel1} は、温度によらず一定である。すなわち、PMOSトランジスタの基板バイアスは、調整されない。一方、PMOSトランジスタの閾値電圧 V_{thp} は、温度特性を有する。このため、PMOSトランジスタの基板バイアスが調整されない場合、図9に示すように、温度の変動によってPMOSトランジスタの閾値電圧 V_{thp} はばらつく。より具体的には、温度が高い場合にPMOSトランジスタの閾値電圧 V_{thp} の絶対値は小さくなり、温度が低い場合にPMOSトランジスタの閾値電圧 V_{thp} の絶対値は大きくなる。

【0066】

これに対し、上記第1実施形態によれば、基板バイアス生成回路16Aは、レプリカであるPMOSトランジスタP1Aの閾値電圧 V_{thp} の温度特性によるばらつきをモニタする。そして、基板バイアス16Aは、この閾値電圧 V_{thp} の温度特性によるばらつきを補正するように、PMOSトランジスタP1Aの基板バイアスを調整する。

【0067】

より具体的には、図10に示すように、基板バイアス生成回路16Aは、温度が高い場合にPMOSトランジスタP1Aのウェル電圧 V_{nwel1} を大きくし、温度が小さい場合にPMOSトランジスタのウェル電圧 V_{nwel1} を小さくする。すなわち、温度が高い場合に基板バイアスの絶対値が大きくなり、温度が小さい場合に基板バイアスの絶対値が小さくなる。このように、基板バイアス生成回路16Aは、ウェル電圧 V_{nwel1} を調整することで、図11に示すように、温度によらずPMOSトランジスタP1Aの閾値電圧 V_{thp} を一定にすることができる。そして、基板バイアス生成回路16Aは、調整された基板バイアスをセンスアンプ18等のPMOSトランジスタP18に供給する。これにより、PMOSトランジスタP18の閾値電圧を一定にすることができ、製品の性能および信頼性の向上を図ることができる。

【0068】

また、上記第1実施形態によれば、定電流生成回路60Aは、抵抗22Aを含み、定電流IREFを生成する。定電流IREFは、抵抗22Aの抵抗値に依存し、抵抗22Aの温度特性によるばらつきを反映する。一方、基準電圧生成回路20Aの抵抗21Aには、定電流Iが流れる。定電流Iは、抵抗22Aの温度特性によるばらつきが反映された定電流IREFに基づく。また、抵抗21Aの温度特性は、抵抗22Aの温度特性と実質的に同一である。したがって、抵抗21Aの抵抗値Rが温度特性によってばらついたとしても、定電流Iはその温度特性を反映したものであるため、電圧IRは一定に保たれる。

【0069】

なお、温度は、例えば、チップ内に設けられた温度測定器によって測定され、外気温度に対応する。

【0070】

<第2実施形態>

以下に図12乃至図16を用いて、第2実施形態に係る半導体装置について説明する。上記第1実施形態では、基板バイアス生成回路16Aが、PMOSトランジスタの基板バイアスを調整することでPMOSトランジスタの閾値電圧を一定にした。これに対し、第2実施形態では、基板バイアス生成回路16Bが、NMOSトランジスタの基板バイアスを調整することでNMOSトランジスタの閾値電圧を一定にする。第2実施形態において、上記第1実施形態と同様の点については説明を省略し、主に異なる点について説明する。

【0071】

[第2実施形態の構成例]

まず、第2実施形態に係る半導体装置100の構成例について説明する。

【0072】

図12は、第2実施形態に係る半導体装置100における基板バイアス生成回路16Bを示す図である。

【0073】

図12に示すように、基板バイアス生成回路16Bは、基準電圧生成回路20B、モニタ電圧生成回路30B、アンプ回路40B、およびクランプ回路50Bを備える。

【0074】

基準電圧生成回路20Bは、PMOSトランジスタP1B、P2Bおよび抵抗21Bを含む。PMOSトランジスタP1Bの一端には電源電圧VDDが供給され、PMOSトランジスタP1Bの他端はノードn4Bに電氣的に接続される。PMOSトランジスタP1Bの他端とゲートとは、ダイオード接続される。PMOSトランジスタP2Bの一端には電源電圧VDDが供給され、PMOSトランジスタ2Bの他端はノードn1Bに電氣的に接続される。PMOSトランジスタP2Bのゲートは、PMOSトランジスタP1Bのゲートに電氣的に接続される。PMOSトランジスタP1B、P2Bによって、カレントミラー回路が構成される。抵抗21Bの一端はノードn1Bに電氣的に接続され、抵抗21Bの他端には接地電圧VSSが供給される。

【0075】

モニタ電圧生成回路30Aは、PMOSトランジスタP3BおよびNMOSトランジスタN1Bを含む。PMOSトランジスタP3Bの一端には電源電圧が供給され、他端はノードn2Bに電氣的に接続される。PMOSトランジスタP3Bのゲートは、PMOSトランジスタP1Bのゲートに電氣的に接続される。NMOSトランジスタN1Bの一端とゲートとはダイオード接続され、これらはノードn2Bに電氣的に接続される。NMOSトランジスタN1Bの他端には、接地電圧VSSが供給される。

【0076】

アンプ回路40Bの第1入力端子はノードn1Bに電氣的に接続され、アンプ回路40Bの第2入力端子はノードn2Bに電氣的に接続される。アンプ回路40Bの出力端子は、クランプ回路50Bの入力端子に電氣的に接続される。クランプ回路50Bの出力端子はノードn3Bに電氣的に接続される。ノードn3Bは、モニタ電圧生成回路30BのNMOSトランジスタN1Bの基板に電氣的に接続される。また、ノードn3Bは、センスアンプ18等のNMOSトランジスタN18の基板に電氣的に接続される。

【0077】

図13は、第2実施形態に係る半導体装置100における定電流生成回路60Bを示す図である。定電流生成回路60Bは、基準電圧生成回路20Bに定電流IREFを供給する。

【0078】

図13に示すように、定電流生成回路60Bは、アンプ回路61B、NMOSトランジスタN2B、N3B、N4B、PMOSトランジスタP4B、P5B、および抵抗22Bを含む。

【0079】

アンプ回路61Bの第1入力端子には定電圧 V_{bg} が供給され、アンプ回路61Bの第2入力端子はNMOSトランジスタN2Bの一端に電氣的に接続される。アンプ回路61Bの出力端子は、NMOSトランジスタN2Bのゲートに電氣的に接続される。PMOSトランジスタP4Bの一端には電源電圧 V_{DD} が供給される。PMOSトランジスタP4Bの他端とゲートとは、ダイオード接続され、NMOSトランジスタN2Bの他端に電氣的に接続される。抵抗22Bの一端はNMOSトランジスタN2Bの一端に電氣的に接続され、抵抗22Bの他端には接地電圧 V_{SS} が供給される。

【0080】

PMOSトランジスタP5Bの一端には、電源電圧 V_{DD} が供給される。PMOSトランジスタP5Bのゲートは、PMOSトランジスタP4Bのゲートに電氣的に接続される。PMOSトランジスタP4B、P5Bによって、カレントミラー回路が構成される。PMOSトランジスタP5Bの他端は、NMOSトランジスタN3Bの一端に電氣的に接続される。NMOSトランジスタN3Bの他端には、接地電圧 V_{SS} が供給される。NMOSトランジスタN3Bの一端とゲートとは、ダイオード接続される。

【0081】

NMOSトランジスタN4Bの一端はノードn4Bに電氣的に接続され、NMOSトランジスタN4Bの他端には接地電圧 V_{SS} が供給される。NMOSトランジスタN4Bのゲートは、NMOSトランジスタN3Bのゲートに電氣的に接続される。NMOSトランジスタN3B、N4Bによって、カレントミラー回路が構成される。

【0082】

図14は、第2実施形態に係る半導体装置100におけるアンプ回路40Bおよびクランプ回路50Bを示す図である。

【0083】

図14に示すように、アンプ回路40Bは、NMOSトランジスタN41B、N42B、PMOSトランジスタP41B、P42B、および定電流源41Bを含む。

【0084】

定電流源41Bの入力端子には、電源電圧 V_{DD} が供給される。PMOSトランジスタP41Bの一端は定電流源41Bの出力端子に電氣的に接続され、PMOSトランジスタP41Bの他端はNMOSトランジスタN41Bの一端に電氣的に接続される。PMOSトランジスタP41Bのゲートは、アンプ回路40Bの第1入力端子であり、ノードn1Bに電氣的に接続される。NMOSトランジスタN41Bの一端とゲートとは、ダイオード接続される。NMOSトランジスタN41Bの他端には、電圧 $V_{NN}(<V_{SS})$ が供給される。

【0085】

PMOSトランジスタP42Bの一端は定電流源41Bの出力端子に電氣的に接続され、PMOSトランジスタP42Bの他端はノードn5Bに電氣的に接続される。PMOSトランジスタP42Bのゲートは、アンプ回路40Bの第2入力端子であり、ノードn2Bに電氣的に接続される。NMOSトランジスタN42Bの一端はノードn5Bに電氣的に接続され、NMOSトランジスタN42Bの他端には電圧 V_{NN} が供給される。NMOSトランジスタN42Bのゲートは、NMOSトランジスタN41Bのゲートに電氣的に接続される。NMOSトランジスタN41B、N42Bによって、カレントミラー回路が構成される。PMOSトランジスタP42Bの他端とNMOSトランジスタN42Bの一端との接続端子(ノードn5B)は、アンプ回路40Bの出力端子である。

【0086】

クランプ回路50Bは、PMOSトランジスタP51BおよびNMOSトランジスタN51Bを含む。

【0087】

PMOSトランジスタP51Bの一端には接地電圧 V_{SS} が供給され、PMOSトランジスタP51Bの他端はNMOSトランジスタN51の一端に電氣的に接続される。NM

OSトランジスタN51Bの他端には、電圧 V_{NN} が供給される。NMOSトランジスタN51Bのゲートは、クランプ回路50Bの入力端子であり、アンプ回路40Bの出力端子(PMOSトランジスタP42Bの他端とNMOSトランジスタN42Bの他端との接続端子)に電氣的に接続される。PMOSトランジスタP51Bの他端とNMOSトランジスタN51Bの一端との接続端子は、クランプ回路50Bの出力端子であり、ノードn3Bに電氣的に接続される。

【0088】

[第2実施形態の動作例]

次に、第2実施形態に係る半導体装置100における基板バイアス生成回路16Bの動作例について説明する。

【0089】

まず、図12を用いて、基板バイアス生成回路16Bの動作について説明する。

【0090】

第2実施形態では、基準電圧生成回路20Bは、定電流Iに基づいて基準電圧 V_{REFpw} (電圧 $V_{SS} + IR$)を生成する。モニタ電圧生成回路30Bは、レプリカであるNMOSトランジスタN1Bの閾値電圧 V_{thn} をモニタして、モニタ電圧 $V_{SS} + V_{thn}$ を生成する。アンプ回路40Bは、基準電圧 V_{REFpw} とモニタ電圧 $V_{SS} + V_{thn}$ とを比較し、その比較結果に基づいて基準電圧 V_{REFpw} とモニタ電圧 $V_{SS} + V_{thn}$ とが等しくなるようにウェル電圧 $V_{pwell'}$ を生成する。このウェル電圧 $V_{pwell'}$ (またはウェル電圧 V_{pwell})によって、NMOSトランジスタN1A, N18の基板バイアスが調整され、これらの閾値電圧が温度によらず一定になる。以下に、より詳細に説明する。

【0091】

図12に示すように、基準電圧生成回路20Bにおけるノードn4Bに、定電流生成回路60Bで生成された定電流 I_{REF} が流れる。PMOSトランジスタP1B, P2Bは、カレントミラー回路を構成する。このため、抵抗21BおよびPMOSトランジスタP2Bを含むパスに、定電流 I_{REF} に基づく定電流Iが流れる。したがって、ノードn1Bには、接地電圧 V_{SS} から電圧 IR (Rは抵抗21Bの抵抗値)分上昇した電圧 $V_{SS} + IR$ が印加される。この電圧 $V_{SS} + IR$ が基準電圧 V_{REFpw} となる。

【0092】

一方、PMOSトランジスタP1B, P3Bは、カレントミラー回路を構成する。このため、PMOSトランジスタP3BおよびNMOSトランジスタN1Bを含むパスに、定電流 I_{REF} に基づく定電流が流れる。また、NMOSトランジスタN1Bは、ダイオード接続されている。このため、ノードn2Bには、接地電圧 V_{SS} からNMOSトランジスタN1Bの閾値電圧 V_{thn} 分上昇したモニタ電圧 $V_{SS} + V_{thn}$ が印加される。

【0093】

ここで、PMOSトランジスタP3BおよびNMOSトランジスタN1Bを含むパスに大電流が流れると、電圧 V_{SS} に対するNMOSトランジスタN1Bによる電圧上昇が閾値電圧 V_{thn} よりも大きくなってしまふ。これに対し、PMOSトランジスタP3Bが設けられることで、流れる電流を一定に抑えることができる。その結果、接地電圧 V_{SS} に対して閾値電圧 V_{thn} 分電圧上昇したモニタ電圧が得られる。

【0094】

基準電圧 V_{REFpw} (電圧 $V_{SS} + IR$)はアンプ回路40Bの第1入力端子に供給され、電圧 $V_{SS} + V_{thn}$ はアンプ回路40Bの第2入力端子に供給される。アンプ回路40Bは、電圧 $V_{SS} + IR$ と電圧 $V_{SS} + V_{thn}$ とが等しくなるように、すなわち、閾値電圧 V_{thn} と電圧 IR とが等しくなるように、NMOSトランジスタN1Bの基板バイアスを調整する。より具体的には、アンプ回路40Bは、電圧 $V_{pwell'}$ を生成し、電圧 $V_{pwell'}$ をクランプ回路50Bを介してNMOSトランジスタN1Bの基板にフィードバックする。

【0095】

クランプ回路50Bは、電圧 V_{pwell} の電圧範囲を調整し、ウェル電圧 V_{pwell} を生成する。このウェル電圧 V_{pwell} がNMOSトランジスタN1Bの基板に供給される。電圧範囲は、 $V_{NN} - V_{pwell} - V_{SS}$ となる。

【0096】

なお、後述するように、NMOSトランジスタN1BがSOIMOSFETである場合、クランプ回路50Bは不要である。この場合、アンプ回路50Bで生成された電圧 V_{pwell} がNMOSトランジスタN1Bの基板に供給される。

【0097】

第2実施形態において、基板バイアスは、ウェル電圧 V_{pwell} と接地電圧 V_{SS} との電圧差である。

【0098】

ウェル電圧 V_{pwell} がNMOSトランジスタN1Bの基板に印加されることで、NMOSトランジスタN1Bの閾値電圧 V_{thn} が電圧IRと等しくなる。すなわち、NMOSトランジスタN1Bの閾値電圧 V_{thn} が温度によらず一定となる。このように生成されたウェル電圧 V_{pwell} が、センスアンプ18等のNMOSトランジスタN18の基板に印加される。これにより、NMOSトランジスタN18の閾値電圧が、温度によらず一定となる。

【0099】

次に、図14を用いて、アンプ回路40Bおよびクランプ回路50Bの動作についてより具体的に説明する。

【0100】

アンプ回路40Bおよびクランプ回路50Bは、モニタ電圧 $V_{SS} + V_{thn}$ と基準電圧 V_{REFpw} とが等しくなるように、閾値電圧 V_{thn} を調整する。

【0101】

より具体的には、図14に示すように、モニタ電圧 $V_{SS} + V_{thn}$ が基準電圧 V_{REFpw} よりも小さい場合、PMOSトランジスタP42Bのオン状態は大きくなる。このため、NMOSトランジスタN42Bを介した電圧 V_{NN} への放電よりもPMOSトランジスタP42Bを介した電源電圧 V_{DD} からの充電の方が大きくなり、ノードn5Bの電圧 V_{pwell} が大きくなる。すると、NMOSトランジスタN51Bのオン状態は大きくなる。その結果、ノードn3Bのウェル電圧 V_{pwell} は、PMOSトランジスタP51Bを介した接地電圧 V_{SS} からの充電よりもNMOSトランジスタN51Bを介した電圧 $V_{NN} (< V_{SS})$ への放電の方が大きくなり、ウェル電圧 V_{pwell} が小さくなるように調整される。すなわち、基板バイアスが大きくなるように調整され、閾値電圧 V_{thn} が大きくなる。したがって、モニタ電圧 $V_{SS} + V_{thn}$ は、基準電圧 V_{REFpw} と等しくなるように大きくなる。

【0102】

一方、モニタ電圧 $V_{SS} + V_{thn}$ が基準電圧 V_{REFpw} よりも大きい場合、上記と反対の動作となる。すなわち、ウェル電圧 V_{pwell} が大きくなるように（基板バイアスが小さくなるように）調整され、閾値電圧 V_{thn} が小さくなる。したがって、モニタ電圧 $V_{SS} + V_{thn}$ は、基準電圧 V_{REFpw} と等しくなるように小さくなる。

【0103】

次に、図13を用いて、定電流生成回路60Bの動作について説明する。

【0104】

図13に示すように、アンプ回路61Bは、定電圧 V_{bg} と抵抗22Bの一端の電圧とを比較して、その比較結果をNMOSトランジスタN2Bのゲートに出力する。これにより、PMOSトランジスタP4B、NMOSトランジスタN2B、および抵抗22Bを含むパスに定電流 I_{REF} が流れる。この定電流 I_{REF} は、 V_{bg} / R_1 (R_1 は抵抗22Bの抵抗値)で示される。すなわち、定電流 I_{REF} は、抵抗22Bの抵抗値に依存するものであり、抵抗22Bの温度特性によるばらつきを反映している。PMOSトランジスタP4B、P5Bは、カレントミラー回路を構成している。これにより、PMOSトラ

ンジスタP5BおよびNMOSTランジスタN3Bを含むパスに定電流IREFが流れる。また、NMOSTランジスタN3B, N4Bはカレントミラー回路を構成している。これにより、ノードn4B(基準電圧生成回路20B)に定電流IREFが供給される。

【0105】

[第2実施形態におけるNMOSTランジスタの構成]

次に、第2実施形態に係る半導体装置100におけるNMOSTランジスタN1B(N18)の構成について説明する。

【0106】

図15は、第2実施形態に係る半導体装置100におけるNMOSTランジスタN1Bの第1例を示す断面図である。図16は、第2実施形態に係る半導体装置100におけるNMOSTランジスタN1Bの第2例を示す断面図である。

【0107】

図15に示すように、第1例では、NMOSTランジスタN1Bは、バルクMOSFET構造を有する。より具体的には、NMOSTランジスタN1Bは、P型基板(P型ウェル)101B、N型ソース・ドレイン拡散層102B、ゲート絶縁層103B、およびゲート電極104Bを含む。N型ソース・ドレイン拡散層102Bは、P型基板101Bの表面に設けられる。ゲート絶縁層103Bは、P型基板101B上に設けられ、N型ソース・ドレイン拡散層102Bに挟まれる。ゲート電極104Bは、ゲート絶縁層103B上に設けられる。

【0108】

第1例のように、NMOSTランジスタN1BがバルクMOSFET構造である場合、N型ソース102Bに接地電圧VSSが印加され、P型ウェル101Bに接地電圧VSSよりも大きいウェル電圧Vpwellが印加されると、PN接合が順バイアスとなる。すなわち、P型ウェル101BからN型ソース102Bに大電流が流れてしまう。第2実施形態では、PN接合の順バイアスを防止するためにクランプ回路50Bが設けられる。クランプ回路50Bは、ウェル電圧VpwellをVNN以上VSS以下に調整する。これにより、ウェル電圧Vpwellがソース電圧(VSS)以下になり、PN接合における順バイアスを防止することができる。

【0109】

図16に示すように、第2例では、NMOSTランジスタN1Bは、SOIMOSFET構造を有する。すなわち、第1例と異なり、NMOSTランジスタN1Bは、酸化膜105Bを含む。酸化膜105Bは、P型基板101BとN型ソース・ドレイン拡散層102Bとの間に設けられる。また、酸化膜105B上にはP型半導体層106Bが設けられ、酸化膜105Bの表面にN型ソース・ドレイン拡散層102Bが設けられる。

【0110】

第2例のように、NMOSTランジスタN1BがSOIMOSFET構造である場合、P型基板101BとN型ソース・ドレイン拡散層102Bとの間に酸化膜105Bが設けられる。すなわち、N型ソース102BとP型ウェル101Bとが接していない。このため、N型ソース102Bに接地電圧VSSが印加され、P型ウェルに接地電圧VSSよりも大きい電圧が印加されても、PN接合の順バイアスが問題とならない。したがって、第2例における構造では、クランプ回路50Bが設けられなくてもよい。

【0111】

[第2実施形態における効果]

上記第2実施形態によれば、基板バイアス生成回路16Bは、レプリカであるNMOSTランジスタN1Bの閾値電圧Vthnの温度特性によるばらつきをモニタする。基板バイアス16Bは、この閾値電圧Vthnの温度特性によるばらつきを補正するように、NMOSTランジスタN1Bの基板バイアスを調整する。

【0112】

より具体的には、基板バイアス生成回路16Bは、温度が高い場合にNMOSTランジスタN1Bのウェル電圧Vpwellを小さくし、温度が小さい場合にNMOSTランジ

スタN1Bのウェル電圧 V_{pwel1} を大きくする。すなわち、温度が高い場合に基板バイアスの絶対値が大きくなり、温度が小さい場合に基板バイアスの絶対値が小さくなる。このように、基板バイアス生成回路16Bは、ウェル電圧 V_{pwel1} を調整することで、温度によらずNMOSトランジスタN1Aの閾値電圧 V_{thn} を一定にすることができる。そして、基板バイアス生成回路16Bは、調整された基板バイアスをセンスアンプ18等のNMOSトランジスタN18に供給する。これにより、NMOSトランジスタN18の閾値電圧を一定にすることができ、製品の性能および信頼性の向上を図ることができる。

【0113】

<第3実施形態>

以下に図17を用いて、第3実施形態に係る半導体装置について説明する。第3実施形態は、上記第1実施形態の変形例である。上記第1実施形態では、基板バイアス生成回路16Aは、PMOSトランジスタP1Aのウェル電圧を調整することで、基板バイアスを調整した。これに対し、第3実施形態では、PMOSトランジスタのソース電圧を調整することで、基板バイアスを調整する。第3実施形態において、上記第1実施形態と同様の点については説明を省略し、主に異なる点について説明する。

【0114】

[第3実施形態の構成例]

まず、第3実施形態に係る半導体装置100の構成例について説明する。

【0115】

図17は、第3実施形態に係る半導体装置100における基板バイアス生成回路16Aを示す図である。

【0116】

図17に示すように、基板バイアス生成回路16Aは、基準電圧生成回路20A、モニタ電圧生成回路30A、およびアンプ回路40Aを備える。

【0117】

基準電圧生成回路20Aは、NMOSトランジスタN1A、N2Aおよび抵抗21Aを含む。抵抗21Aの一端はノードn3Aに電氣的に接続され、抵抗21Aの他端はノードn1Aに電氣的に接続される。

【0118】

モニタ電圧生成回路30Aは、NMOSトランジスタN3AおよびPMOSトランジスタP1Aを含む。PMOSトランジスタP1Aの一端(ソース)は、ノードn3Aに電氣的に接続される。PMOSトランジスタP1Aの他端とゲートとは電氣的に接続され、これらはノードn2Aに電氣的に接続される。PMOSトランジスタの基板には、電源電圧VDDが供給される。

【0119】

アンプ回路40Aの第1入力端子はノードn1Aに電氣的に接続され、アンプ回路40Aの第2入力端子はノードn2Aに電氣的に接続される。アンプ回路40Aの出力端子は、ノードn3Aに電氣的に接続される。ノードn3Aは、モニタ電圧生成回路30AのPMOSトランジスタP1Aの一端(ソース)に電氣的に接続される。また、ノードn3Aは、センスアンプ18等のPMOSトランジスタP18のソースに電氣的に接続される。PMOSトランジスタP18の基板には、電源電圧VDDが供給される。

【0120】

[第3実施形態の動作例]

次に、第3実施形態に係る半導体装置100における基板バイアス生成回路16Aの動作例について説明する。

【0121】

図17を用いて、基板バイアス生成回路16Aの動作について説明する。

【0122】

第3実施形態では、基準電圧生成回路20Aは、定電流Iに基づいて基準電圧VREF

V_{psrc} (電圧 $V_{psrc} - IR$) を生成する。モニタ電圧生成回路 30 A は、レプリカである PMOS トランジスタ P1 A の閾値電圧 V_{thp} をモニタして、モニタ電圧 $V_{psrc} - V_{thp}$ を生成する。アンプ回路 40 A は、基準電圧 $V_{REFpsrc}$ とモニタ電圧 $V_{psrc} - V_{thp}$ とを比較し、その比較結果に基づいて基準電圧 $V_{REFpsrc}$ とモニタ電圧 $V_{psrc} - V_{thp}$ とが等しくなるようにソース電圧 V_{psrc} を生成する。このソース電圧 V_{psrc} によって、PMOS トランジスタ P1 A, P18 の基板バイアスが調整され、これらの閾値電圧が温度によらず一定になる。以下に、より詳細に説明する。

【0123】

図 17 に示すように、基準電圧生成回路 20 A における抵抗 21 A および NMOS トランジスタ N2 A を含むパスに、定電流 I_{REF} に基づく定電流 I が流れる。これにより、ノード n1 A には、ノード n3 A のソース電圧 V_{psrc} から電圧 IR (R は抵抗 21 A の抵抗値) 分降下した電圧 $V_{psrc} - IR$ が印加される。この電圧 $V_{psrc} - IR$ が基準電圧 $V_{REFpsrc}$ となる。

【0124】

一方、NMOS トランジスタ N1 A, N3 A は、カレントミラー回路を構成する。このため、PMOS トランジスタ P1 A および NMOS トランジスタ N3 A を含むパスに、定電流 I_{REF} に基づく定電流が流れる。また、PMOS トランジスタ P1 A は、ダイオード接続されている。このため、ノード n2 A には、ノード n3 A のソース電圧 V_{psrc} から PMOS トランジスタ P1 A の閾値電圧 V_{thp} 分降下したモニタ電圧 $V_{psrc} - V_{thp}$ が印加される。

【0125】

基準電圧 $V_{REFpsrc}$ (電圧 $V_{psrc} - IR$) はアンプ回路 40 A の第 1 入力端子に供給され、モニタ電圧 $V_{psrc} - V_{thp}$ はアンプ回路 40 A の第 2 入力端子に供給される。アンプ回路 40 A は、電圧 $V_{psrc} - IR$ とモニタ電圧 $V_{psrc} - V_{thp}$ とが等しくなるように、すなわち、閾値電圧 V_{thp} と電圧 IR とが等しくなるように、PMOS トランジスタ P1 A の基板バイアスを調整する。より具体的には、アンプ回路 40 A は、ソース電圧 V_{psrc} を生成し、ソース電圧 V_{psrc} を PMOS トランジスタ P1 A のソースにフィードバックする。電圧範囲は、 $V_{SS} \sim V_{psrc} \sim V_{DD}$ となる。

【0126】

なお、PMOS トランジスタ P1 A を動作させるためにソース電圧 V_{psrc} は $V_{SS} + V_{thp}$ 以上である必要がある場合がある。このため、アンプ回路 40 A とノード n3 A との間に、ソース電圧 V_{psrc} の電圧範囲を調整するクランプ回路が設けられてもよい。

【0127】

第 3 実施形態において、基板バイアスは、ソース電圧 V_{psrc} と電源電圧 V_{DD} との電圧差である。

【0128】

ソース電圧 V_{psrc} が PMOS トランジスタ P1 A のソースに印加されることで、PMOS トランジスタ P1 A の閾値電圧 V_{thp} が電圧 IR と等しくなる。すなわち、PMOS トランジスタ P1 A の閾値電圧 V_{thp} が温度によらず一定となる。このように生成されたソース電圧 V_{psrc} が、センスアンプ 18 等の PMOS トランジスタ P18 のソースに印加される。これにより、PMOS トランジスタ P18 の閾値電圧が、温度によらず一定となる。

【0129】

[第 3 実施形態における効果]

上記第 3 実施形態によれば、基板バイアス生成回路 16 A は、レプリカである PMOS トランジスタ P1 A の閾値電圧 V_{thp} の温度特性によるばらつきをモニタする。そして、基板バイアス 16 A は、この閾値電圧 V_{thp} のばらつきを補正するように、PMOS

トランジスタP 1 Aのソース電圧 V_{psrc} を調整してPMOSTランジスタP 1 Aの基板バイアスを調整する。これにより、第1実施形態と同様の効果を得ることができる。

【0130】

<第4実施形態>

以下に図18を用いて、第4実施形態に係る半導体装置について説明する。第4実施形態は、上記第2実施形態の変形例である。上記第2実施形態では、基板バイアス生成回路16Bは、NMOSTランジスタN1Bのウェル電圧を調整することで、基板バイアスを調整した。これに対し、第4実施形態では、NMOSTランジスタのソース電圧を調整することで、基板バイアスを調整する。第4実施形態において、上記第2実施形態と同様の点については説明を省略し、主に異なる点について説明する。

【0131】

[第4実施形態の構成例]

まず、第4実施形態に係る半導体装置100の構成例について説明する。

【0132】

図18は、第4実施形態に係る半導体装置100における基板バイアス生成回路16Bを示す図である。

【0133】

図18に示すように、基板バイアス生成回路16Bは、基準電圧生成回路20B、モニタ電圧生成回路30B、およびアンプ回路40Bを備える。

【0134】

基準電圧生成回路20Bは、PMOSTランジスタP1B、P2Bおよび抵抗21Bを含む。抵抗21Bの一端はノードn1Bに電氣的に接続され、抵抗21Bの他端はノードn3Bに電氣的に接続される。

【0135】

モニタ電圧生成回路30Bは、PMOSTランジスタP3BおよびNMOSTランジスタN1Bを含む。NMOSTランジスタN1Bの一端とゲートとは電氣的に接続され、これらはノードn2Bに電氣的に接続される。NMOSTランジスタN1Bの他端は、ノードn3Bに電氣的に接続される。NMOSTランジスタN1Bの基板には、接地電圧 V_{SS} が供給される。

【0136】

アンプ回路40Bの第1入力端子はノードn1Bに電氣的に接続され、アンプ回路40Bの第2入力端子はノードn2Bに電氣的に接続される。アンプ回路40Bの出力端子は、ノードn3Bに電氣的に接続される。ノードn3Bは、モニタ電圧生成回路30BのNMOSTランジスタN1Bの他端(ソース)に電氣的に接続される。また、ノードn3Bは、センスアンプ18等のNMOSTランジスタN18のソースに電氣的に接続される。NMOSTランジスタN18の基板には、接地電圧 V_{SS} が供給される。

【0137】

[第4実施形態の動作例]

次に、第4実施形態に係る半導体装置100における基板バイアス生成回路16Bの動作例について説明する。

【0138】

図18を用いて、基板バイアス生成回路16Bの動作について説明する。

【0139】

第4実施形態では、基準電圧生成回路20Bは、定電流Iに基づいて基準電圧 $V_{REFnsrc}$ (電圧 $V_{nsrc} + IR$)を生成する。モニタ電圧生成回路30Bは、レプリカとなるNMOSTランジスタN1Bの閾値電圧 V_{thn} をモニタして、モニタ電圧 $V_{nsrc} + V_{thn}$ を生成する。アンプ回路40Bは、基準電圧 $V_{REFnsrc}$ とモニタ電圧 $V_{nsrc} + V_{thn}$ とを比較し、その比較結果に基づいて基準電圧 $V_{REFnsrc}$ とモニタ電圧 $V_{nsrc} + V_{thn}$ とが等しくなるようにソース電圧 V_{nsrc} を生成する。このソース電圧 V_{nsrc} によって、NMOSTランジスタN1B、N18の基板バ

イアスが調整され、これらの閾値電圧が温度によらず一定になる。以下に、より詳細に説明する。

【0140】

図18に示すように、基準電圧生成回路20Bにおける抵抗21BおよびPMOSトランジスタP2Bを含むパスに、定電流IREFに基づく定電流Iが流れる。これにより、ノードn1Bには、ノードn3Bのソース電圧Vnsrcから電圧IR(Rは抵抗21Bの抵抗値)分上昇した電圧Vnsrc+IRが印加される。この電圧Vnsrc+IRが基準電圧VREFnsrcとなる。

【0141】

一方、PMOSトランジスタP1B、P3Bは、カレントミラー回路を構成する。このため、NMOSトランジスタN1BおよびPMOSトランジスタP3Bを含むパスに、定電流IREFに基づく定電流が流れる。また、NMOSトランジスタN1Bは、ダイオード接続されている。このため、ノードn2Bには、ノードn3Bのソース電圧VnsrcからNMOSトランジスタN1Bの閾値電圧Vthn分上昇したモニタ電圧Vnsrc+Vthnが印加される。

【0142】

基準電圧VREFnsrc(電圧Vnsrc+IR)はアンプ回路40Bの第1入力端子に供給され、モニタ電圧Vnsrc+Vthnはアンプ回路40Bの第2入力端子に供給される。アンプ回路40Bは、電圧Vnsrc+IRとモニタ電圧Vnsrc+Vthnとが等しくなるように、すなわち、閾値電圧Vthnと電圧IRとが等しくなるように、NMOSトランジスタN1Bの基板バイアスを調整する。より具体的には、アンプ回路40Bは、ソース電圧Vnsrcを生成し、ソース電圧VnsrcをNMOSトランジスタN1Bのソースにフィードバックする。電圧範囲は、VSS Vnsrc VDDとなる。

【0143】

なお、NMOSトランジスタN1Bを動作させるためにソース電圧VnsrcはVDD-Vthn以下である必要がある場合がある。このため、アンプ回路40Aとノードn3Aとの間に、ソース電圧Vnsrcの電圧範囲を調整するクランプ回路が設けられてもよい。

【0144】

第4実施形態において、基板バイアスは、ソース電圧Vnsrcと接地電圧VSSとの電圧差である。

【0145】

ソース電圧VnsrcがNMOSトランジスタN1Bのソースに印加されることで、NMOSトランジスタN1Bの閾値電圧Vthnが電圧IRと等しくなる。すなわち、NMOSトランジスタN1Bの閾値電圧Vthnが温度によらず一定となる。このように生成されたソース電圧Vnsrcが、センスアンプ18等のNMOSトランジスタN18のソースに印加される。これにより、NMOSトランジスタN18の閾値電圧が、温度によらず一定となる。

【0146】

[第4実施形態における効果]

上記第4実施形態によれば、基板バイアス生成回路16Bは、レプリカであるNMOSトランジスタN1Bの閾値電圧Vthnの温度特性によるばらつきをモニタする。そして、基板バイアス16Bは、この閾値電圧Vthnのばらつきを補正するように、NMOSトランジスタN1Bのソース電圧Vnsrcを調整してNMOSトランジスタN1Bの基板バイアスを調整する。これにより、第2実施形態と同様の効果を得ることができる。

【0147】

<第5実施形態>

以下に図19乃至図21を用いて、第5実施形態に係る半導体装置について説明する。上記第1実施形態では、基板バイアス生成回路16Aは、PMOSトランジスタP1Aの

基板バイアスを調整することで、温度によらずPMOSTランジスタP1Aの閾値電圧を一定にした。これに対し、第5実施形態では、基板バイアス生成回路16Aは、PMOSTランジスタP1Aの閾値電圧 V_{thp2} を適宜シフトさせる。この際、基板バイアス生成回路16Aは、温度によらず、閾値電圧 V_{thp2} のシフト量（傾き）を一定にする。第5実施形態において、上記第1実施形態と同様の点については説明を省略し、主に異なる点について説明する。

【0148】

[第5実施形態の構成例]

まず、第5実施形態に係る半導体装置100の構成例について説明する。

【0149】

図19は、第5実施形態に係る半導体装置100における基板バイアス生成回路16Aを示す図である。

【0150】

図19に示すように、基板バイアス生成回路16Aは、基準電圧生成回路20A、モニタ電圧生成回路30A、アンプ回路40A、およびクランプ回路50Aを備える。

【0151】

基準電圧生成回路20Aは、NMOSTランジスタN1A、N2A、PMOSTランジスタP10A、および抵抗23Aを含む。PMOSTランジスタP10Aの一端と基板とは電氣的に接続され、電源電圧VDDが供給される。PMOSTランジスタP10Aの他端とゲートとは電氣的に接続され、抵抗23Aの一端に電氣的に接続される。抵抗23Aの他端は、ノードn1Aに電氣的に接続される。抵抗23Aは、その抵抗値が可変である。抵抗23Aは、例えば可変抵抗素子である。または、抵抗23Aは、例えば複数の抵抗を含み、スイッチによって適宜抵抗が切り替えられる。

【0152】

[第5実施形態の動作例]

次に、第5実施形態に係る半導体装置100における基板バイアス生成回路16Aの動作例について説明する。

【0153】

図19を用いて、基板バイアス生成回路16Aの動作について説明する。

【0154】

第5実施形態では、基準電圧生成回路20Aは、定電流Iに基づいて基準電圧 $V_{REFnw}(VDD - (V_{thp1} + IR))$ を生成する。モニタ電圧生成回路30Aは、レプリカであるPMOSTランジスタP1Aの閾値電圧 V_{thp2} をモニタして、モニタ電圧 $VDD - V_{thp2}$ を生成する。アンプ回路40Aは、基準電圧 V_{REFnw} とモニタ電圧 $VDD - V_{thp2}$ とを比較し、その比較結果に基づいて基準電圧 V_{REFnw} とモニタ電圧 $VDD - V_{thp2}$ とが等しくなるようにウェル電圧 V_{nwel1} を生成する。このウェル電圧 V_{nwel1} （またはウェル電圧 V_{nwel1} ）によって、PMOSTランジスタP1A、P18の基板バイアスが調整される。

【0155】

この際、抵抗23Aの抵抗値を変えることで、閾値電圧 V_{thp2} がシフトされる。すなわち、基準電圧生成回路20Aは、抵抗23Aの抵抗値を変えつつ、PMOSTランジスタP1Aの基板バイアスを調整する。これにより、基準電圧生成回路20Aは、閾値電圧 V_{thp1} を基準として、温度によらず閾値電圧 V_{thp2} のシフト量を一定にする。以下に、基板バイアス生成回路16Aの動作について、より詳細に説明する。

【0156】

図19に示すように、基準電圧生成回路20Aにおけるノードn4Aに、定電流生成回路60Aで生成された定電流 I_{REF} が流れる。NMOSTランジスタN1A、N2Aは、カレントミラー回路を構成する。このため、NMOSTランジスタN2A、抵抗23A、およびPMOSTランジスタP10Aを含むパスに、定電流 I_{REF} に基づく定電流Iが流れる。したがって、ノードn1Aには、電源電圧VDDからPMOSTランジスタP

10 Aの閾値電圧 V_{thp1} および電圧 IR 分降下した電圧 $V_{DD} - (V_{thp1} + IR)$ が印加される。閾値電圧 V_{thp1} は、閾値電圧 V_{thp2} と同じ温度特性を有し、かつ基板バイアスが印加されない場合のPMOSトランジスタP10 Aの閾値電圧である。この電圧 $V_{DD} - (V_{thp1} + IR)$ が基準電圧 V_{REFnw} となる。

【0157】

一方、NMOSトランジスタN1 A, N3 Aは、カレントミラー回路を構成する。このため、PMOSトランジスタP1 AおよびNMOSトランジスタN3 Aを含むパスに、定電流 I_{REF} に基づく定電流が流れる。また、PMOSトランジスタP1 Aは、ダイオード接続されている。このため、ノードn2 Aには、電源電圧 V_{DD} からPMOSトランジスタP1 Aの閾値電圧 V_{thp2} 分降下したモニタ電圧 $V_{DD} - V_{thp2}$ が印加される。

【0158】

基準電圧 V_{REFnw} (電圧 $V_{DD} - (V_{thp1} + IR)$) はアンプ回路40 Aの第1入力端子に供給され、モニタ電圧 $V_{DD} - V_{thp2}$ はアンプ回路40 Aの第2入力端子に供給される。アンプ回路40 Aは、電圧 $V_{DD} - (V_{thp1} + IR)$ と電圧 $V_{DD} - V_{thp2}$ とが等しくなるように、すなわち、閾値電圧 V_{thp2} と電圧 $V_{thp1} + IR$ とが等しくなるように、PMOSトランジスタP1 Aの基板バイアスを調整する。より具体的には、アンプ回路40 Aは、電圧 $V_{nwell'}$ を生成し、電圧 $V_{nwell'}$ をクランプ回路50 Aを介してPMOSトランジスタP1 Aの基板にフィードバックする。

【0159】

クランプ回路50 Aは、電圧 $V_{nwell'}$ の電圧範囲を調整し、ウェル電圧 V_{nwell} を生成する。このウェル電圧 V_{nwell} がPMOSトランジスタP1 Aの基板に供給される。電圧範囲は、 $V_{DD} - V_{nwell} - V_{PP}$ となる。

【0160】

ウェル電圧 V_{nwell} がPMOSトランジスタP1 Aの基板に印加されることで、PMOSトランジスタP1 Aの閾値電圧 V_{thp2} が電圧 $V_{thp1} + IR$ と等しくなる。ここで、閾値電圧 V_{thp2} と閾値電圧 V_{thp1} とは、同じ温度特性を有する。一方、閾値電圧 V_{thp2} は基板バイアスによって調整され、閾値電圧 V_{thp1} は基板バイアスによって調整されない。すなわち、基板バイアスによる閾値電圧 V_{thp2} のシフト量は、電圧 IR の変化量に対応し、温度によらず一定である。したがって、閾値電圧 V_{thp2} は、抵抗23 Aの抵抗値 R を変えることで、閾値電圧 V_{thp1} を基準にシフトされる。

【0161】

[第5実施形態における効果]

図20は比較例に係る半導体装置におけるPMOSトランジスタのウェル電圧と閾値電圧の関係を示す図である。図21は、第5実施形態に係る半導体装置100における IR 設定値とPMOSトランジスタP1 A (P18) の閾値電圧 V_{thp2} の関係を示す図である。

【0162】

比較例では、ウェル電圧 V_{nwell} (基板バイアス) が調整されることで、PMOSトランジスタの閾値電圧 V_{thp} がシフトされる。この際、図20に示すように、低温 (LT) 時と高温 (HT) 時とで、ウェル電圧 V_{nwell} の変化量に対する閾値電圧 V_{thp} のシフト量 (傾き) が異なる。このため、温度が異なる場合、PMOSトランジスタの閾値電圧 V_{thp} を所望の閾値電圧に設定することが困難である。

【0163】

これに対し、第5実施形態では、基板バイアス生成回路16 Aは、ウェル電圧 (基板バイアス) を調整することで、温度特性を有するPMOSトランジスタP1 Aの閾値電圧 V_{thp2} を、同じ温度特性を有するPMOSトランジスタP10 Aの閾値電圧 V_{thp1} を基準にしてシフトさせる。このとき、閾値電圧 V_{thp2} のシフト量は、電圧 IR 、す

なわち、抵抗23Aの抵抗値Rによって決まる。このため、図21に示すように、閾値電圧 V_{thp2} のシフト量(傾き)は、温度によらず一定(電圧IR)である。したがって、基板バイアス生成回路16Aは、温度が異なる場合であっても、PMOSトランジスタP2Aの閾値電圧 V_{thp2} を所望の閾値電圧に容易に設定することができる。

【0164】

<第6実施形態>

以下に図22を用いて、第6実施形態に係る半導体装置について説明する。上記第2実施形態では、基板バイアス生成回路16Bは、NMOSトランジスタN1Aの基板バイアスを調整することで、温度によらずNMOSトランジスタN1Aの閾値電圧を一定にした。これに対し、第6実施形態では、基板バイアス生成回路16Bは、NMOSトランジスタN1Bの閾値電圧 V_{thn2} を適宜シフトさせる。この際、基板バイアス生成回路16Bは、温度によらず、閾値電圧 V_{thn2} のシフト量(傾き)を一定にする。第6実施形態において、上記第2実施形態と同様の点については説明を省略し、主に異なる点について説明する。

【0165】

[第6実施形態の構成例]

まず、第6実施形態に係る半導体装置100の構成例について説明する。

【0166】

図22は、第6実施形態に係る半導体装置100における基板バイアス生成回路16Bを示す図である。

【0167】

図22に示すように、基板バイアス生成回路16Bは、基準電圧生成回路20B、モニタ電圧生成回路30B、アンプ回路40B、およびクランプ回路50Bを備える。

【0168】

基準電圧生成回路20Bは、PMOSトランジスタP1B、P2B、NMOSトランジスタN10B、および抵抗23Bを含む。NMOSトランジスタN10Bの一端と基板とは電氣的に接続され、接地電圧VSSが供給される。NMOSトランジスタN10Bの他端とゲートとは電氣的に接続され、抵抗23Bの一端に電氣的に接続される。抵抗23Bの他端は、ノードn1Bに電氣的に接続される。抵抗23Bは、その抵抗値が可変である。抵抗23Bは、例えば可変抵抗素子である。または、抵抗23Bは、例えば複数の抵抗を含み、スイッチによって適宜抵抗が切り替えられる。

【0169】

[第6実施形態の動作例]

次に、第6実施形態に係る半導体装置100における基板バイアス生成回路16Bの動作例について説明する。

【0170】

図22を用いて、基板バイアス生成回路16Bの動作について説明する。

【0171】

第6実施形態では、基準電圧生成回路20Bは、定電流Iに基づいて基準電圧 $V_{REFpw}(VSS + (V_{thn1} + IR))$ を生成する。モニタ電圧生成回路30Bは、レプリカであるNMOSトランジスタN1Bの閾値電圧 V_{thn2} をモニタして、モニタ電圧 $VSS + V_{thn2}$ を生成する。アンプ回路40Bは、基準電圧 V_{REFpw} とモニタ電圧 $VSS + V_{thn2}$ とを比較し、その比較結果に基づいて基準電圧 V_{REFpw} とモニタ電圧 $VSS + V_{thn2}$ とが等しくなるようにウェル電圧 $V_{pwell'}$ を生成する。このウェル電圧 $V_{pwell'}$ (またはウェル電圧 V_{pwell})によって、NMOSトランジスタN1B、N18の基板バイアスが調整される。

【0172】

この際、抵抗23Bの抵抗値を変えることで、閾値電圧 V_{thn2} がシフトされる。すなわち、基準電圧生成回路20Bは、抵抗23Bの抵抗値を変えつつ、NMOSトランジスタN1Bの基板バイアスを調整する。これにより、基準電圧生成回路20Bは、閾値電

圧 V_{thn1} を基準として、温度によらず閾値電圧 V_{thn2} のシフト量を一定にする。以下に、基板バイアス生成回路16Bの動作について、より詳細に説明する。

【0173】

図22に示すように、基準電圧生成回路20Bにおけるノードn4Bに、定電流生成回路60Bで生成された定電流 I_{REF} が流れる。PMOSトランジスタP1B、P2Bは、カレントミラー回路を構成する。このため、PMOSトランジスタP2B、抵抗23B、およびNMOSトランジスタN10Bを含むパスに、定電流 I_{REF} に基づく定電流 I が流れる。したがって、ノードn1Bには、接地電圧 V_{SS} からNMOSトランジスタN10Bの閾値電圧 V_{thn1} および電圧 IR 分上昇した電圧 $V_{SS} + (V_{thn1} + IR)$ が印加される。閾値電圧 V_{thn1} は、閾値電圧 V_{thn2} と同じ温度特性を有し、かつ基板バイアスが印加されない場合のNMOSトランジスタN10Bの閾値電圧である。この電圧 $V_{SS} + (V_{thn1} + IR)$ が基準電圧 V_{REFpw} となる。

【0174】

一方、PMOSトランジスタP1B、P3Bは、カレントミラー回路を構成する。このため、NMOSトランジスタN1BおよびPMOSトランジスタP3Bを含むパスに、定電流 I_{REF} に基づく定電流が流れる。また、NMOSトランジスタN1Bは、ダイオード接続されている。このため、ノードn2Bには、接地電圧 V_{SS} からNMOSトランジスタN1Bの閾値電圧 V_{thn2} 分上昇したモニタ電圧 $V_{SS} + V_{thn2}$ が印加される。

。【0175】
基準電圧 V_{REFpw} （電圧 $V_{SS} + (V_{thn1} + IR)$ ）はアンプ回路40Bの第1入力端子に供給され、モニタ電圧 $V_{SS} + V_{thn2}$ はアンプ回路40Bの第2入力端子に供給される。アンプ回路40Bは、電圧 $V_{SS} + (V_{thn1} + IR)$ と電圧 $V_{SS} + V_{thn2}$ とが等しくなるように、すなわち、閾値電圧 V_{thn2} と電圧 $V_{thn1} + IR$ とが等しくなるように、NMOSトランジスタN1Bの基板バイアスを調整する。より具体的には、アンプ回路40Bは、電圧 $V_{pwell'}$ を生成し、電圧 $V_{pwell'}$ をクランプ回路50Bを介してNMOSトランジスタN1Bの基板にフィードバックする。

。【0176】
クランプ回路50Bは、電圧 $V_{pwell'}$ の電圧範囲を調整し、ウェル電圧 V_{pwell} を生成する。このウェル電圧 V_{pwell} がNMOSトランジスタN1Bの基板に供給される。電圧範囲は、 $V_{NN} - V_{pwell} - V_{SS}$ となる。

【0177】

ウェル電圧 V_{pwell} がNMOSトランジスタN1Bの基板に印加されることで、NMOSトランジスタN1Bの閾値電圧 V_{thn2} が電圧 $V_{thn1} + IR$ と等しくなる。ここで、閾値電圧 V_{thn2} と閾値電圧 V_{thn1} とは、同じ温度特性を有する。一方、閾値電圧 V_{thn2} は基板バイアスによって調整され、閾値電圧 V_{thn1} は基板バイアスによって調整されない。すなわち、基板バイアスによる閾値電圧 V_{thn2} のシフト量は、電圧 IR の変化量に対応し、温度によらず一定である。したがって、閾値電圧 V_{thn2} は、抵抗23Bの抵抗値 R を変えることで、閾値電圧 V_{thn1} を基準にシフトされる。

【0178】

[第6実施形態における効果]

上記第6実施形態によれば、基板バイアス生成回路16Bは、ウェル電圧（基板バイアス）を調整することで、温度特性を有するNMOSトランジスタN1Bの閾値電圧 V_{thn2} を、同じ温度特性を有するNMOSトランジスタN10Bの閾値電圧 V_{thn1} を基準にしてシフトさせる。このとき、閾値電圧 V_{thn2} のシフト量は、電圧 IR 、すなわち、抵抗23Bの抵抗値 R によって決まる。このため、閾値電圧 V_{thn2} のシフト量（傾き）は、温度によらず一定（電圧 IR ）である。したがって、基板バイアス生成回路16Bは、温度が異なる場合であっても、NMOSトランジスタN2Bの閾値電圧 V_{thn}

2を所望の閾値電圧に容易に設定することができる。

【0179】

<第7実施形態>

以下に図23を用いて、第7実施形態に係る半導体装置について説明する。第7実施形態は、上記第5実施形態の変形例である。上記第5実施形態では、基板バイアス生成回路16Aは、PMOSTランジスタP1Aのウェル電圧を調整することで、基板バイアスを調整した。これに対し、第7実施形態では、PMOSTランジスタP1Aのソース電圧を調整することで、基板バイアスを調整する。第7実施形態において、上記第5実施形態と同様の点については説明を省略し、主に異なる点について説明する。

【0180】

[第7実施形態の構成例]

まず、第7実施形態に係る半導体装置100の構成例について説明する。

【0181】

図23は、第7実施形態に係る半導体装置100における基板バイアス生成回路16Aを示す図である。

【0182】

図23に示すように、基板バイアス生成回路16Aは、基準電圧生成回路20A、モニタ電圧生成回路30A、およびアンプ回路40Aを備える。

【0183】

基準電圧生成回路20Aは、NMOSTランジスタN1A、N2A、PMOSTランジスタP10A、および抵抗23Aを含む。PMOSTランジスタP10Aの一端と基板とは電氣的に接続され、ノードn3Aに電氣的に接続される。PMOSTランジスタP10Aの他端とゲートとはダイオード接続され、これらは抵抗23Aの一端に電氣的に接続される。抵抗23Aの他端は、ノードn1Aに電氣的に接続される。

【0184】

モニタ電圧生成回路30Aは、NMOSTランジスタN3AおよびPMOSTランジスタP1Aを含む。PMOSTランジスタP1Aの一端(ソース)は、ノードn3Aに電氣的に接続される。PMOSTランジスタP1Aの他端とゲートとはダイオード接続され、これらはノードn2Aに電氣的に接続される。PMOSTランジスタの基板には、電源電圧VDDが供給される。

【0185】

アンプ回路40Aの第1入力端子はノードn1Aに電氣的に接続され、アンプ回路40Aの第2入力端子はノードn2Aに電氣的に接続される。アンプ回路40Aの出力端子は、ノードn3Aに電氣的に接続される。ノードn3Aは、モニタ電圧生成回路30AのPMOSTランジスタP1Aの一端(ソース)に電氣的に接続される。また、ノードn3Aは、センスアンプ18等のPMOSTランジスタP18のソースに電氣的に接続される。PMOSTランジスタP18の基板には、電源電圧VDDが供給される。

【0186】

[第7実施形態の動作例]

次に、第7実施形態に係る半導体装置100における基板バイアス生成回路16Aの動作例について説明する。

【0187】

図23を用いて、基板バイアス生成回路16Aの動作について説明する。

【0188】

第7実施形態では、基準電圧生成回路20Aは、定電流Iに基づいて基準電圧 $V_{REFpsrc} (V_{psrc} - (V_{thp1} + IR))$ を生成する。モニタ電圧生成回路30Aは、レプリカとなるPMOSTランジスタP1Aの閾値電圧 V_{thp2} をモニタして、モニタ電圧 $V_{psrc} - V_{thp2}$ を生成する。アンプ回路40Aは、基準電圧 $V_{REFpsrc}$ とモニタ電圧 $V_{psrc} - V_{thp2}$ とを比較し、その比較結果に基づいて基準電圧 $V_{REFpsrc}$ とモニタ電圧 $V_{psrc} - V_{thp2}$ とが等しくなるようにソース電

圧 V_{psrc} を生成する。このソース電圧 V_{psrc} によって、PMOSトランジスタ $P1A$ 、 $P18$ の基板バイアスが調整される。以下に、基板バイアス生成回路 $16A$ の動作について、より詳細に説明する。

【0189】

図23に示すように、基準電圧生成回路 $20A$ におけるNMOSトランジスタ $N2A$ 、抵抗 $23A$ 、およびPMOSトランジスタ $P10A$ を含むパスに、定電流 I_{REF} に基づく定電流 I が流れる。これにより、ノード $n1A$ には、ノード $n3A$ のソース電圧 V_{psrc} から閾値電圧 V_{thp1} および電圧 IR 分降下した電圧 $V_{psrc} - (V_{thp1} + IR)$ が印加される。この電圧 $V_{psrc} - (V_{thp1} + IR)$ が基準電圧 $V_{REFpsrc}$ となる。

【0190】

一方、NMOSトランジスタ $N1A$ 、 $N3A$ は、カレントミラー回路を構成する。このため、PMOSトランジスタ $P1A$ およびNMOSトランジスタ $N3A$ を含むパスに、定電流 I_{REF} に基づく定電流が流れる。また、PMOSトランジスタ $P1A$ は、ダイオード接続されている。このため、ノード $n2A$ には、ノード $n3A$ のソース電圧 V_{psrc} からPMOSトランジスタ $P1A$ の閾値電圧 V_{thp2} 分降下したモニタ電圧 $V_{psrc} - V_{thp2}$ が印加される。

【0191】

基準電圧 $V_{REFpsrc}$ （電圧 $V_{psrc} - (V_{thp1} + IR)$ ）はアンプ回路 $40A$ の第1入力端子に供給され、モニタ電圧 $V_{psrc} - V_{thp2}$ はアンプ回路 $40A$ の第2入力端子に供給される。アンプ回路 $40A$ は、電圧 $V_{psrc} - (V_{thp1} + IR)$ とモニタ電圧 $V_{psrc} - V_{thp2}$ とが等しくなるように、すなわち、閾値電圧 V_{thp2} と電圧 $(V_{thp1} + IR)$ とが等しくなるように、PMOSトランジスタ $P1A$ の基板バイアスを調整する。より具体的には、アンプ回路 $40A$ は、ソース電圧 V_{psrc} を生成し、ソース電圧 V_{psrc} をPMOSトランジスタ $P1A$ のソースにフィードバックする。電圧範囲は、 $V_{SS} \sim V_{psrc} \sim V_{DD}$ となる。

【0192】

なお、PMOSトランジスタ $P1A$ を動作させるためにソース電圧 V_{psrc} は $V_{SS} + V_{thp}$ 以上である必要がある場合がある。このため、アンプ回路 $40A$ とノード $n3A$ との間に、ソース電圧 V_{psrc} の電圧範囲を調整するクランプ回路が設けられてもよい。

【0193】

ソース電圧 V_{psrc} がPMOSトランジスタ $P1A$ のソースに印加されることで、PMOSトランジスタ $P1A$ の閾値電圧 V_{thp2} が電圧 $V_{thp1} + IR$ と等しくなる。

【0194】

[第7実施形態における効果]

上記第7実施形態によれば、基板バイアス生成回路 $16A$ は、ソース電圧（基板バイアス）を調整することで、温度特性を有するPMOSトランジスタ $P1A$ の閾値電圧 V_{thp2} を、同じ温度特性を有するPMOSトランジスタ $P10A$ の閾値電圧 V_{thp1} を基準にしてシフトさせる。このとき、閾値電圧 V_{thp2} のシフト量は、電圧 IR 、すなわち、抵抗 $23A$ の抵抗値 R によって決まる。これにより、第5実施形態と同様の効果を得ることができる。

【0195】

<第8実施形態>

以下に図24を用いて、第8実施形態に係る半導体装置について説明する。第8実施形態は、上記第6実施形態の変形例である。上記第6実施形態では、基板バイアス生成回路 $16B$ は、NMOSトランジスタ $N1B$ のウェル電圧を調整することで、基板バイアスを調整した。これに対し、第8実施形態では、NMOSトランジスタ $N1B$ のソース電圧を調整することで、基板バイアスを調整する。第8実施形態において、上記第6実施形態と同様の点については説明を省略し、主に異なる点について説明する。

【0196】

[第8実施形態の構成例]

まず、第8実施形態に係る半導体装置100の構成例について説明する。

【0197】

図24は、第8実施形態に係る半導体装置100における基板バイアス生成回路16Bを示す図である。

【0198】

図24に示すように、基板バイアス生成回路16Bは、基準電圧生成回路20B、モニタ電圧生成回路30B、およびアンプ回路40Bを備える。

【0199】

基準電圧生成回路20Bは、PMOSトランジスタP1B、P2B、NMOSトランジスタN10B、および抵抗23Bを含む。NMOSトランジスタN10Bの一端と基板とは電氣的に接続され、ノードn3Bに電氣的に接続される。NMOSトランジスタN10Bの他端とゲートとはダイオード接続され、これらは抵抗23Bの一端に電氣的に接続される。抵抗23Bの他端は、ノードn1Bに電氣的に接続される。

【0200】

モニタ電圧生成回路30Bは、PMOSトランジスタP3BおよびNMOSトランジスタN1Bを含む。NMOSトランジスタN1Bの一端(ソース)は、ノードn3Bに電氣的に接続される。NMOSトランジスタN1Bの他端とゲートとはダイオード接続され、これらはノードn2Bに電氣的に接続される。NMOSトランジスタN1Bの基板には、接地電圧VSSが供給される。

【0201】

アンプ回路40Bの第1入力端子はノードn1Bに電氣的に接続され、アンプ回路40Bの第2入力端子はノードn2Bに電氣的に接続される。アンプ回路40Bの出力端子は、ノードn3Bに電氣的に接続される。ノードn3Bは、モニタ電圧生成回路30BのNMOSトランジスタN1Bの一端(ソース)に電氣的に接続される。また、ノードn3Bは、センスアンプ18等のNMOSトランジスタN18のソースに電氣的に接続される。NMOSトランジスタN18の基板には、接地電圧VSSが供給される。

【0202】

[第8実施形態の動作例]

次に、第8実施形態に係る半導体装置100における基板バイアス生成回路16Bの動作例について説明する。

【0203】

図24を用いて、基板バイアス生成回路16Bの動作について説明する。

【0204】

第8実施形態では、基準電圧生成回路20Bは、定電流Iに基づいて基準電圧 $V_{REFnsrc}$ (電圧 $V_{nsrc} + (V_{thn1} + IR)$)を生成する。モニタ電圧生成回路30Bは、レプリカとなるNMOSトランジスタN1Bの閾値電圧 V_{thn2} をモニタして、モニタ電圧 $V_{nsrc} + V_{thn2}$ を生成する。アンプ回路40Bは、基準電圧 $V_{REFnsrc}$ とモニタ電圧 $V_{nsrc} + V_{thn2}$ とを比較し、その比較結果に基づいて基準電圧 $V_{REFnsrc}$ とモニタ電圧 $V_{nsrc} + V_{thn2}$ とが等しくなるようにソース電圧 V_{nsrc} を生成する。このソース電圧 V_{nsrc} によって、NMOSトランジスタN1B、N18の基板バイアスが調整される。以下に、基板バイアス生成回路16Bの動作について、より詳細に説明する。

【0205】

図24に示すように、基準電圧生成回路20BにおけるPMOSトランジスタP2B、抵抗23B、およびNMOSトランジスタN10Bを含むパスに、定電流 I_{REF} に基づく定電流Iが流れる。これにより、ノードn1Bには、ノードn3Bのソース電圧 V_{nsrc} から閾値電圧 V_{thn1} および電圧IR分上昇した電圧 $V_{nsrc} + (V_{thn1} + IR)$ が印加される。この電圧 $V_{nsrc} + (V_{thn1} + IR)$ が基準電圧 V_{REFn}

s r cとなる。

【0206】

一方、PMOSTランジスタP1B, P3Bは、カレントミラー回路を構成する。このため、NMOSTランジスタN1BおよびPMOSTランジスタP3Bを含むパスに、定電流IREFに基づく定電流が流れる。また、NMOSTランジスタN1Bは、ダイオード接続されている。このため、ノードn2Bには、ノードn3Bのソース電圧VnsrcからNMOSTランジスタN1Bの閾値電圧Vthn2分上昇したモニタ電圧Vnsrc + Vthn2が印加される。

【0207】

基準電圧VREFnsrc (電圧Vnsrc + (Vthn1 + IR))はアンプ回路40Bの第1入力端子に供給され、モニタ電圧Vnsrc + Vthn2はアンプ回路40Bの第2入力端子に供給される。アンプ回路40Bは、電圧Vnsrc + (Vthn1 + IR)とモニタ電圧Vnsrc + Vthn2とが等しくなるように、すなわち、閾値電圧Vthn2と電圧(Vthn1 + IR)とが等しくなるように、NMOSTランジスタN1Bの基板バイアスを調整する。より具体的には、アンプ回路40Bは、ソース電圧Vnsrcを生成し、ソース電圧VnsrcをNMOSTランジスタN1Bのソースにフィードバックする。電圧範囲は、VSS Vnsrc VDDとなる。

【0208】

なお、NMOSTランジスタN1Bを動作させるためにソース電圧VnsrcはVDD - Vthn以下である必要がある場合がある。このため、アンプ回路40Aとノードn3Aとの間に、ソース電圧Vnsrcの電圧範囲を調整するクランプ回路が設けられてもよい。

【0209】

ソース電圧VnsrcがNMOSTランジスタN1Bのソースに印加されることで、NMOSTランジスタN1Bの閾値電圧Vthn2が電圧Vthn1 + IRと等しくなる。

【0210】

[第8実施形態における効果]

上記第8実施形態によれば、基板バイアス生成回路16Aは、ソース電圧(基板バイアス)を調整することで、温度特性を有するNMOSTランジスタN1Aの閾値電圧Vthn2を、同じ温度特性を有するNMOSTランジスタN10Aの閾値電圧Vthn1を基準にしてシフトさせる。このとき、閾値電圧Vthn2のシフト量は、電圧IR、すなわち、抵抗23Aの抵抗値Rによって決まる。これにより、第6実施形態と同様の効果を得ることができる。

【0211】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を実行することができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0212】

16A, 16B...基板バイアス生成回路、20A, 20B...基準電圧生成回路、30A, 30B...モニタ電圧生成回路、40A, 40B...アンプ回路、50A, 50Bクランプ回路。

【書類名】特許請求の範囲

【請求項 1】

第 1 電流に基づいて第 1 電圧を生成する第 1 回路と、
第 1 端子と第 2 端子と第 1 ゲートとを含む第 1 導電型の第 1 トランジスタを含み、前記第 1 端子と前記第 2 端子との間の電圧差として第 2 電圧を生成する第 2 回路と、
前記第 1 電圧と前記第 2 電圧とを比較し、その比較結果に基づいて前記第 1 トランジスタの基板バイアスを調整する第 3 電圧を生成する第 3 回路と、
を具備する半導体装置。

【請求項 2】

前記第 3 電圧は、前記第 1 トランジスタのウェルに供給される請求項 1 の半導体装置。

【請求項 3】

前記第 3 電圧は、前記第 1 端子に供給される請求項 1 の半導体装置。

【請求項 4】

前記第 2 回路は、
第 3 端子と第 4 端子と第 2 ゲートとを含み、前記第 3 端子が前記第 2 端子および前記第 1 ゲートに接続された前記第 1 導電型と異なる第 2 導電型の第 2 トランジスタをさらに含む
請求項 1 の半導体装置。

【請求項 5】

前記第 1 回路は、
第 5 端子と第 6 端子と第 3 ゲートとを含む前記第 1 導電型と異なる第 2 導電型の第 3 トランジスタと、
第 7 端子と第 8 端子を含み、前記第 7 端子が前記第 5 端子に接続された抵抗と、
を含む請求項 1 の半導体装置。

【請求項 6】

前記第 1 回路は、
第 9 端子と第 10 端子と第 4 ゲートとを含み、前記第 9 端子と前記第 4 ゲートとが前記第 8 端子に接続され、前記第 10 端子とウェルとが接続された前記第 1 導電型の第 4 トランジスタをさらに含む
請求項 5 の半導体装置。

【請求項 7】

前記第 3 回路は、
第 11 端子と第 12 端子と第 5 ゲートとを含み、前記第 11 端子と第 5 ゲートとが接続された前記第 1 導電型の第 5 トランジスタと、
第 13 端子と第 14 端子と第 6 ゲートとを含み、前記第 13 端子が前記第 11 端子に接続された前記第 1 導電型と異なる第 2 導電型の第 6 トランジスタと、
第 15 端子と第 16 端子と第 7 ゲートとを含み、前記第 7 ゲートが前記第 5 ゲートに接続された前記第 1 導電型の第 7 トランジスタと、
第 17 端子と第 18 端子と第 8 ゲートとを含み、前記第 17 端子が前記第 15 端子に接続された第 2 導電型の第 8 トランジスタと、
を含む請求項 1 の半導体装置。

【請求項 8】

前記第 3 電圧に基づいて第 4 電圧を生成する第 5 回路をさらに具備する請求項 1 の半導体装置。

【請求項 9】

前記第 3 回路は、
第 11 端子と第 12 端子と第 5 ゲートとを含み、前記第 11 端子と第 5 ゲートとが接続された前記第 1 導電型の第 5 トランジスタと、
第 13 端子と第 14 端子と第 6 ゲートとを含み、前記第 13 端子が前記第 11 端子に接続された前記第 1 導電型と異なる第 2 導電型の第 6 トランジスタと、

第15端子と第16端子と第7ゲートとを含み、前記第7ゲートが前記第5ゲートに接続された前記第1導電型のと、

第17端子と第18端子と第8ゲートとを含み、前記第17端子が前記第15端子に接続された第2導電型の第8トランジスタと、

を含み、

前記第5回路は、

第19端子と第20端子と第9ゲートを含み、第9ゲートが前記15端子に接続された前記第1導電型の第9トランジスタと、

第21端子と第22端子と第10ゲートとを含み、第21端子が前記第19端子に接続された前記第2導電型の第10トランジスタと、

を含む請求項8の半導体装置。

【請求項10】

第1トランジスタと、

前記第1トランジスタの基板バイアスを調整する第1回路と、

を具備し、

前記第1回路は、第1温度のときに前記基板バイアスの絶対値を第1電圧に設定し、前記第1温度よりも高い第2温度のときに前記基板バイアスの絶対値を前記第1電圧よりも大きい第2電圧に設定する

半導体装置。

【書類名】要約書

【要約】

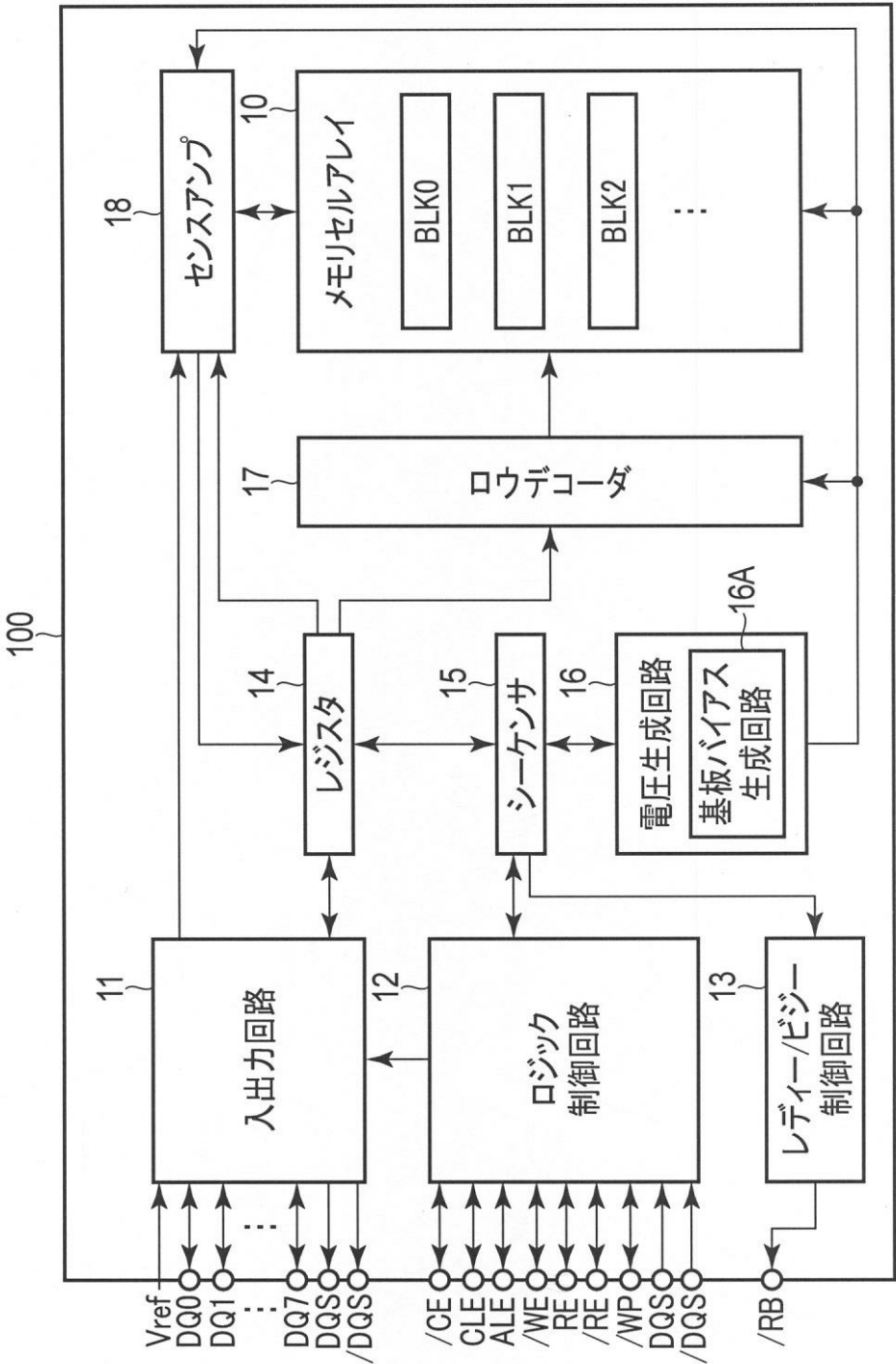
【課題】製品の性能および信頼性の向上を図る。

【解決手段】半導体装置は、第1電流に基づいて第1電圧を生成する第1回路20Aと、第1端子と第2端子と第1ゲートとを含む第1導電型の第1トランジスタP1Aを含み、前記第1第1端子と前記第2端子との間の電圧差として第2電圧を生成する第2回路30Aと、前記第1電圧と前記第2電圧とを比較し、その比較結果に基づいて前記第1トランジスタの基板バイアスを調整する第3電圧を生成する第3回路40Aと、を具備する。

【選択図】 図3

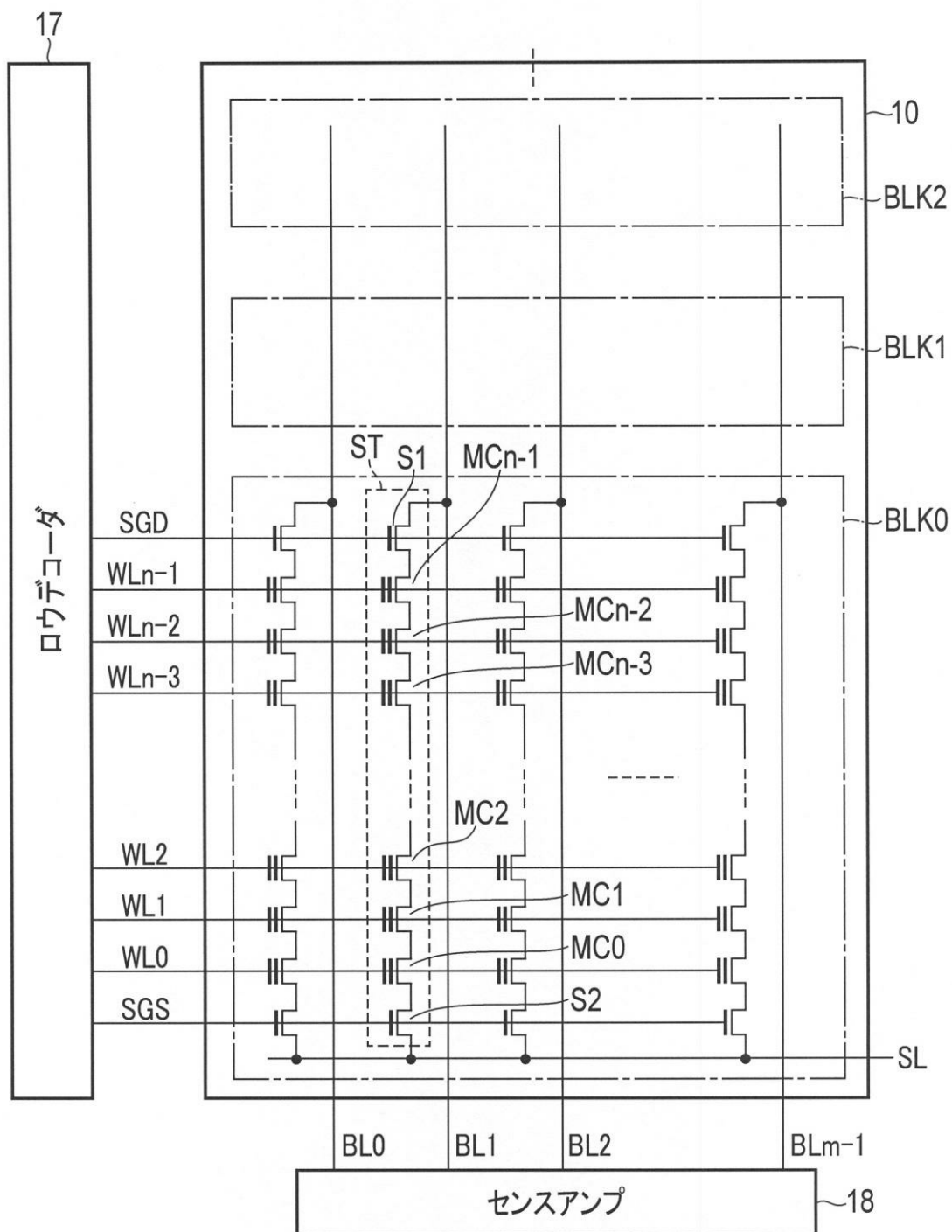
【書類名】図面
【図 1】

図1



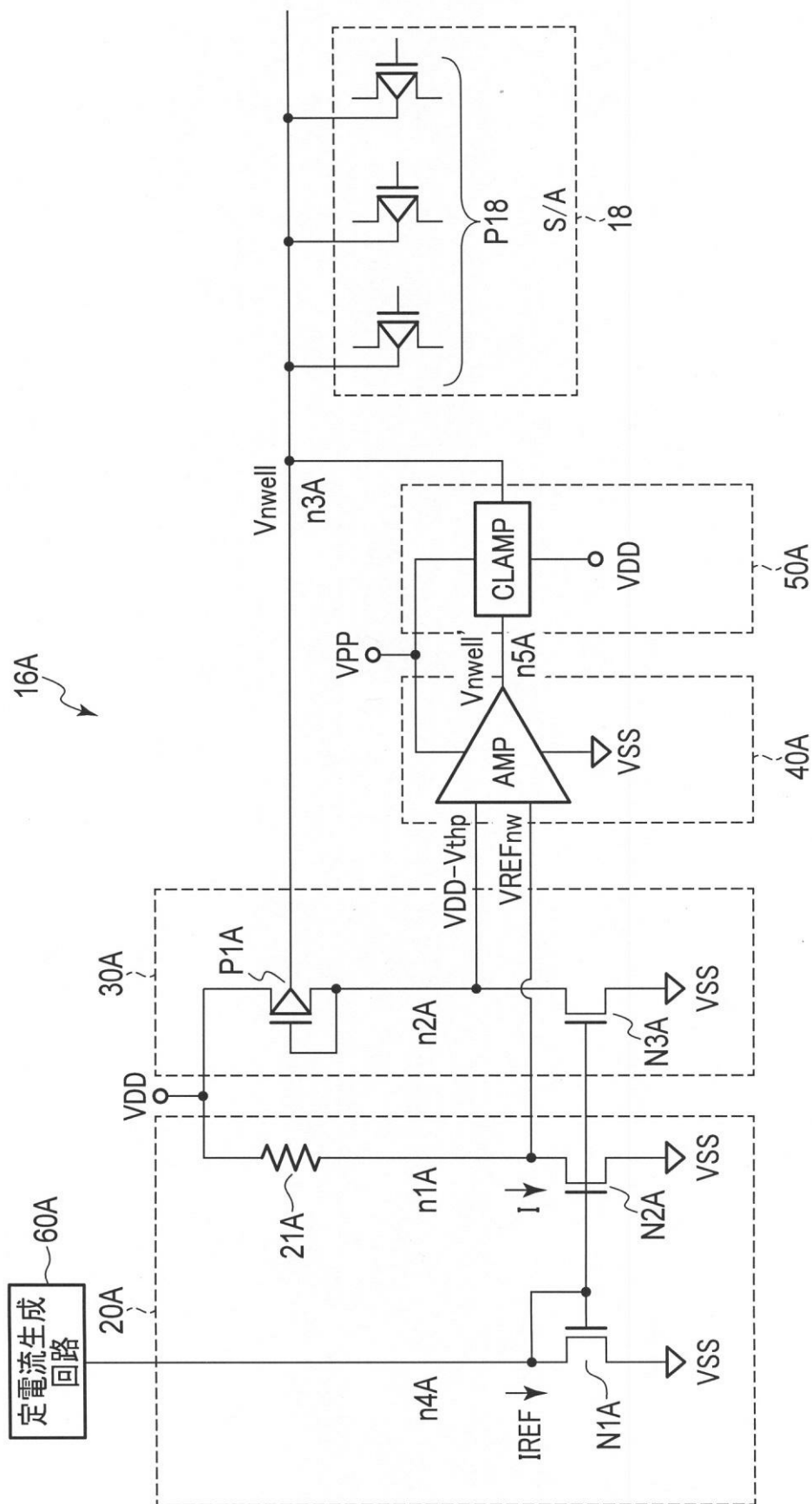
【図2】

図2



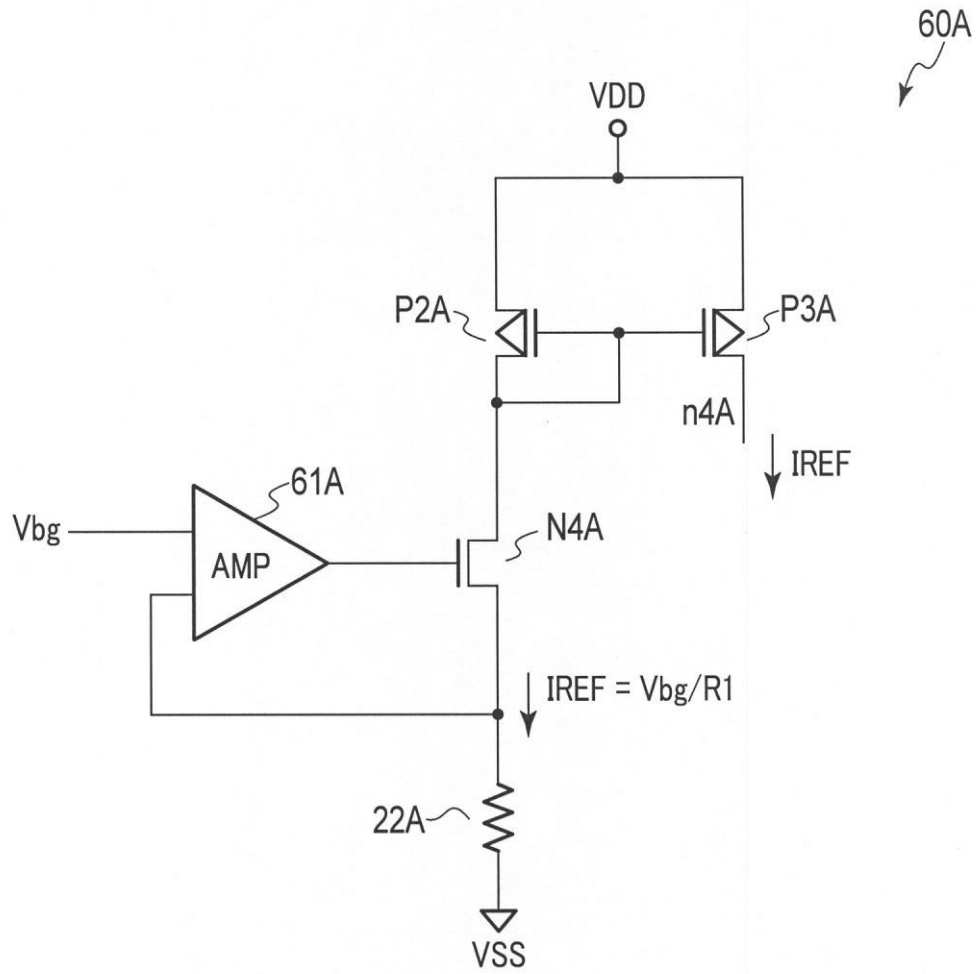
【図3】

図3



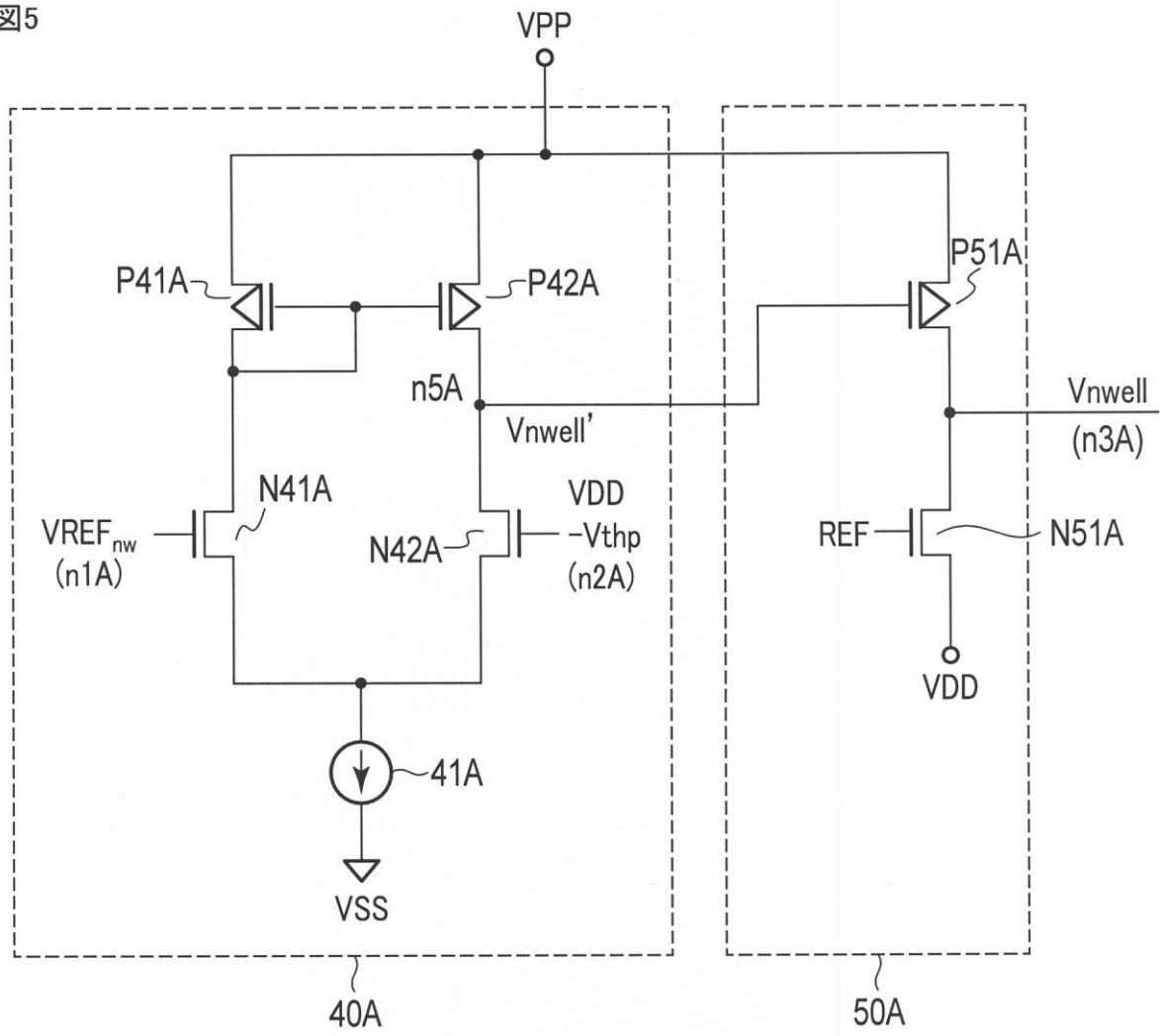
【図4】

図4



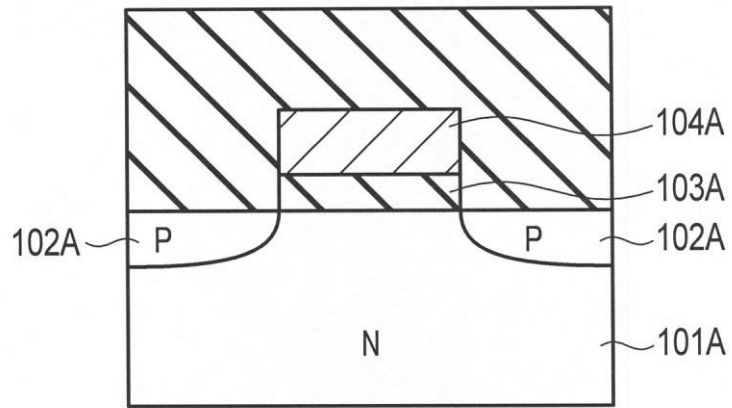
【図5】

図5



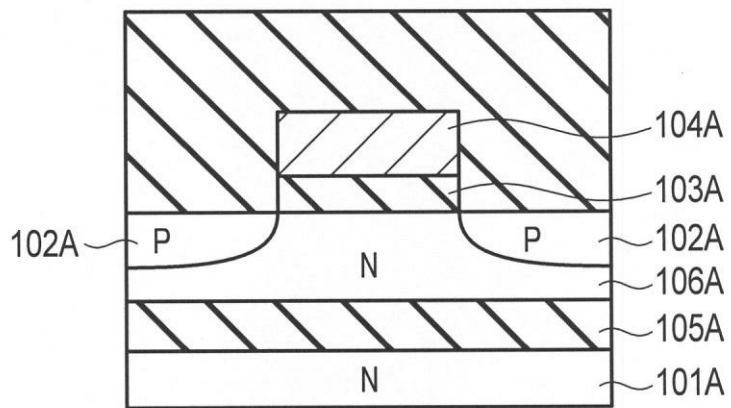
【図6】

図6



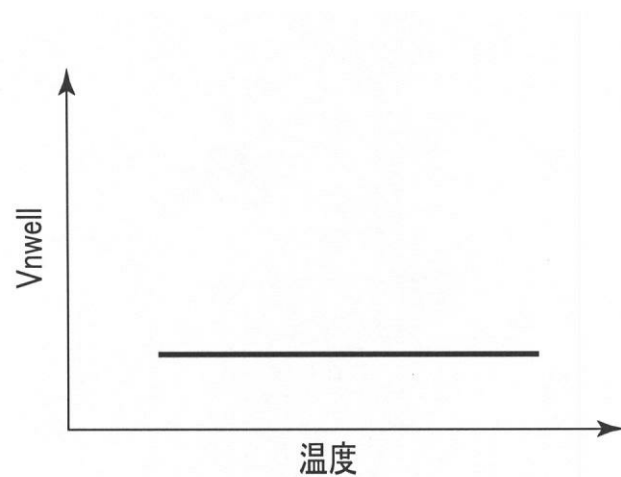
【図7】

図7



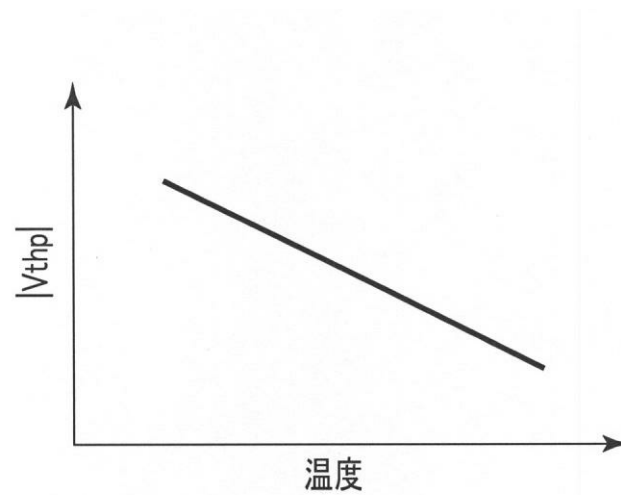
【図 8】

図8



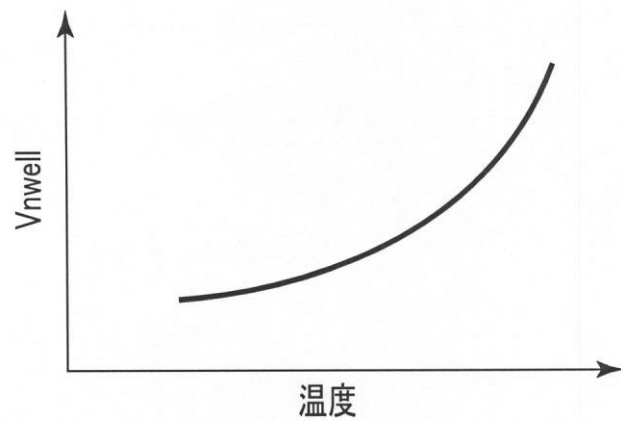
【図 9】

図9



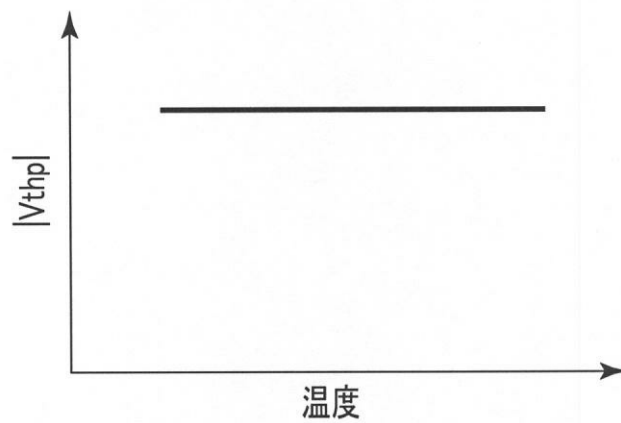
【図 1 0】

図10



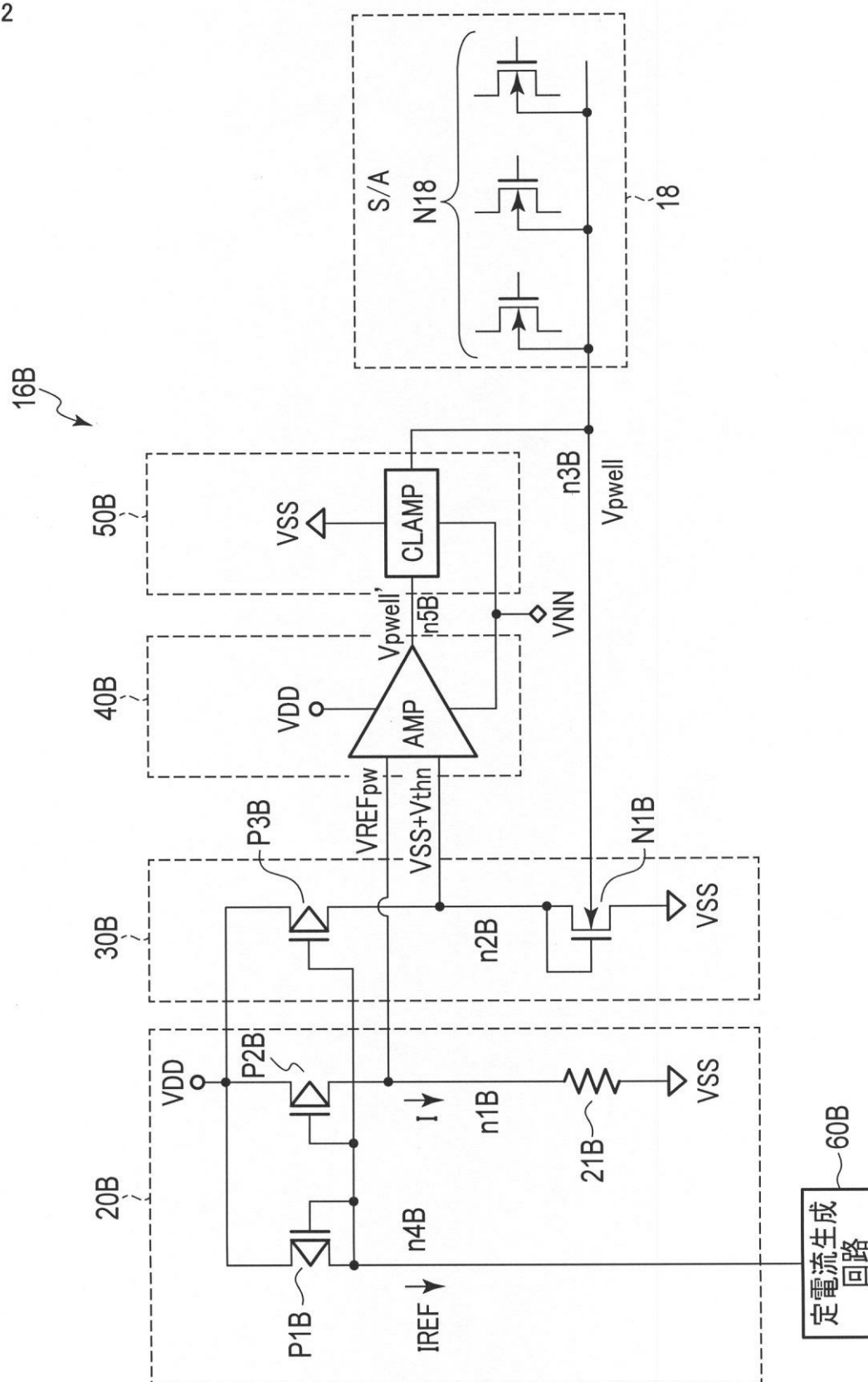
【図 1 1】

図11



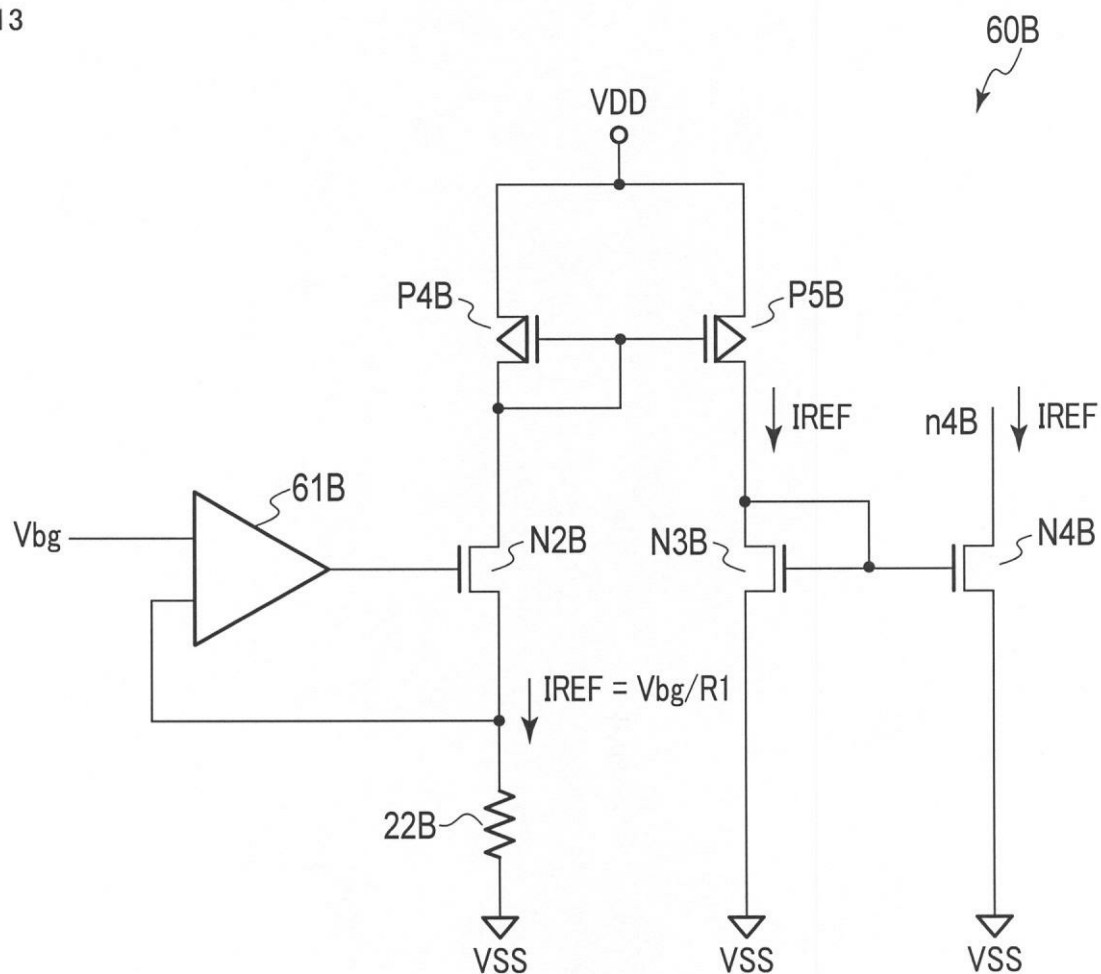
【圖 1 2】

图12

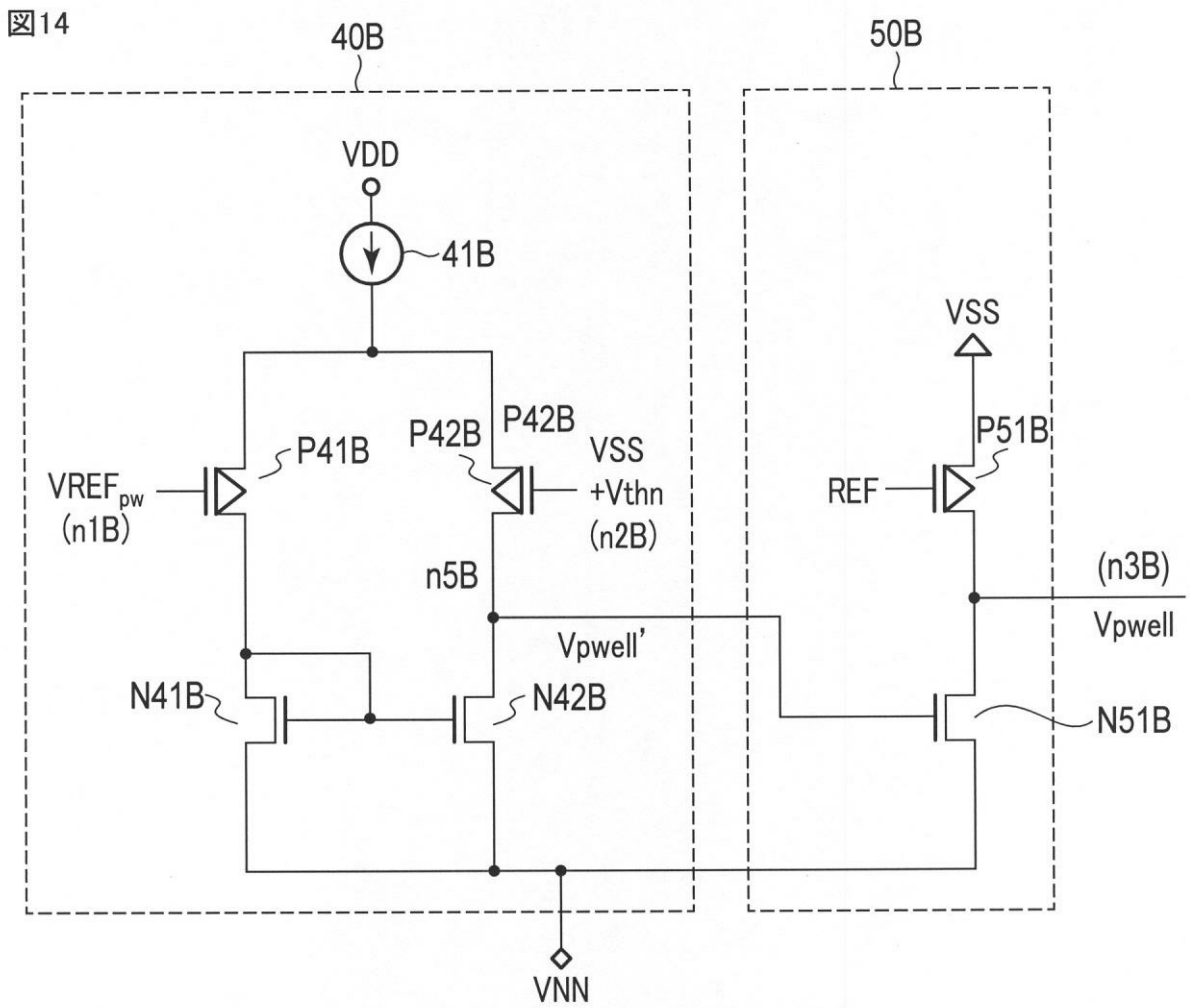


【図13】

図13

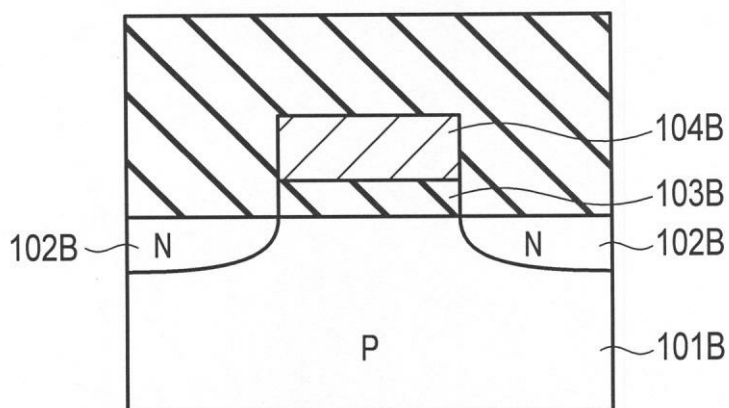


【図14】



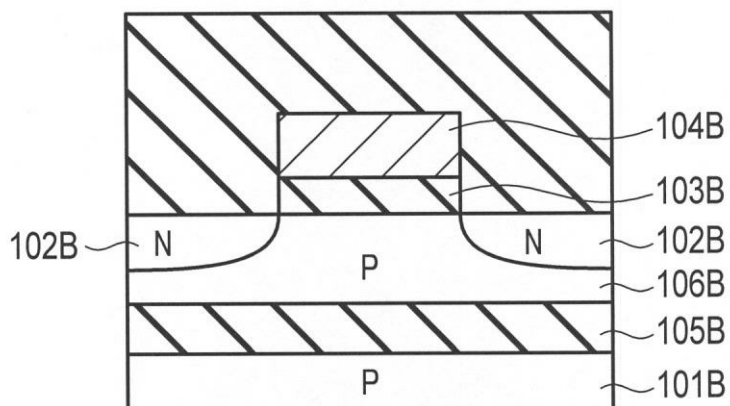
【図15】

図15



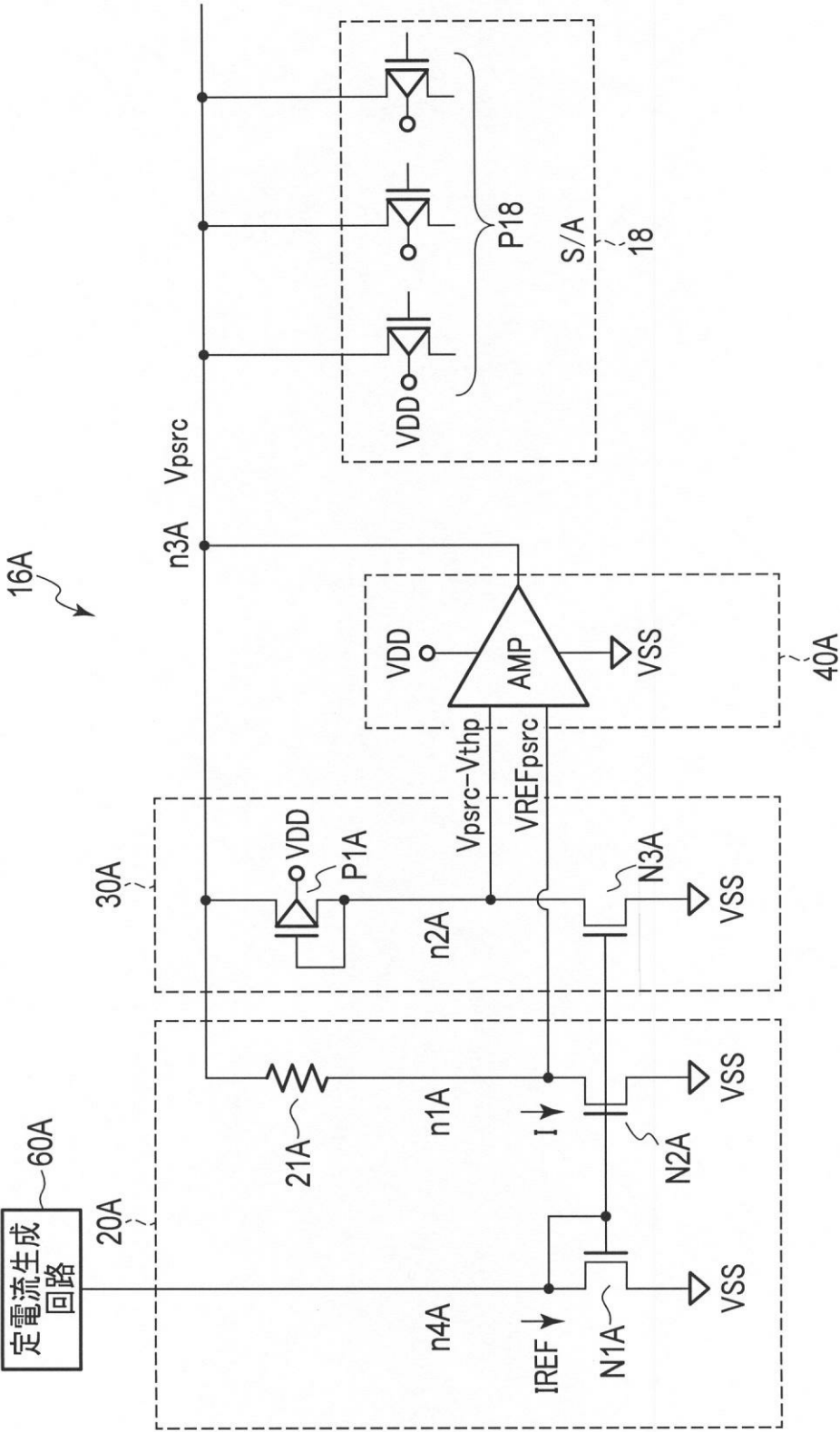
【図16】

図16



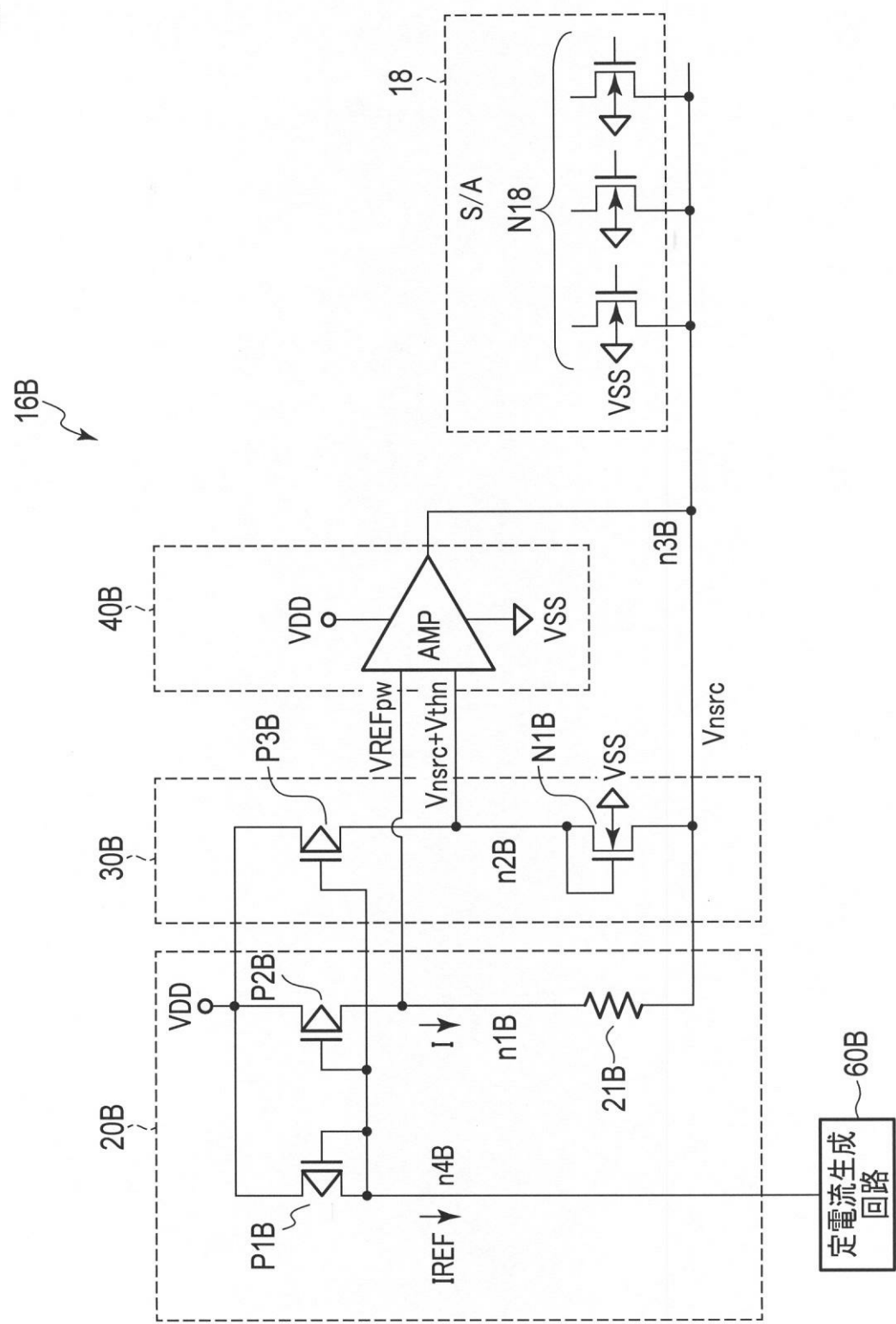
【図 1 7】

図17



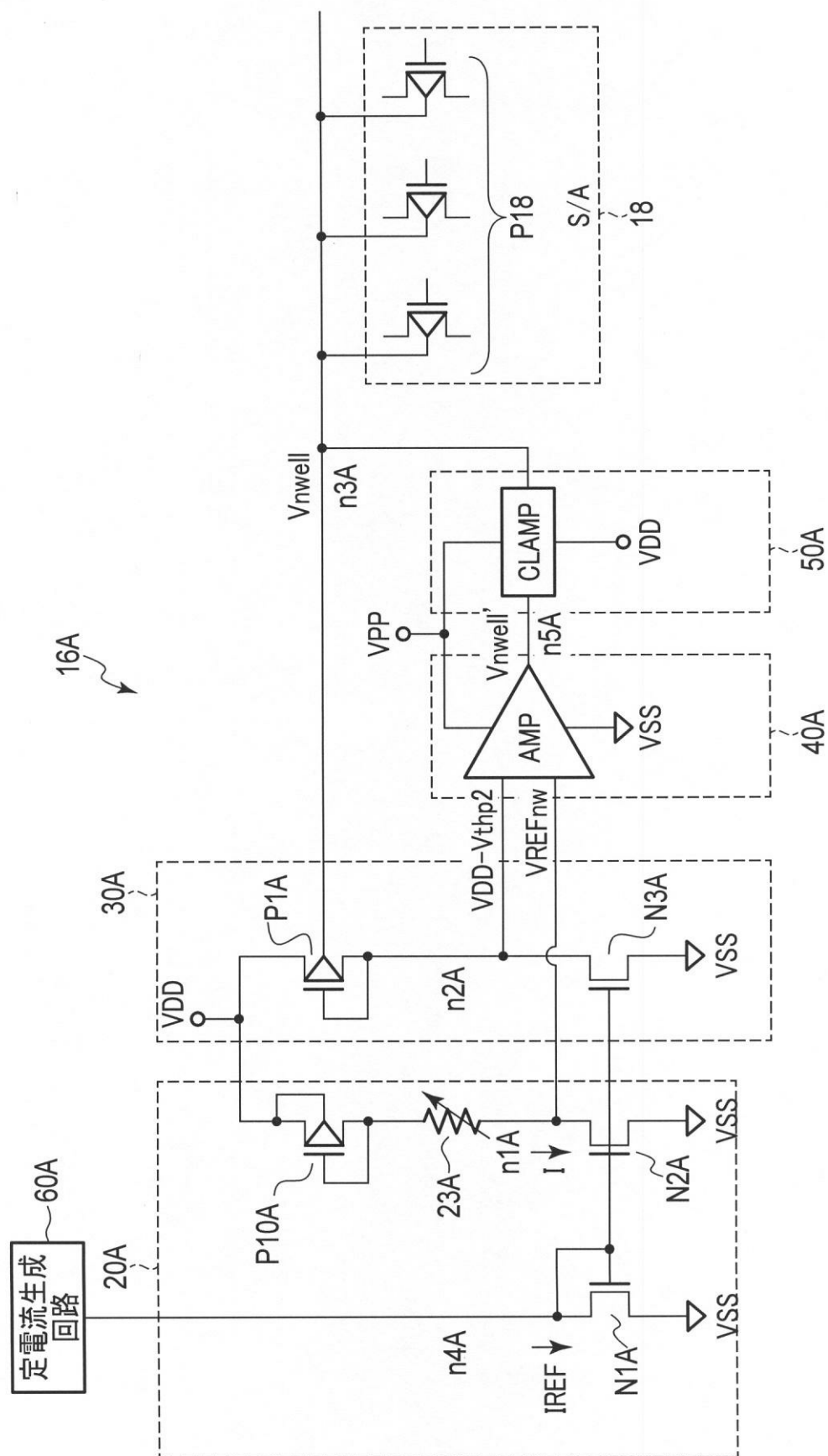
【図 1 8】

図18



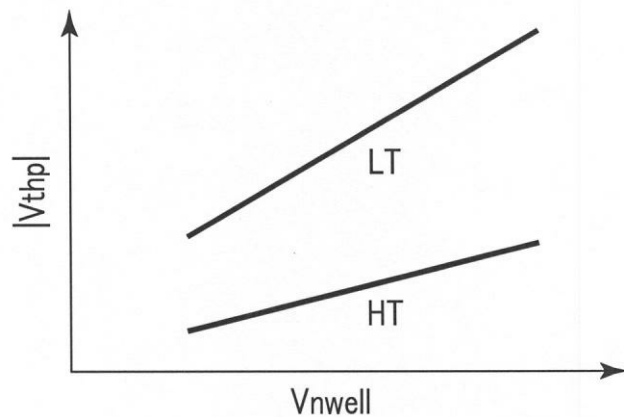
【図19】

図19



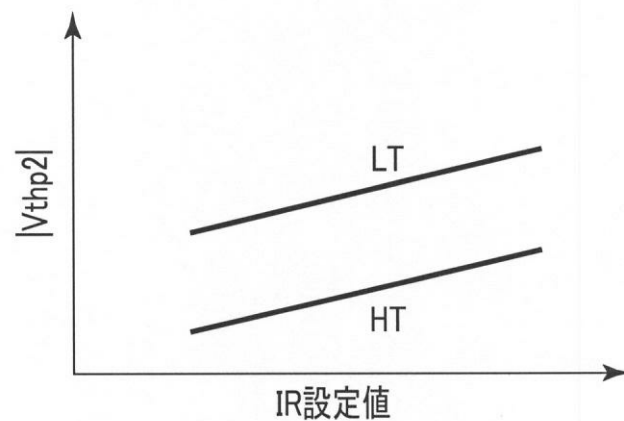
【図 2 0】

図20



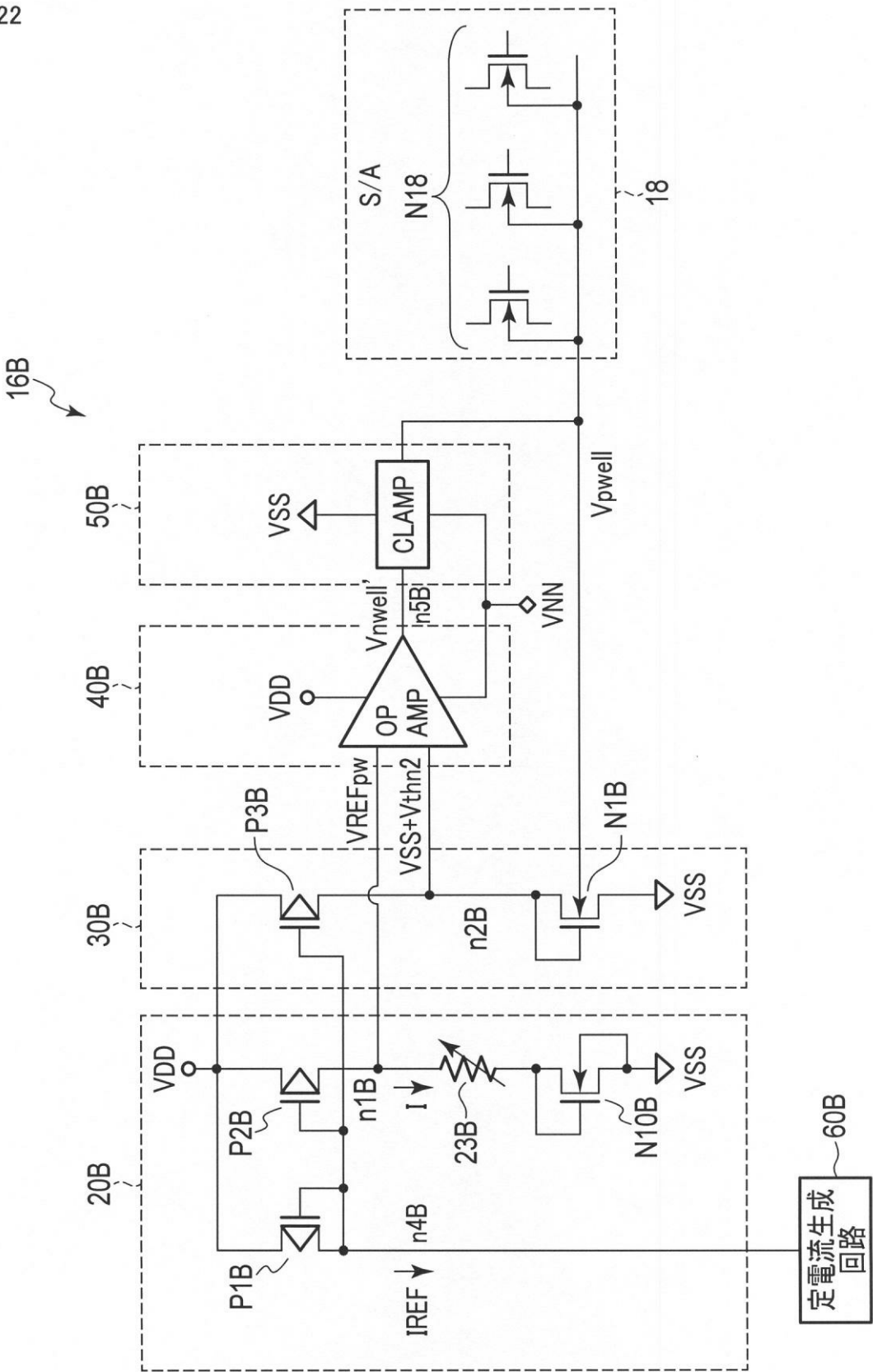
【図 2 1】

図21



【図 2 2】

図22



【図 2 3】

図23

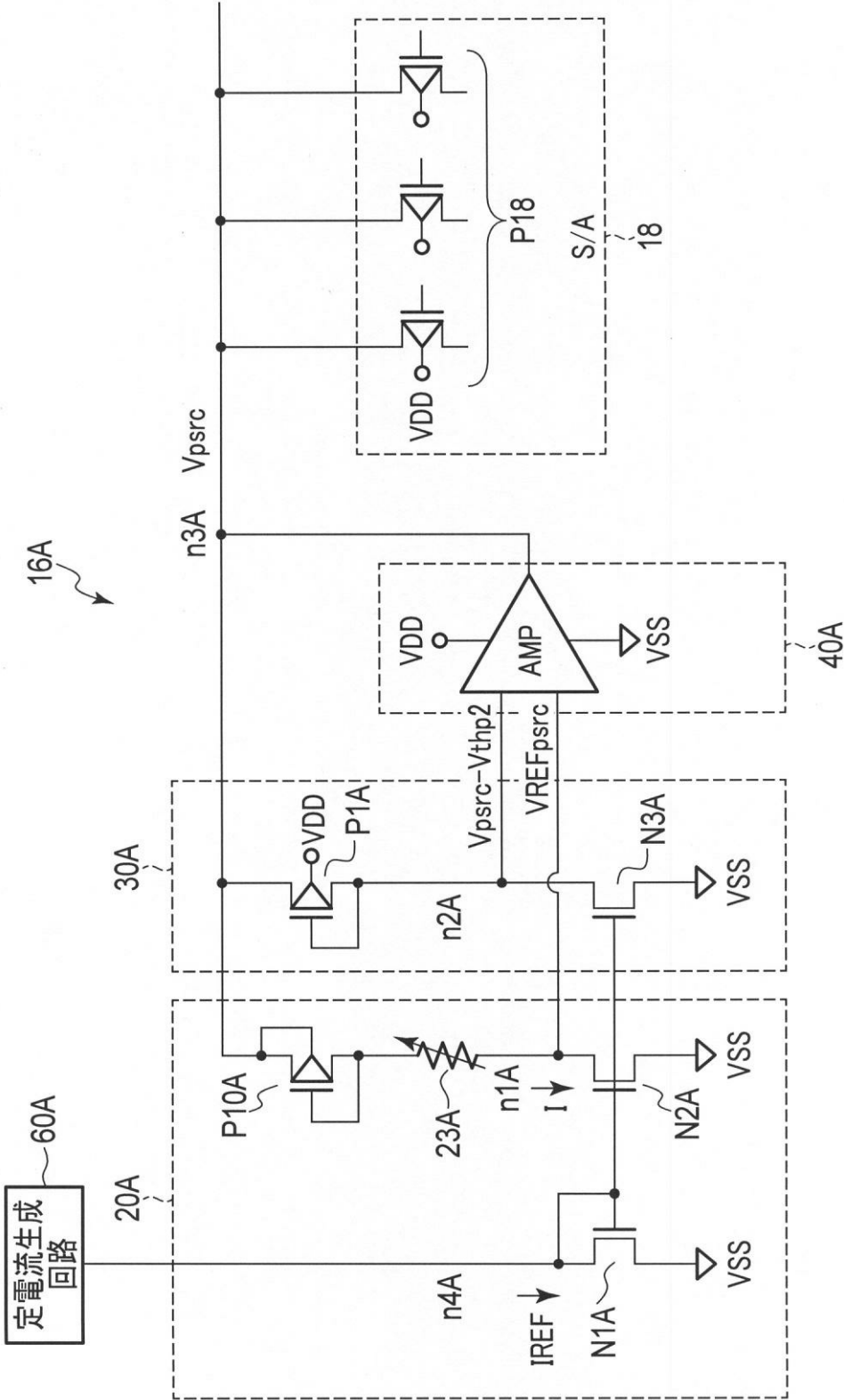


図24

