

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

次世代の半導体デバイス用の材料としてS i C（炭化珪素）が期待されている。S i CはS i（シリコン）と比較して、バンドギャップが3倍、破壊電界強度が約10倍、熱伝導率が約3倍と優れた物性を有する。この特性を活用すれば低損失かつ高温動作可能な半導体デバイスを実現することができる。

【0003】

S i Cを用いたデバイスは、S i Cの広いバンドギャップを利用して高い動作電圧で使用される。このため、例えば、高い電界が印加されるゲート絶縁膜の信頼性が問題となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2013-149837号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、ゲート絶縁膜の信頼性の向上を可能とする半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、第1の面を有するS i C層と、前記第1の面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記S i C層内に設けられ、一部が前記第1の面に設けられた第1導電型の第1のS i C領域と、前記第1のS i C領域内に設けられ、一部が前記第1の面に設けられた第2導電型の第2のS i C領域と、前記第2のS i C領域内に設けられ、一部が前記第1の面に設けられ前記第2のS i C領域との境界が前記第1の面との間に第1の傾斜角を有する第1導電型の第3のS i C領域と、前記第3のS i C領域内に設けられ、一部が前記第1の面に設けられ、前記第3のS i C領域よりも第1導電型の不純物濃度が高く、前記第3のS i C領域との境界が前記第1の面との間に第1の傾斜角よりも小さい第2の傾斜角を有する第1導電型の第4のS i C領域と、を備える。

【図面の簡単な説明】

【0007】

【図1】実施形態の半導体装置を示す模式断面図。

【図2】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図3】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図4】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図5】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図6】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図7】比較形態の半導体装置を示す模式断面図。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0009】

また、以下の説明において、 n^{++} 、 n^{+} 、 n 、 n^{-} 及び、 p^{++} 、 p^{+} 、 p 、 p^{-} の表記は、各導電型における不純物濃度の相対的な高低を表す。すなわち、 n^{++} は n^{+} よりも、 n^{+} は n よりも n 型の不純物濃度が相対的に高く、 n^{-} は n よりも n 型の不純物濃度が相対的に低いことを示す。また、 p^{++} は p^{+} よりも、 p^{+} は p よりも p 型の不純物濃度が相対的に高く、 p^{-} は p よりも p 型の不純物濃度が相対的に低いことを示す。なお、 n^{+} 型、 n^{-} 型を単に n 型、 p^{+} 型、 p^{-} 型を単に p 型と記載する場合もある。

【0010】

実施形態の半導体装置は、第1の面を有するSiC層と、第1の面上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられたゲート電極と、SiC層内に設けられ、一部が第1の面に設けられた第1導電型の第1のSiC領域と、第1のSiC領域内に設けられ、一部が第1の面に設けられた第2導電型の第2のSiC領域と、第2のSiC領域内に設けられ、一部が第1の面に設けられ、第2のSiC領域との境界が第1の面との間に第1の傾斜角を有する第1導電型の第3のSiC領域と、第3のSiC領域内に設けられ、一部が第1の面に設けられ、第3のSiC領域よりも第1導電型の不純物濃度が高く、第3のSiC領域との境界が第1の面との間に第1の傾斜角よりも小さい第2の傾斜角を有する第1導電型の第4のSiC領域と、を備える。

【0011】

図1は、実施形態の半導体装置であるMOSFETの構成を示す模式断面図である。MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 100は、例えば、ウェル領域とソース領域をイオン注入で形成する、Double Implantation MOSFET (DIMOSFET) である。MOSFET 100は、電子をキャリアとする縦型の n チャネル型のMOSFETである。

【0012】

MOSFET 100は、SiC基板10、SiC層12、ソース電極（第1の電極）14、ドレイン電極（第2の電極）16、ゲート絶縁膜18、ゲート電極20、層間絶縁膜22を備えている。SiC層12は、ドリフト領域（第1のSiC領域）24、ウェル領域（第2のSiC領域）26、ソース領域（第3のSiC領域）30、ソースコンタクト領域（第4のSiC領域）32、ウェルコンタクト領域34を備えている。

【0013】

SiC基板10は、単結晶のSiCである。SiC基板10は、例えば、 $4H-SiC$ である。SiC基板10の上面が(0001)面に対し0度以上8度以下傾斜した面、下面が(000 $\bar{1}$)面に対し0度以上8度以下傾斜した面である場合を例に説明する。(0001)面はシリコン面と称される。(000 $\bar{1}$)面はカーボン面と称される。

【0014】

SiC基板10は、MOSFET 100のドレイン領域である。SiC基板10は、 n 型のSiCである。SiC基板10は、例えば、窒素(N)を n 型不純物として含む。SiC基板10の n 型不純物の濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0015】

ドレイン電極16とSiC基板10との間のコンタクト抵抗を低減する観点から、SiC基板10の下面における n 型不純物の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上であることが望ましく、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることがより望ましい。

【0016】

S i C層12は、S i C基板10上に設けられる。S i C層12は、S i C基板10上にエピタキシャル成長により形成された単結晶S i Cである。

【0017】

S i C層12は、第1の面（以下、単に表面とも記載する）を有する。第1の面は、例えば、（0001）面に対し0度以上8度以下傾斜した面である。

【0018】

ドリフト領域24は、S i C層12内に設けられる。ドリフト領域24の少なくとも一部はS i C層12の表面に設けられる。ドリフト領域24は、S i C基板10上に設けられる。

【0019】

ドリフト領域24は、n⁻型のS i Cである。ドリフト領域24は、例えば、窒素（N）をn型不純物として含む。ドリフト領域24のn型不純物の濃度は、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下である。ドリフト領域24の厚さは、例えば、 $5 \mu\text{m}$ 以上 $150 \mu\text{m}$ 以下である。

【0020】

ウェル領域26は、S i C層12内に設けられる。ウェル領域26は、ドリフト領域24内に設けられる。ウェル領域26の少なくとも一部は、S i C層12の表面に設けられる。

【0021】

ウェル領域26は、p型のS i Cである。ウェル領域26は、MOSFET100のチャネル領域として機能する。

【0022】

ウェル領域26は、例えば、アルミニウム（Al）をp型不純物として含む。ウェル領域26のp型不純物の濃度は、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。ウェル領域26の深さは、例えば、 $0.4 \mu\text{m}$ 以上 $0.8 \mu\text{m}$ 以下である。

【0023】

ソース領域30は、S i C層12内に設けられる。ソース領域30は、ウェル領域26内に設けられる。ソース領域30の少なくとも一部は、S i C層12の表面に設けられる。

【0024】

ソース領域30は、n⁺型のS i Cである。ソース領域30は、例えば、リン（P）をn型不純物として含む。ソース領域30のn型不純物の濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 未満である。ソース領域30のn型不純物の濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。ソース領域30の深さは、ウェル領域26の深さよりも浅く、例えば、 $0.2 \mu\text{m}$ 以上 $0.4 \mu\text{m}$ 以下である。

【0025】

ソース領域30のウェル領域26との境界がS i C層12の表面との間に第1の傾斜角（ θ_1 ）を有する。言い換えれば、ソース領域30とウェル領域26の境界とS i C層の表面との間の角度が第1の傾斜角（ θ_1 ）である。第1の傾斜角（ θ_1 ）は、例えば、80度以上90度以下である。

【0026】

ソースコンタクト領域32は、S i C層12内に設けられる。ソースコンタクト領域32は、ソース領域30内に設けられる。ソースコンタクト領域32の少なくとも一部は、S i C層12の表面に設けられる。

【0027】

ソースコンタクト領域32は、n⁺⁺型のS i Cである。ソースコンタクト領域32は、例えば、リン（P）をn型不純物として含む。ソースコンタクト領域32のn型不純物の濃度は、ソース領域30のn型不純物の濃度よりも高い。ソースコンタクト領域32のn型不純物の濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 未満である。ソース領域30のn型不純物の濃度は、例えば、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上である。

ソース領域30の深さは、ソース領域30の深さよりも浅く、例えば、 $0.05\mu\text{m}$ 以上 $0.2\mu\text{m}$ 以下である。

【0028】

ソースコンタクト領域32のソース領域30との境界がSiC層12の表面との間に第2の傾斜角(θ_2)を有する。言い換えれば、ソースコンタクト領域32とソース領域30の境界とSiC層の表面との間の角度が第2の傾斜角(θ_2)である。

【0029】

第2の傾斜角(θ_2)は、第1の傾斜角(θ_1)よりも小さい。第2の傾斜角(θ_2)は、例えば、45度以上80度未満である。第2の傾斜角(θ_2)は、例えば、60度以下である。

【0030】

ゲート電極20とソースコンタクト領域32は、SiC層12の表面に平行な方向に離間している。ゲート電極20とソースコンタクト領域32との離間距離(図中“d”)は、例えば、 $0.1\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下である。

【0031】

ウェルコンタクト領域34は、SiC層12内に設けられる。ウェルコンタクト領域34は、ウェル領域26内に設けられる。ウェルコンタクト領域32は、ソース領域30に挟まれて設けられる。

【0032】

ウェルコンタクト領域34は、p⁺型のSiCである。ウェルコンタクト領域34は、例えば、アルミニウム(A1)をp型不純物として含む。ウェルコンタクト領域34のp型不純物の濃度は、例えば、 $1\times 10^{18}\text{cm}^{-3}$ 以上 $1\times 10^{22}\text{cm}^{-3}$ 以下である。

【0033】

ウェルコンタクト領域34の深さは、ウェル領域26の深さよりも浅く、例えば、 $0.2\mu\text{m}$ 以上 $0.4\mu\text{m}$ 以下である。

【0034】

ゲート絶縁膜18は、SiC層12の表面上に設けられる。ゲート絶縁膜18は、ドリフト領域24上、ウェル領域26上、及び、ソース領域30上に設けられる。ゲート絶縁膜18は、例えば、シリコン酸化膜である。ゲート絶縁膜18には、例えば、High-k絶縁膜(高誘電率絶縁膜)が適用可能である。

【0035】

ゲート電極20は、ゲート絶縁膜18上に設けられる。ゲート電極18は、導電層である。ゲート電極20は、例えば、導電性不純物を含む多結晶質シリコンである。

【0036】

層間絶縁膜22は、ゲート電極20上に設けられる。層間絶縁膜22は、例えば、シリコン酸化膜である。

【0037】

ゲート電極20下のソース領域30とドリフト領域24とに挟まれるウェル領域26が、MOSFET100のチャネル領域として機能する。

【0038】

ソース電極14は、SiC層12の表面に設けられる。ソース電極14は、ソースコンタクト領域32とウェルコンタクト領域34に電氣的に接続される。ソース電極14は、ソースコンタクト領域32とウェルコンタクト領域34に接する。ソース電極14は、ウェル領域26に電位を与える機能も備える。

【0039】

ソース電極14は、例えば、金属である。ソース電極12を形成する金属は、例えば、チタン(Ti)とアルミニウム(A1)の積層構造である。ソース電極14は、SiC層12に接する金属シリサイドや金属カーバイドを含んでも構わない。

【0040】

ドレイン電極16は、SiC基板10の裏面に設けられる。ドレイン電極16は、SiC基板10と電氣的に接続される。

【0041】

ドレイン電極16は、例えば、チタン(Ti)、ニッケル(Ni)、金(Au)、銀(Ag)等の金属、又は、金属シリサイドである。

【0042】

第1の傾斜角($\theta 1$)及び第2の傾斜角($\theta 2$)は、走査型静電容量顕微鏡法(Scanning Capacitance Microscopy:SCM法)を用いて測定することが可能である。例えば、SCM法で観察される濃度プロファイルから、ソース領域30とウェル領域26の境界が第1の面と交差する点近傍で、ソース領域30とウェル領域26の境界の接線を引き、その接線と第1の面との間の角度を求め、第1の傾斜角($\theta 1$)とする。また、例えば、SCM法で観察される濃度プロファイルから、ソースコンタクト領域32とソース領域30の境界が第1の面と交差する点近傍で、ソースコンタクト領域32とウェル領域26の境界の接線を引き、その接線と第1の面との間の角度を求め、第2の傾斜角($\theta 2$)とする。

【0043】

不純物領域の不純物濃度は、二次イオン質量分析法(Secondary Ion Mass Spectrometry:SIMS法)により測定することが可能である。

【0044】

次に、実施形態の半導体装置の製造方法について説明する。図2～図6は、実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図である。

【0045】

SiC基板10上にエピタキシャル成長によりSiC層12を形成する。SiC層12は、第1の面(以下、単に表面とも記載する)を有する。

【0046】

次に、SiC層12の表面上に、第1のマスク材50を形成する。第1のマスク材50は、例えば、CVD(Chemical Vapor Deposition)法で形成されるシリコン酸化膜である。

【0047】

次に、第1のマスク材50をマスクに、p型不純物であるアルミニウム(Al)をドリフト領域24にイオン注入する(図2)。このイオン注入により、ウェル領域26を形成する。

【0048】

次に、第1のマスク材50上、及びSiC層12の表面上に、第2のマスク材52を堆積する(図3)。第2のマスク材52は、例えば、CVD法で形成されるシリコン酸化膜である。

【0049】

次に、第2のマスク材52をRIE(Reactive Ion Etching)法によりエッチングし、第1のマスク材50の両側に第2のマスク材52が残るように加工する。その後、第1のマスク材50と第2のマスク材52をマスクに、n型不純物であるリン(P)をウェル領域26にイオン注入する(図4)。このイオン注入により、ソース領域30を形成する。

【0050】

例えば、第2のマスク材52の側面が第1の傾斜角($\theta 1$)を備えりとする。この場合、第2のマスク材52の形状を反映し、ソース領域30とウェル領域26の境界とSiC層10の表面との間の角度が第1の傾斜角($\theta 1$)となる。

【0051】

次に、第1のマスク材50上、第2のマスク材52上、及びSiC層12の表面上に、第3のマスク材54を堆積する(図5)。第3のマスク材54は、例えば、CVD法で形成されるシリコン酸化膜である。

【0052】

次に、第3のマスク材54をRIE法によりエッチングし、第2のマスク材52の両側に第3のマスク材54が残るように加工する。その後、第1のマスク材50、第2のマスク材52、及び第3のマスク材54をマスクに、n型不純物であるリン(P)をソース領域30にイオン注入する(図6)。このイオン注入により、ソースコンタクト領域32を形成する。

【0053】

第3のマスク材54をエッチングする際に、第3のマスク材54の側面が第1の傾斜角($\theta 1$)よりも小さい第2の傾斜角($\theta 2$)を備えるようにエッチング条件を制御する。この場合、第3のマスク材54の形状を反映して、ソースコンタクト領域32とソース領域30の境界とSiC層12の表面との間の角度が第2の傾斜角($\theta 2$)となる。

【0054】

その後、公知のプロセスで、SiC層12内に、p型のウェルコンタクト領域32を形成する。

【0055】

次に、例えば、ウェットエッチングにより、第1のマスク材50、第2のマスク材52、及び第3のマスク材54を剥離する。次に、p型不純物及びn型不純物の活性化のためのアニールを行う。活性化アニールは、例えば、不活性ガス雰囲気中、1700℃以上1900℃以下の温度で行う。

【0056】

SiC中におけるp型不純物及びn型不純物の拡散速度は、Si(シリコン)中におけるp型不純物及びn型不純物の拡散速度と比較して格段に遅い。したがって、実施形態のイオン注入直後のp型不純物及びn型不純物のプロファイルは、活性化アニール後も大きな変化なく維持される。したがって、第1の傾斜角($\theta 1$)及び第2の傾斜角($\theta 2$)も大きな変化なく保持される。

【0057】

次に、SiC基板10表面に、ゲート絶縁膜18を形成する。ゲート絶縁膜18は、例えば、CVD法で形成されるシリコン酸化膜である。

【0058】

次に、ゲート絶縁膜18上に、ゲート電極20を形成する。ゲート電極20は、例えば、導電性の不純物を含む多結晶シリコンである。

【0059】

次に、ゲート絶縁膜18上、ゲート電極20上に、層間絶縁膜22を形成する。層間絶縁膜22は、例えば、CVD法によりシリコン酸化膜を堆積した後、パターニングすることで形成する。

【0060】

次に、ソースコンタクト領域32、及び、ウェルコンタクト領域34上にソース電極14を形成する。ソース電極14は、例えば、チタン(Ti)とアルミニウム(Al)のスパッタにより形成する。

【0061】

次に、SiC基板10の裏面に、ドレイン電極16を形成する。ドレイン電極16は、例えば、Ti、Ni、Au、Ag等のスパッタにより形成する。また、シンターやRTA(Rapid Thermal Annealing)等の熱処理を行うことで金属サイドを形成する場合もある。

【0062】

以上の製造方法により、図1に示すMOSFET100が形成される。

【0063】

以下、実施形態の半導体装置の作用及び効果について説明する。

【0064】

図7は、比較形態の半導体装置であるMOSFET900の構成を示す模式断面図であ

る。

【0065】

比較形態のMOSFET900は、第1の傾斜角($\theta 1$)と第2の傾斜角($\theta 2$)が等しい点で、実施形態のMOSFET100と異なっている。また、MOSFET900は、第1の傾斜角($\theta 1$)と第2の傾斜角($\theta 2$)とが90度である。

【0066】

MOSFET900では、ソース領域30とソース電極14との間のコンタクト抵抗を低減するため、ソース領域30のn型不純物の濃度よりもn型不純物の濃度の高いソースコンタクト領域32が設けられる。仮に、ソース領域30全体のn型不純物の濃度を高くすると、結晶欠陥に起因するジャンクションリーク電流が大きくなり問題となる。結晶欠陥は、高濃度のn型領域を形成するためのイオン注入時のダメージに起因する。このため、n型不純物の濃度の高いソースコンタクト領域32を、n型不純物の濃度の低いソース領域30で囲むソース構造が、MOSFET900では採用されている。

【0067】

MOSFET900のオフ時には、ゲート電極20とソース領域30及びソースコンタクト領域32との間に、高い電圧が印加される。このため、ゲート電極20とソース領域30及びソースコンタクト領域32との間のゲート絶縁膜18に、高い電界が印加され、ゲート絶縁膜18の絶縁膜経時破壊(Time Dependent Dielectric Breakdown)が問題となる。したがって、MOSFET900の信頼性が低下する恐れがある。

【0068】

ゲート絶縁膜18に印加される電界は、ゲート電極20の角部で特に大きくなる。ゲート電極20の角部でゲート絶縁膜18に印加される電界は、ゲート電極20の角部下近傍のSiC層12中の不純物濃度に依存する。ゲート電極20の角部下近傍のSiC層12中の不純物濃度が高くなると、ゲート電極20の角部近傍のゲート絶縁膜18中の電界が高くなる。

【0069】

特に、MOSFET900の微細化に伴い、不純物濃度の高いソースコンタクト領域32がゲート電極20に近くなったり、或いは、ゲート電極20にオーバーラップしたりすると、ゲート電極20の角部でのゲート絶縁膜18中の電界が一層高くなる。したがって、ゲート絶縁膜18の絶縁膜経時破壊に起因する信頼性不良が生ずる懸念が大きくなる。

【0070】

また、ゲート絶縁膜18の絶縁膜経時破壊の別の要因として、不純物領域中の結晶欠陥にトラップされた不純物が、電界によってゲート絶縁膜18中に移動し、ゲート絶縁膜18中の不純物トラップとなることが考えられる。不純物領域中の結晶欠陥量は、不純物濃度に比例する。したがって、ゲート電極20の角部下近傍のSiC層12中の不純物濃度が高くなると、ゲート絶縁膜18中の不純物トラップ量が多くなる恐れがある。このため、ゲート絶縁膜18の絶縁膜経時破壊に起因する信頼性不良が生ずる懸念が大きくなる。

【0071】

実施形態のMOSFET100は、第2の傾斜角($\theta 2$)を第1の傾斜角($\theta 1$)よりも小さくすることで、実質的に、ゲート電極20の角部下近傍のSiC層12中の不純物濃度を低下させる。このため、ゲート電極20の角部近傍のゲート絶縁膜18中の電界がMOSFET900と比較して低くなる。また、ゲート絶縁膜18中の不純物トラップ量がMOSFET900と比較して低くなる。したがって、ゲート絶縁膜18の絶縁膜経時破壊に起因する信頼性不良が抑制される。よって、MOSFET100の信頼性が向上する。

【0072】

ゲート電極20の角部近傍のゲート絶縁膜18中の電界を低下させる観点から、第2の傾斜角($\theta 2$)は、80度未満であることが望ましく、60度以下であることがより望ましい。また、第2の傾斜角($\theta 2$)を安定して形成する観点から、第2の傾斜角($\theta 2$)

は、45度以上であることが望ましい。

【0073】

第1の傾斜角 ($\theta 1$) のプロセスばらつきを抑制し、MOSFET100のチャネル長、すなわち、ゲート絶縁膜18直下のドリフト領域24とソース領域30との間の距離、を安定させる観点から、第1の傾斜角 ($\theta 1$) は、80度以上90度以下であることが望ましい。

【0074】

ゲート電極20の角部下近傍のSiC層12中の不純物濃度を低下させる観点から、ゲート電極20とソースコンタクト領域32は、SiC層12の表面に平行な方向に離間していることが望ましい。

【0075】

ソース電極14とソースコンタクト領域32とのコンタクト抵抗を低減する観点から、ソースコンタクト領域32のn型不純物の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上であることが望ましく、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることがより望ましい。

【0076】

ソース領域30中の結晶欠陥を低減し、ジャンクションリーク電流を低減する観点から、ソース領域30のn型不純物の濃度は、 $5 \times 10^{19} \text{ cm}^{-3}$ 以下であることが望ましく、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であることがより望ましい。

【0077】

以上、実施形態のMOSFET100によれば、ゲート絶縁膜の信頼性が向上する。

【0078】

実施形態では、SiC基板として4H-SiCの場合を例示したが、3C-SiC、6H-SiC等、その他の結晶形を用いることも可能である。

【0079】

実施形態では、n型不純物として窒素(N)及びリン(P)を例示したが、砒素(As)、アンチモン(Sb)等を適用することも可能である。また、p型不純物としてアルミニウム(Al)を例示したが、ボロン(B)を用いることも可能である。

【0080】

また、実施形態では、半導体装置として縦型のMOSFETを例に説明したが、MIS (Metal Insulator Semiconductor) 構造のトランジスタを有する半導体装置であれば、縦型のMOSFETに限らず本発明を適用可能である。例えば、横型のMOSFETにも適用可能である。また、例えば、縦型のIGBT (Insulated Gate Bipolar Transistor) にも、本発明を適用することが可能である。

【0081】

また、実施形態では、第1導電型としてn型、第2導電型としてp型を例に説明したが、第1導電型をp型、第2導電型をn型とすることも可能である。この場合、トランジスタは、正孔をキャリアとするpチャネル型のトランジスタとなる。

【0082】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0083】

- 12 SiC層
- 14 ソース電極 (第1の電極)

1 6	ドレイン電極 (第 2 の電極)
1 8	ゲート絶縁膜
2 0	ゲート電極
2 4	ドリフト領域 (第 1 の S i C 領域)
2 6	ウェル領域 (第 2 の S i C 領域)
3 0	ソース領域 (第 3 の S i C 領域)
3 2	ソースコンタクト領域 (第 4 の S i C 領域)
1 0 0	M O S F E T (半導体装置)

【書類名】 特許請求の範囲

【請求項 1】

第1の面を有するS i C層と、
前記第1の面上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられたゲート電極と、
前記S i C層内に設けられ、一部が前記第1の面に設けられた第1導電型の第1のS i C領域と、
前記第1のS i C領域内に設けられ、一部が前記第1の面に設けられた第2導電型の第2のS i C領域と、
前記第2のS i C領域内に設けられ、一部が前記第1の面に設けられ、前記第2のS i C領域との境界が前記第1の面との間に第1の傾斜角を有する第1導電型の第3のS i C領域と、
前記第3のS i C領域内に設けられ、一部が前記第1の面に設けられ、前記第3のS i C領域よりも第1導電型の不純物濃度が高く、前記第3のS i C領域との境界が前記第1の面との間に第1の傾斜角よりも小さい第2の傾斜角を有する第1導電型の第4のS i C領域と、
を備える半導体装置。

【請求項 2】

前記ゲート絶縁膜が、前記第1のS i C領域上、前記第2のS i C領域上、及び、前記第3のS i C領域上に設けられた請求項1記載の半導体装置。

【請求項 3】

前記第2の傾斜角は45度以上80度未満である請求項1又は請求項2記載の半導体装置。

【請求項 4】

前記第1の傾斜角は80度以上である請求項1乃至請求項3いずれか一項記載の半導体装置。

【請求項 5】

前記ゲート電極と前記第4のS i C領域が、前記第1の面に平行な方向に離間している請求項1乃至請求項4いずれか一項記載の半導体装置。

【請求項 6】

前記第4のS i C領域の第1導電型の不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上である請求項1乃至請求項5いずれか一項記載の半導体装置。

【請求項 7】

前記第3のS i C領域の第1導電型の不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下である請求項1乃至請求項6いずれか一項記載の半導体装置。

【請求項 8】

前記ゲート絶縁膜は、シリコン酸化膜である請求項1乃至請求項7いずれか一項記載の半導体装置。

【請求項 9】

前記第4のS i C領域上に設けられた第1の電極を、更に備える請求項1乃至請求項8いずれか一項記載の半導体装置。

【請求項 10】

前記第1の電極との間に前記S i C層を挟んで設けられた第2の電極を、更に備える請求項9記載の半導体装置。

【書類名】 要約書

【要約】

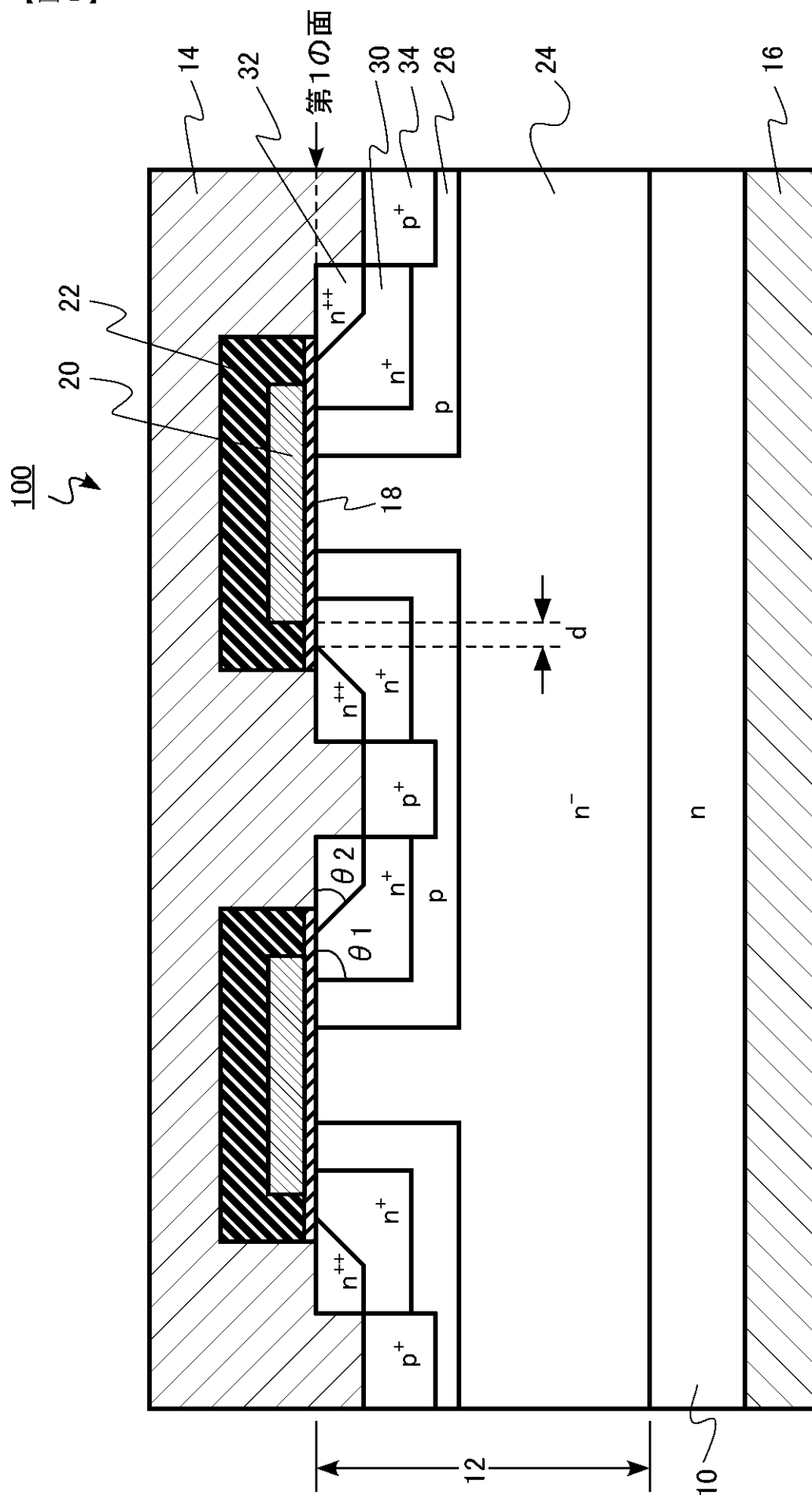
【課題】 ゲート絶縁膜の信頼性の向上を可能とする半導体装置を提供する。

【解決手段】 実施形態の半導体装置は、第1の面を有するS i C層と、第1の面上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられたゲート電極と、S i C層内に設けられ、一部が第1の面に設けられた第1導電型の第1のS i C領域と、第1のS i C領域内に設けられ、一部が第1の面に設けられた第2導電型の第2のS i C領域と、第2のS i C領域内に設けられ、一部が第1の面に設けられ、第2のS i C領域との境界が第1の面との間に第1の傾斜角を有する第1導電型の第3のS i C領域と、第3のS i C領域内に設けられ、一部が第1の面に設けられ、第3のS i C領域よりも第1導電型の不純物濃度が高く、第3のS i C領域との境界が第1の面との間に第1の傾斜角よりも小さい第2の傾斜角を有する第1導電型の第4のS i C領域と、を備える。

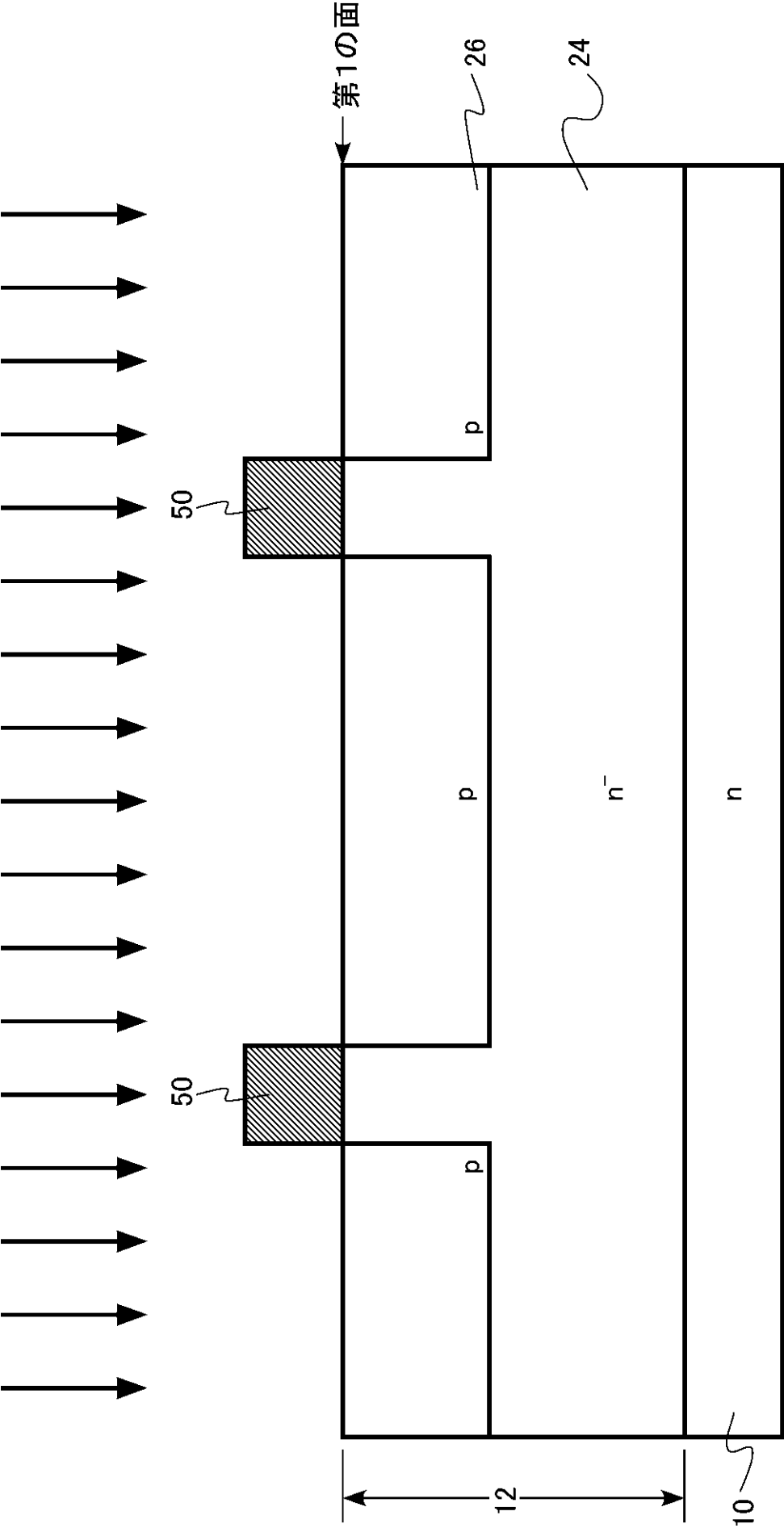
【選択図】 図1

【書類名】図面

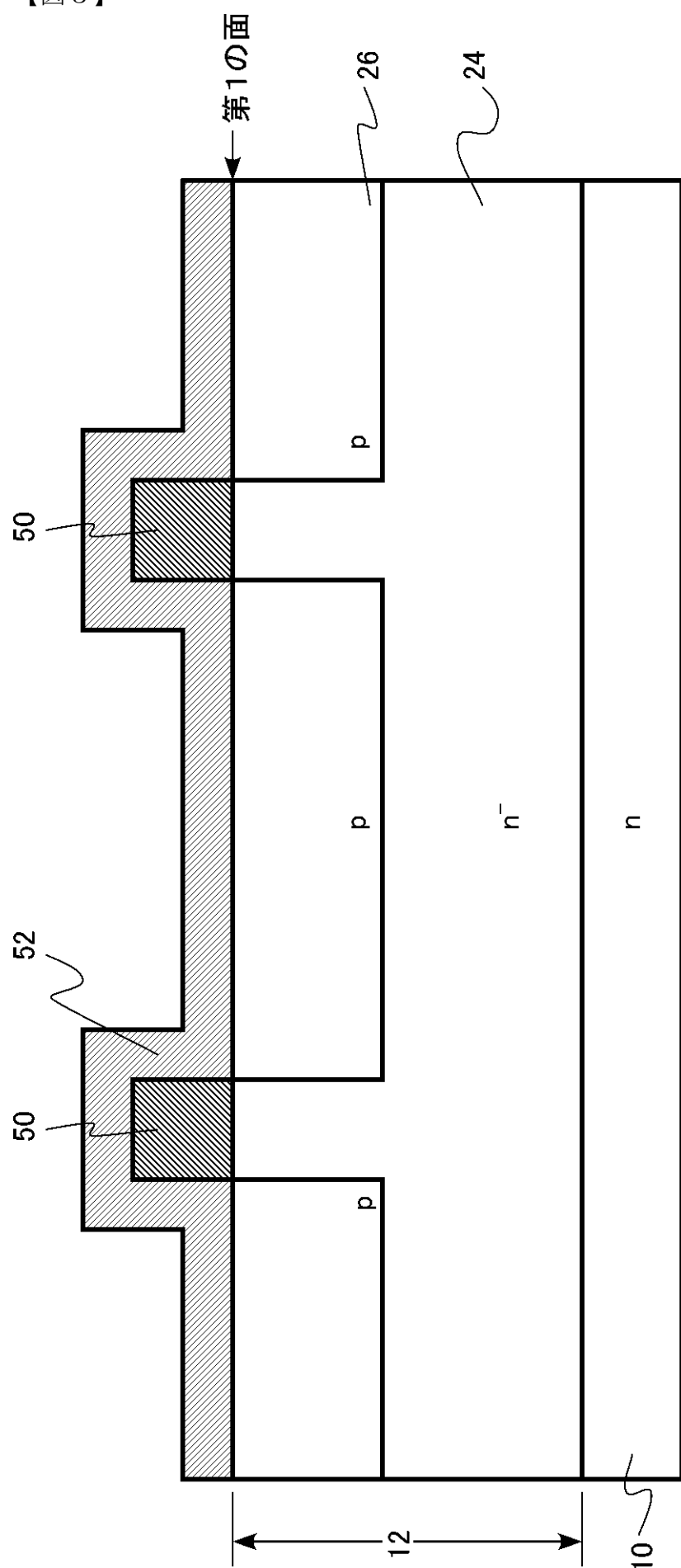
【図 1】



【図 2】



【図 3】



【図 7】

