

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

不揮発性メモリとコントローラとを備えた半導体装置が提供されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009 86830号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の実施形態は、半導体装置の効率的なデータ退避を可能にする。

【課題を解決するための手段】

【0005】

実施形態の半導体装置は、ホスト装置と接続可能なインターフェース部が設けられた第一基板と、前記第一基板に実装された第一メモリと、前記第一基板に実装されるとともに、前記第一メモリを制御する制御部と、前記ホスト装置からのコマンドに応じて動作モードの切り替えを行う切り替え部と、を備えた第一コントローラと、前記第一基板に設けられ、前記第一メモリ及び前記第一コントローラと電気的に接続された第一接続部と、を有し、前記第一コントローラは、前記切り替え部による前記切り替えに応じて、前記第一接続部を介して外部の第二メモリにアクセスし、該第二メモリに格納されたデータを読み出す。

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係る半導体装置が組み込まれたシステムを例示した斜視図。

【図2】半導体装置がホスト装置に搭載された場合を示した一部切欠き斜視図。

【図3】ホスト装置を構成するタブレット部の一部切欠き断面図。

【図4】第1実施形態に係る半導体装置を示し、(a)は正面図、(b)は背面図、(c)は側面図。

【図5】第1実施形態に係る半導体装置のシステム構成を例示したブロック図。

【図6】NANDメモリおよびコントローラを示した断面図。

【図7】コントローラのシステム構成を例示したブロック図。

【図8】第1実施形態に係る半導体装置の接続関係の一例を示した図。

【図9】第1実施形態に係る半導体装置のデータ退避時におけるコントローラの動作の一例を示したフローチャート図。

【図10】第1実施形態に係る半導体装置の接続関係の他の一例を示した図。

【図11】第2実施形態に係る半導体装置を示し、(a)は正面図、(b)は背面図、(c)は側面図。

【図12】第2実施形態に係る半導体装置の接続例を示した図。

【発明を実施するための形態】

【0007】

以下、実施の形態について、図面を参照して説明する。

【0008】

本明細書では、いくつかの要素に複数の表現の例を付している。なおこれら表現の例はあくまで例示であり、上記要素が他の表現で表現されることを否定するものではない。また、複数の表現が付されていない要素についても、別の表現で表現されてもよい。

【0009】

また、図面は模式的なものであり、厚みと平面寸法との関係や各層の厚みの比率などは現実のものと異なることがある。また、図面相互間において互いの寸法の関係や比率が異なる部分が含まれることもある。さらに、図面においては説明の便宜上、一部の部品や構成を省略して示すことがある。

【0010】

(第1実施形態)

図1乃至図3は、第1実施形態に係る半導体装置1と該半導体装置1が組み込まれたシステム100を示す。システム100は、「電子機器」の一例である。半導体装置1は、「半導体モジュール」及び「半導体記憶装置」の其々一例である。本実施形態に係る半導体装置1は、例えばSSD(Solid State Drive)等のメモリシステムであるが、これに限られるものではない。

【0011】

図1に示すように、半導体装置1は、例えばサーバ等のシステム100内に記憶装置として組み込まれる。システム100は、半導体装置1と該半導体装置1が装着されたホスト装置2を含む。ホスト装置2は、例えば上方に開口した複数のコネクタ3(例えばスロット)を有する。

【0012】

複数の半導体装置1は、ホスト装置2のコネクタ3に其々装着され、略鉛直方向に起立した姿勢で互いに並べて支持される。このような構成によれば、複数の半導体装置1をコンパクトに纏めて実装可能であり、ホスト装置2の小型化を図ることができる。

【0013】

なお半導体装置1は、例えばノートブック型ポータブルコンピュータやタブレット端末、その他デタッチャブルノートPC(personal computer)のような電子機器のストレージデバイスとして使用されるものでもよい。

【0014】

以下図2及び図3を用いて、半導体装置1が、ホスト装置2に対応するデタッチャブルノートPCに実装された例について説明する。尚、当該デタッチャブルノートPCはホスト装置2の一例であるためここでは同様の符号を付して、デタッチャブルノートPC2として説明する。またここでは、半導体装置1が接続されたデタッチャブルノートPC2全体をシステム100とする。以下では、デタッチャブルノートPC2に半導体装置1が実装される場合を例として説明を行う。

【0015】

図2は、半導体装置1がデタッチャブルノートPCに実装された場合の図である。図3は、図2に示したデタッチャブルノートPCの表示部110(タブレット型ポータブルコンピュータ201)の断面図である。デタッチャブルノートPCは、表示部110と、第1の入力受付装置であるキーボード部120とが其々互いに切り離し可能に接続部130で接続される。尚、ポータブルコンピュータ201及びデタッチャブルノートPCは、其々ホスト装置2の一例である。

【0016】

図2及び図3に示す通り、半導体装置1はデタッチャブルノートPCの表示部側に実装される。このため、表示部110を取り外した場合も、タブレット型のポータブルコンピュータ201として機能させることが可能であり、第2の入力受付装置として機能する。

【0017】

ポータブルコンピュータ201は、電子機器の一例であり、例えばユーザが手で持って使用できる大きさを有している。

【0018】

ポータブルコンピュータ201は、筐体202、表示モジュール203、半導体装置1およびマザーボード205を主要な要素として備えている。筐体202は、保護板206、ベース207およびフレーム208を有している。保護板206は、ガラスあるいはブ

ラスチック製の四角い板であり、筐体202の表面を構成している。ベース207は、例えばアルミニウム合金又はマグネシウム合金のような金属製であり、筐体202の底を構成している。

【0019】

フレーム208は、保護板206とベース207との間に設けられている。フレーム208は、例えばアルミニウム合金又はマグネシウム合金のような金属製であり、実装部210とバンパー部211とを一体に有している。実装部210は、保護板206とベース207との間に設けられている。本実施形態によると、実装部210は、保護板206との間に第1の実装スペース212を規定するとともに、ベース207との間に第2の実装スペース213を規定している。

【0020】

バンパー部211は、実装部210の外周縁部に一体に形成されて、第1の実装スペース212および第2の実装スペース213を周方向に連続して取り囲んでいる。さらに、バンパー部211は、保護板206の外周縁部とベース207の外周縁部との間に跨るように筐体202の厚み方向に延びて、筐体202の外周面を構成している。

【0021】

表示モジュール203は、筐体202の第1の実装スペース212に收容されている。表示モジュール203は、保護板206で覆われているとともに、保護板206と表示モジュール203との間に手書き入力機能を有するタッチパネル214が介在されている。タッチパネル214は、保護板206の裏面に接着されている。

【0022】

図3に示すように、半導体装置1は、筐体202の第2の実装スペース213にマザーボード205と一緒に收容されている。半導体装置1は、基板11、NANDメモリ12、コントローラ13、及びその他DRAM14等の電子部品を備えている。

【0023】

基板11は、例えばプリント配線板であり、導体パターン(図示せず)が形成された第1面11aと該第1面11aの反対側に位置した第2面11bとを有している。回路部品は、基板11の第1面11a及び第2面11bに実装されて、導体パターンに半田付けされている。

【0024】

マザーボード205は、基板224および半導体パッケージおよびチップのような複数の回路部品225を備えている。基板224は、複数の導体パターン(図示していない)が形成されている。回路部品225は、基板224に実装されて、該基板224の導体パターンに半田付けに伴い電氣的に接続されている。

【0025】

図4は、半導体装置1の外観を示す。図4において、(a)は平面図、(b)は下面図、(c)は側面図である。また図5は、半導体装置1のシステム構成の一例を示す。

【0026】

図4に示すように半導体装置1は、基板11と不揮発性半導体記憶素子としてのNAND型フラッシュメモリ(以下、NANDメモリと略す)12、コントローラ13、NANDメモリ12よりも高速記憶動作が可能な揮発性半導体記憶素子であるDRAM(Dynamic Random Access Memory)14、オシレータ15(OSC)、EEPROM16(Electrically Erasable and Programmable ROM)、電源回路17、温度センサ18、抵抗、コンデンサ等のその他の電子部品19、及びパススルーコネクタ20を有する。

【0027】

尚、本実施形態のNANDメモリ12やコントローラ13は、電子部品である半導体パッケージとして実装される。例えばNANDメモリ12の半導体パッケージは、SiP(System in Package)タイプのモジュールであり、複数の半導体チップが1つのパッケージ内に封止されている。コントローラ13は、NANDメモリ12の動作を制御する。

【0028】

基板 1 1 は、例えばガラスエポキシ樹脂等の材料で構成された略矩形状の回路基板であり、半導体装置 1 の外形寸法を規定する。基板 1 1 は、第 1 面 1 1 a と、該第 1 面 1 1 a とは反対側に位置した第 2 面 1 1 b とを有する。なお、本明細書において、基板 1 1 を構成する面の内、第 1 面 1 1 a 及び第 2 面 1 1 b 以外の面を基板 1 1 の「側面」と定義する。

【 0 0 2 9 】

半導体装置 1 において、第 1 面 1 1 a は、NAND メモリ 1 2、コントローラ 1 3、DRAM 1 4、オシレータ 1 5、EEPROM 1 6、電源回路 1 7、温度センサ 1 8、及び抵抗、コンデンサ等のその他の電子部品 1 9 等が実装される部品実装面である。

【 0 0 3 0 】

一方で、本実施形態において基板 1 1 の第 2 面 1 1 b は、部品が実装されない非部品実装面である。このように、基板 1 1 とは独立に設けられた複数の部品を基板 1 1 の一方の面に集中して配置することで、基板 1 1 表面からの部品の突出を片面側のみに集めることが可能である。これにより、部品が基板 1 1 の第 1 面 1 1 a と第 2 面 1 1 b との両面から突出する場合と比較して、半導体装置 1 の薄型化を図ることができる。

【 0 0 3 1 】

図 4 に示す通り基板 1 1 は、第 1 縁部 1 1 c と、該第 1 縁部 1 1 c とは反対側に位置した第 2 縁部 1 1 d とを有する。第 1 縁部 1 1 c は、インターフェース部 2 1 (基板インターフェース部、端子部、接続部) を有する。

【 0 0 3 2 】

インターフェース部 2 1 は、例えば複数の接続端子 2 1 a (金属端子) を有する。インターフェース部 2 1 は、例えばホスト装置 2 のコネクタ 3 に差し込まれ、コネクタ 3 に電氣的に接続される。インターフェース部 2 1 は、該インターフェース部 2 1 とホスト装置 2 との間で信号 (制御信号及びデータ信号) をやり取りする。尚、ここでのホスト装置 2 とは、例えば前述したポータブルコンピュータ 2 0 1 である。

【 0 0 3 3 】

本実施形態に係るインターフェース部 2 1 は、例えば PCI Express (以下、PCIe) の規格に則したインターフェースである。すなわち、インターフェース部 2 1 とホスト装置 2 との間には、PCIe の規格に則した高速信号 (高速差動信号) が流れる。なお、インターフェース部 2 1 は、例えば SATA (Serial Advanced Technology Attachment)、USB (Universal Serial Bus)、SAS (Serial Attached SCSI) などの他の規格に則したものでよい。半導体装置 1 は、インターフェース部 2 1 を介してホスト装置 2 から電源の供給を受ける。

【 0 0 3 4 】

尚インターフェース部 2 1 には、基板 1 1 の短手方向に沿った中心位置からずれた位置にスリット 2 1 b が形成されており、ホスト装置 2 のコネクタ 3 側に設けられた突起 (図示せず) などと嵌まり合うようになっている。これにより、半導体装置 1 が表裏逆に取り付けられることを防ぐことができる。

【 0 0 3 5 】

電源回路 1 7 は、例えば DC - DC コンバータであり、ホスト装置 2 から供給される電源から半導体パッケージ 1 2 などに必要な所定電圧を生成する。尚、電源回路 1 7 は、ホスト装置 2 から供給される電源の損失を抑えるために、インターフェース部 2 1 の近傍に設置されることが望ましい。

【 0 0 3 6 】

コントローラ 1 3 は、NAND メモリ 1 2 の動作を制御する。すなわち、コントローラ 1 3 は、NAND メモリ 1 2 に対するデータの書き込み、読み出し、及び消去を制御する。

【 0 0 3 7 】

DRAM 1 4 は、揮発性メモリの一例であり、NAND メモリ 1 2 の管理情報の保管やデータのキャッシュなどに用いられる。尚、DRAM 1 4 は、例えば SRAM 等の他の揮

発性メモリが用いられても良い。

【0038】

オシレータ15は、所定周波数の動作信号をコントローラ13に供給する。EEPROM16は、制御プログラム等を固定情報として格納している。

【0039】

温度センサ18は、半導体装置1の温度をコントローラ13に通知する。尚、本実施形態では基板11に1つの温度センサ18が搭載されており、半導体装置1の温度が温度センサ18によって監視される。

【0040】

本実施形態において基板11には、NANDメモリ12、コントローラ13、及びDRAM14等の複数種類の電子部品が実装され、それぞれの温度は、半導体装置1の動作状態や、それぞれの電子部品にかかる負荷等によって異なる。このため厳密には、半導体装置1の温度は均一ではない。

【0041】

そこで、本実施形態において「半導体装置1の温度」とは、温度センサ18が実装された位置で計測された温度であると定義する。換言すれば、本実施形態に「半導体装置1の温度」とは、温度センサ18の実装位置周辺の温度である。

【0042】

また、温度センサ18は必ずしも1つである必要は無く、例えば複数の温度センサ18が基板11に設けられ、複数の位置における温度を監視する構成としても良い。さらに温度センサ18は、必ずしも基板11上に設けられる必要は無く、コントローラ13の機能として設けられても良い。

【0043】

また、温度センサ18はNANDメモリ12、コントローラ13等のパッケージ内部に実装しても良いし、パッケージ表面に貼り付けられるように設けられても良い。この場合、温度センサ18はNANDメモリ12単体の温度やコントローラ13単体の温度を、より正確に測ることが可能となる。

【0044】

パススルーコネクタ20は、例えば基板11の第1面11aに設けられ、半導体装置1と他の半導体装置との接続を可能にする。半導体装置1は、パススルーコネクタ20に接続されたハーネス4（後で図8に示す）を介して他の半導体装置と接続可能である。

【0045】

本実施形態においてNANDメモリ12の個数や実装位置などは図面に限定されない。例えば、本実施形態ではNANDメモリ12を基板11の第1面11aに2つ（12a及び12b）実装した例を示すが、例えばNANDメモリ12の個数はこれに限定されない。

【0046】

図6は、本実施形態におけるNANDメモリ12としての半導体パッケージ、及びコントローラ13としての半導体パッケージを開示した断面を示す。コントローラ13は、パッケージ基板41、コントローラチップ42、ボンディングワイヤ43、封止部（モールド材）44、及び複数の半田ボール45を有する。NANDメモリ12は、パッケージ基板31、複数のメモリチップ32、ボンディングワイヤ33、封止部（モールド材）34、及び複数の半田ボール35を有する。

【0047】

基板11は、上述した通り例えば多層の配線基板であり、図示しない電源層、グランド層、及び内部配線を含み、ボンディングワイヤ33、43及び複数の半田ボール35、45等を介してコントローラチップ42と複数の半導体メモリ32とを電氣的に接続する。

【0048】

図6に示すように、パッケージ基板31、41には、複数の半田ボール35、45が設けられている。複数の半田ボール35、45は、例えばパッケージ基板31の第2面31

bに格子状に配置されている。なお、複数の半田ボール35は、パッケージ基板31の第2面31bの全体にフルで配置される必要はなく、部分的に配置されてもよい。

【0049】

また、パッケージ基板31、41とコントローラチップ42、及び半導体メモリ32との固定や、複数の半導体メモリ32同士の固定は、マウントフィルム38、48によって行われる。

【0050】

尚、マウントフィルム38、48は、単体でパッケージ基板31、41に貼り付けられた後、メモリチップ32、及びコントローラチップ42が実装されても良い。また、例えばマウントフィルム48は、コントローラチップ42に用いられるウェハに貼り付けられ、当該ウェハをダイシングすることでチップ個片(コントローラチップ42)としても良い。メモリチップ32及びマウントフィルム38についても同様である。

【0051】

また、図4に示すように、本実施形態におけるコントローラ13は略矩形状であり、短手方向の第1縁部13aと、該第1縁部13aの反対側に位置する第2縁部13bと、長手方向の第3縁部13cと、該第3縁部13cの反対側に位置する第4縁部13dとを有する。なお、前記第2縁部13bは、コントローラ13と隣り合って基板11上に搭載されたNANDメモリ12側に位置し、前記第1縁部13aは、基板11が有するインターフェース部21側に位置する。

【0052】

尚、前述した半田ボール45は、コントローラ13の第1縁部13a側に存在する半田ボール45aと、第2縁部13b側に存在する半田ボール45bを含む。また、半田ボール35は、コントローラ13側に位置する半田ボール35aと、該半田ボール35aの反対側に位置する半田ボール35bを含む。

【0053】

図7は、コントローラ13のシステム構成の一例を示す。図7に示すように、コントローラ13は、バッファ131、CPU132(Central Processing Unit)、ホストインターフェース部133、及びメモリインターフェース部134を有する。

【0054】

尚、コントローラ13には前述のように、例えば温度センサ18の機能が設けられても良いし、電源回路17の機能が設けられても良く、コントローラ13のシステム構成はこれに限定されない。

【0055】

バッファ131は、ホスト装置2から送られてくるデータをNANDメモリ12に書き込む際に、一定量のデータを一時的に記憶したり、NANDメモリ12から読み出されるデータをホスト装置2へ送り出す際に、一定量のデータを一時的に記憶したりする。

【0056】

CPU132は、半導体装置1の全体の制御を司る。CPU132は、制御部135と切り替え部136とを備える。

【0057】

制御部135は、例えばホスト装置2から書込コマンド、読出コマンド、消去コマンドを受けてNANDメモリ12の該当領域に対するアクセスを実行したり、バッファ131を通じたデータ転送処理を制御したりする。

【0058】

切り替え部136は、コントローラ13の動作モードの切り替えを行う。具体的には、ホスト装置2からのコマンドを受け、ノーマルモードとパススルーモードとの動作切り替えを行う。尚、ノーマルモード及びパススルーモードについては後述する。

【0059】

ホストインターフェース部133は、基板11のインターフェース部21と、CPU132及びバッファ131との間に位置する。ホストインターフェース部133は、コント

ローラ13とホスト装置2との間のインターフェース処理を行う。ホストインターフェース部133とホスト装置2の間には例えばP C I e高速信号が流れる。

【0060】

尚、ホストインターフェース部133は、コントローラ13内において、基板11のインターフェース部21の方向、すなわち第1縁部13a側に寄せて配置されている。この場合、ホストインターフェース部133と基板11のインターフェース部21との配線を、短くすることが可能になる。

【0061】

例えば前記ホストインターフェース部133が、コントローラ13内において、インターフェース部21の反対方向、すなわち第2縁部13b側に寄せて配置されると、図4からも分かるように、コントローラチップの長手方向の長さ分だけ、インターフェース部21とホストインターフェース部133とを接続する配線距離も伸びてしまう。配線が長くなることで、寄生容量、寄生抵抗、及び寄生インダクタンス等が増え、信号配線の特性インピーダンスの維持が困難になる。また、信号遅延の原因にもなり得る。

【0062】

以上の観点から、本実施形態において、ホストインターフェース部133は、コントローラ13内において第1縁部31aに寄せて配置されることが望ましく、例えばホスト装置2から命令が送られた場合、インターフェース部21はホスト装置2から信号を受け取り、基板11の配線パターンから半田ボール45aを介してホストインターフェース部133と信号のやり取りを行う。これによって半導体装置1の動作安定性の向上が図られる。

【0063】

また、ホストインターフェース部133と、基板11のインターフェース部21の間には、電子部品が実装されないことが望ましい。

【0064】

前述の通り、ホストインターフェース部133とインターフェース部21との間の配線距離が長い場合、信号配線のインピーダンス維持が困難になる、また、信号遅延の原因になる、などの問題が生じる。よって、ホストインターフェース部133とインターフェース部21とを接続する配線を最短距離で、すなわち直線的に行うために、ホストインターフェース部133とインターフェース部21の間に電子部品が実装されることは望ましくない。

【0065】

また、電源回路17やDRAM14等の電子部品は、動作時にノイズを伴う可能性がある。これらの電子部品がホストインターフェース部133とインターフェース部21との間に実装されないことで、ホストインターフェース部133とインターフェース部21との間で交換される信号がノイズを拾う可能性を低くし、半導体装置1の動作安定性の向上を図ることができる。

【0066】

メモリインターフェース部134は、NANDメモリ12と、CPU132及びバッファ131との間に位置する。メモリインターフェース部134は、コントローラ13とNANDメモリ12との間のインターフェース処理を行う。

【0067】

本実施形態では、メモリインターフェース部134はコントローラ13内において、基板11のインターフェース部21とは反対側の方向、すなわち第2縁部13b側に寄せて配置されている。この場合、メモリインターフェース部134とNANDメモリ12との配線距離を短くすることが可能になる。

【0068】

コントローラ13から送られる信号は、半田ボール45bを介して基板11の配線パターンへと伝わり、半田ボール35aからメモリチップ32へと伝えられる。これにより、配線距離が短くなり、半導体装置1の動作安定性の向上が図られる。

【0069】

さらに、コントローラ13のメモリインターフェース部134と、基板11上のNANDメモリ12との間にも、電源回路17やDRAM14等が実装されないことが望ましい。これは、メモリインターフェース部134とインターフェース部21との間で交換される信号がノイズを拾う可能性を低くし、半導体装置1の動作安定性の向上を図るためである。

【0070】

図8は、本実施形態に係る半導体装置1の接続関係を示した図である。尚、ここでは半導体装置1aと半導体装置1bとが接続される例を示す。尚、説明の便宜上、図8では半導体装置1a及び半導体装置1bの一部の構成を省略して示している。

【0071】

また、半導体装置1aには、パススルーコネクタ20a、コントローラ13a及びNANDメモリ12aが設けられ、半導体装置1bには、パススルーコネクタ20b、コントローラ13b及びNANDメモリ12bが設けられるとする。

【0072】

尚、以降の説明で例えば「パススルーコネクタ20」と表現した場合、その内容はパススルーコネクタ20aとパススルーコネクタ20bとに適用可能である。半導体装置1、コントローラ13、NANDメモリ12に関しても同様である。

【0073】

図8に示すように、本実施形態において半導体装置1aと半導体装置1bは、パススルーコネクタ20及びハーネス4を介して接続されている。尚、ハーネス4の数やパススルーコネクタ20の位置は、図8に限定されない。

【0074】

パススルーコネクタ20は、コントローラ13とNANDメモリ12と接続する基板11の内部配線（図示せず）と接続される。尚、コントローラ13とNANDメモリ12との接続方法は基板11の内部配線に限られない。

【0075】

ここで、半導体装置1bの故障により、コントローラ13bが機能しなくなった場合を考える。本実施形態では、半導体装置1bはパススルーコネクタ20bを有しており、ハーネス4を介して半導体装置1aと接続されている。半導体装置1bにおいてコントローラ13bが機能しないため、コントローラ13bを用いてNANDメモリ12bに格納されたデータを読み出すことができない。

【0076】

そこで本実施形態におけるコントローラ13は、ノーマルモードとパススルーモードの2種の動作を行うことが可能である。

【0077】

ノーマルモードでは、例えばホスト装置2から供給されるコマンド及びデータは、コントローラ13aによる入出力処理及び必要な論理・物理アドレス変換処理等を経た上で、NANDメモリ12aに格納（書き込み）される。また、NANDメモリ12aから読み出されたデータもコントローラ12aでの入出力処理を経てホスト装置2側に読み出される。半導体装置1bに関しても同様である。尚、コントローラ13aは、通常はノーマルモードで動作する。

【0078】

一方、パススルーモードでは、コントローラ13aはパススルーコネクタ20及びハーネス4を介して半導体装置1bのNANDメモリ12bにアクセス可能である。尚、コントローラ13は通常ノーマルモードで動作するが、所定の条件で（所定の入力・コマンド等に応じて）パススルーモードに切り替えられる。ここでの所定の入力・コマンド等は、例えばホスト装置2から与えられる。

【0079】

パススルーモードでは、コントローラ13aは半導体装置1bのNANDメモリ12b

にアクセスし、NANDメモリ12bに格納されたデータを読み出すことができる。よって、故障した半導体装置1bからデータを退避させることが可能である。

【0080】

図9は、本実施形態に係る半導体装置1bのデータ退避時におけるコントローラ13aの動作の一例を示したフローチャート図である。尚、半導体装置1bが故障していると仮定し、ホスト装置2が半導体装置1bの故障を認識した状態から説明する。

【0081】

コントローラ13aは、ホスト装置2からコマンドを受け取る(Step1.1)。ここでのコマンドは、コントローラ13aにパススルーモードへの切り替えを要求する。

【0082】

コマンドを受け取ったコントローラ13aは、ノーマルモードからパススルーモードへの切り替えが可能かを確認する(Step1.2)。半導体装置1がノーマルモードでデータの処理中(例えば、NANDメモリ12aへのデータの書き込み処理中や、NANDメモリ12aからのデータの読み出し処理中)の場合、パススルーモードへの移行が可能な状態になるまで待機する。

【0083】

パススルーモードへ移行可能な場合は、コントローラ13aはパススルーモードに移行し、半導体装置1bのNANDメモリ12bにアクセスする。その後、NANDメモリ12bからデータを読み出し、コントローラ13aのバッファ131aにデータを格納する(Step1.3)。

【0084】

次に、コントローラ13aは、NANDメモリ12aに書き込みが可能であるかを確認する(Step1.4)。換言すれば、コントローラ13aは、NANDメモリ12bから退避させたデータをNANDメモリ12aに書き込むための空き領域が有るかを確認する。

【0085】

NANDメモリ12aに空き領域がある場合、コントローラ13aは、Step1.3でバッファ131aに格納されたデータを読み出し、NANDメモリ12aに書き込み、データの退避を終了させる(Step1.5)。

【0086】

一方で、NANDメモリ12aへの書き込みが可能ではない場合、コントローラ13aは、Step1.3でバッファ131aに格納されたデータを読み出し、ホスト装置2にデータを送信し、データの退避を終了させる(Step1.6)。Step1.6でデータを受け取ったホスト装置2は、例えばSSDやハードディスクドライブ(HDD)、USBメモリやSDカード等の他の記憶装置にデータを格納しても良い。

【0087】

また、Step1.4でNANDメモリ12aに空き領域(フリーブロック)が無い場合、例えばガベージコレクション等の処理によって、NANDメモリ12aに空き領域を作り出しても良い。

【0088】

ガベージコレクションは、フリースペースを作り出すための動作である。このガベージコレクション動作は、NANDメモリ12a内のフリーブロックの個数を増やすため、有効データと無効データの混在する複数の消去ブロックを使用して、有効データの集約を行う。

【0089】

ガベージコレクション動作では、有効データと無効データとが混在する消去ブロック群から有効データがリードされ、該有効データは、ある消去ブロックにライトされる。この結果、有効データが特定のいくつかの消去ブロックに集められ、無効データのみになった消去ブロック群をフリーブロックとして再利用可能となる。

【0090】

以上の動作によって、NANDメモリ12aにNANDメモリ12bのデータ退避用の領域を確保して、データの退避を行っても良い。

【0091】

ここで、本実施形態において半導体装置1にパススルーコネクタ20が設けられていない場合を考える。この場合、半導体装置1の故障時にNANDメモリ12bにアクセスすることができず、NANDメモリ12bに格納されたデータの読み出しができなくなってしまう。

【0092】

また、半導体装置1にパススルー用の端子(コントローラ13を介さずに直接NANDメモリ12にアクセスするための端子)が備えられていれば、例えば外部の読み出し装置を用いてデータを読み出すことが可能であるが、一般にこのような用途で用いられる読み出し専用装置は高価なものが多い。

【0093】

そこで本実施形態において半導体装置1aは、パススルーコネクタ20を有しており、さらにコントローラ13aはパススルーモードに切り替えられることで、半導体装置1bに実装されたNANDメモリ12bに直接アクセスすることが可能である。

【0094】

このため、退避させるデータが格納されたNANDメモリ12bに直接アクセスし、当該データを半導体装置1aのNANDメモリ12aに直接退避させることができる。したがって、ホスト装置2や他の外部機器を介する必要が無いため、データ退避の工程を簡略化することができる。また、半導体装置1同士でデータのやり取りを行うので、外部の読み出し装置等の高価な装置を用いる必要もない。

【0095】

尚、本実施形態においてパススルーコネクタ20は、半導体装置1aと半導体装置1bとの接続の手段の一例にすぎず、例えば図10のように各種制御信号と各種入出力ポート信号を複数の接続手段によって接続する構成としても良い。

【0096】

(第2実施形態)

図11は、本実施形態に係る半導体装置1の外観を示す。図11において、(a)は平面図、(b)は下面図、(c)は側面図である。また図12は、第2実施形態に係る半導体装置1a及び半導体装置1bの接続時の構成を示した図である。尚、本実施形態の説明において、第1実施形態と同様の構成については、同様の符号を付して詳細な説明を省略する。

【0097】

図11に示すように、本実施形態に係る半導体装置1は、基板11の第2面11bに電源端子60及びパススルー端子50を備える。電源端子60は、半導体装置1を起動させるための端子で、例えば外部から電源を供給可能である。パススルー端子50は、外部からNANDメモリ12へ直接のアクセスを可能にする。

【0098】

パススルー端子50は、コントローラ13とNANDメモリ12と接続する基板11の内部配線(図示せず)の少なくとも一部と接続される。尚、コントローラ13とNANDメモリ12との接続方法は基板11の内部配線に限られない。

【0099】

図12に示すように、本実施形態において半導体装置1は、パススルー装置300と接続される。パススルー装置300は、パススルーコネクタ20、起動用コネクタ25、ベースボード30、起動用ピン70、及びパススルー用ピン40を備える。

【0100】

ベースボード30は、例えばガラスエポキシ樹脂等の材料で構成された略矩形状の回路基板である。ベースボード30は例えば多層の配線基板であり、図示されないグランド層、電源層、及び配線層を備える。

【0101】

起動用コネクタ25は、例えばホスト装置2と接続され、半導体装置1にホスト装置2からの電源を供給する。起動用コネクタ25はベースボード30に設けられ、図示されない内部配線によって起動用ピン70と電氣的に接続される。

【0102】

起動用ピン70は、ベースボード30に設けられたコンタクトプローブピンであり、半導体装置1の第2面11bに設けられた電源端子60と接続される。

【0103】

パススルー用ピン40は、ベースボード30に設けられたコンタクトプローブピンであり、半導体装置1の第2面11bに設けられたパススルー端子50と接続される。

【0104】

尚、起動用ピン70及びパススルー用ピン40は、必ずしも突出したコンタクトプローブピンである必要は無く、例えばソケット状の構成として半導体装置1と接続されても良い。

【0105】

パススルーコネクタ20はベースボード30に設けられ、図示されない内部配線によってパススルー用ピン40と電氣的に接続される。

【0106】

尚、上述した構成は、半導体装置1a及び半導体装置1b、パススルー装置300a及びパススルー装置300bに其々共通である。

【0107】

半導体装置1aと半導体装置1bとは、ハーネス4を介して接続される。具体的には、半導体装置1aが接続されたパススルー装置300aに備えられたパススルーコネクタ20aと、半導体装置1bが接続されたパススルー装置300bに備えられたパススルーコネクタ20bと、にハーネス4が接続される。

【0108】

以上の構成により、例えば半導体装置1bが故障した場合に、本実施形態の半導体装置1aは、半導体装置1bのNANDメモリ12bに直接アクセスし、第1実施形態と同様にNANDメモリ12bのデータを読み出すことが可能である。

【0109】

また、本実施形態ではパススルーコネクタ20を半導体装置1に設けず、パススルー装置300に設ける。これにより、半導体装置1にパススルーコネクタ20用の実装スペースを確保する必要が無く、半導体装置1のサイズ拡大を抑制可能である。

【0110】

また、本実施形態においてパススルー端子50は、半導体装置1の基板11の第2面11bに設けられる。このため、部品実装面である第1面11aの各部品の実装時に、パススルー端子50やパススルーコネクタ20等を実装するためのスペース等を考慮する必要がなくなる。

【0111】

尚、本実施形態においては、最低限、半導体装置1a及び半導体装置1bに設けられたパススルー端子50a及びパススルー端子50bが互いに接続され、半導体装置1a及び半導体装置1bに電源が供給される構成であれば、必ずしも図12のようにパススルー装置300を用いる必要は無い。

【0112】

以上、第1実施形態及び第2実施形態について説明したが、説明に用いた用語等はこれらに限定されない。例えば、前述したパススルーコネクタ20やパススルー端子50等は、半導体装置1aと半導体装置1bとを接続することから、まとめて接続部と称されても良い。

【0113】

上記のことから、「接続部」は、半導体装置1aのコントローラ13aが半導体装置1

bのNANDメモリ12b(NANDメモリ12bに格納されたデータ)に、直接にアクセス可能な構成であればよい。また、前述の「直接に」とは、例えばホスト装置2やコントローラ13b等を介さずにアクセスすることを指す。

【0114】

したがって、例えば第1実施形態において、半導体装置1aと半導体装置1bとは、例えば無線接続されても良い。換言すれば、「接続する」とは、配線のみでなく、無線接続も含まれる。またこの場合、接続部は必ずしも基板11に設けられる必要は無く、例えば、コントローラ13の機能の一部として設けられても良いし、NANDメモリ12のパッケージ内に設けられても良い。

【0115】

尚、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具現化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【符号の説明】

【0116】

1：半導体装置、2：ホスト装置(デタッチャブルノートPC)、3：コネクタ、4：ハーネス、11：基板、12：NANDメモリ、13：コントローラ、14：DRAM、15：オシレータ(OSC)、16：EEPROM、17：電源回路、18：温度センサ、19：他の電子部品、20：パススルーコネクタ、21：インターフェース部、25：起動用コネクタ、30：ベースボード、31：パッケージ基板、32：メモリチップ、33：ボンディングワイヤ、34：封止部、35：半田ボール、38：マウントフィルム、40：パススルー用ピン、41：パッケージ基板、42：コントローラチップ、43：ボンディングワイヤ、44：封止部、45：半田ボール、48：マウントフィルム、50：パススルー端子、60：電源端子、70：起動用ピン、100：システム、110：表示部、120：キーボード部、130：接続部、131：バッファ、132：CPU、133：ホストインターフェース部、134：メモリインターフェース部、135：制御部、136：切り替え部、201：ポータブルコンピュータ、202：筐体、203：表示モジュール、205：マザーボード、206：保護板、207：ベース、208：フレーム、210：実装部、211：バンパー部、212：第1の実装スペース、213：第2の実装スペース、214：タッチパネル、224：基板、225：回路部品。

【書類名】特許請求の範囲

【請求項1】

ホスト装置と接続可能なインターフェース部が設けられた第一基板と、
前記第一基板に実装された第一メモリと、
前記第一基板に実装されるとともに、前記第一メモリを制御する制御部と、前記ホスト装置からのコマンドに応じて動作モードの切り替えを行う切り替え部と、を備えた第一コントローラと、
前記第一基板に設けられ、前記第一メモリ及び前記第一コントローラと電氣的に接続された第一接続部と、
を有し、
前記第一コントローラは、
前記切り替え部による前記切り替えに応じて、前記第一接続部を介して外部の第二メモリにアクセスし、該第二メモリに格納されたデータを読み出す半導体装置。

【請求項2】

前記第一コントローラは、
前記第二メモリから読み出した前記データを前記第一メモリに書き込むことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第一コントローラは、
前記第二メモリからの前記データの読み出しに応じて前記第一メモリに書き込みが可能かを確認し、書き込みが可能な場合、前記第二メモリから読み出した前記データを前記第一メモリに書き込むことを特徴とする請求項2に記載の半導体装置。

【請求項4】

前記第一コントローラは、
前記第二メモリからの前記データの読み出しに応じて前記第一メモリに書き込みが可能かを確認し、書き込みが不可能でない場合、前記第二メモリから読み出した前記データを前記ホスト装置に送信することを特徴とする請求項2又は請求項3に記載の半導体装置。

【請求項5】

前記第一コントローラは、
前記第二メモリからの前記データの読み出しに応じて前記第一メモリに書き込みが可能かを確認し、書き込みが不可能でない場合、前記第一メモリのガベージコレクション処理を行い、前記第二メモリから読み出した前記データを前記第一メモリに書き込むことを特徴とする請求項2又は請求項3に記載の半導体装置。

【請求項6】

前記第二メモリは、
第二コントローラが実装された第二基板に実装され、
前記第二基板は、
前記第二メモリ及び前記第二コントローラと電氣的に接続された第二接続部を有し、前記第一接続部と前記第二接続部とが電氣的に接続されることを特徴とする請求項1乃至請求項5のいずれか一項に記載の半導体装置。

【請求項7】

第一メモリと、
前記第一メモリを制御するコントローラと、
前記第一メモリと前記コントローラとを電氣的に接続した配線と、
前記配線と接続された接続部と、
を有し、
前記コントローラは、
前記接続部を介して、第二メモリにアクセス可能である半導体装置。

【請求項8】

第一メモリと、

前記第一メモリにアクセスし、所定の条件で第二メモリへのアクセスに切り替えるコントローラと、

前記第二メモリに接続可能な接続部と、
を有した半導体装置。

【書類名】要約書

【要約】

【課題】本発明の実施形態は、半導体装置の効率的なデータ退避を可能にする。

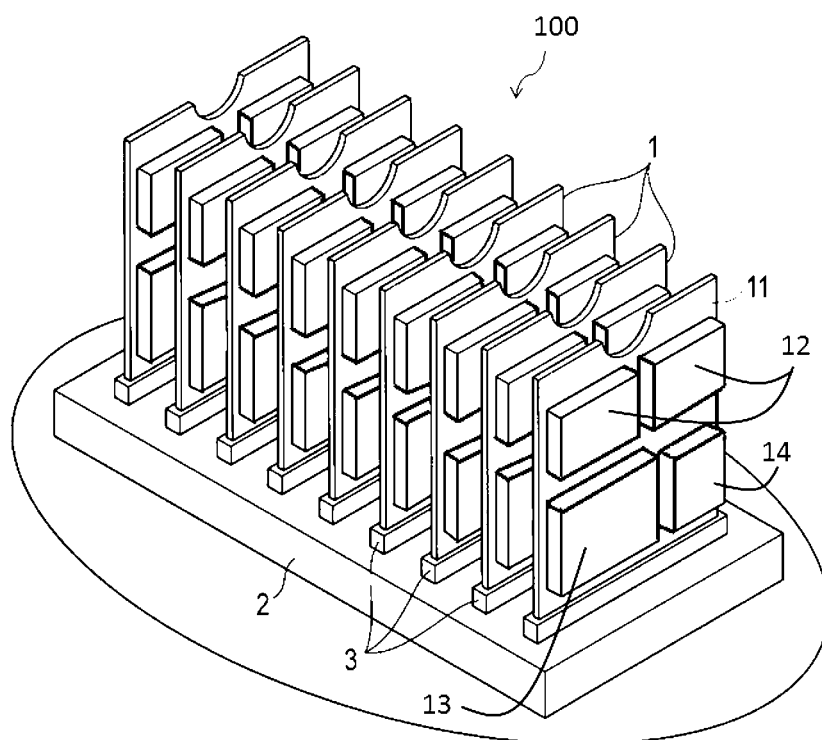
【解決手段】実施形態の半導体装置は、ホスト装置と接続可能なインターフェース部が設けられた第一基板と、前記第一基板に実装された第一メモリと、前記第一基板に実装されるとともに、前記第一メモリを制御する制御部と、前記ホスト装置からのコマンドに応じて動作モードの切り替えを行う切り替え部と、を備えた第一コントローラと、前記第一基板に設けられ、前記第一メモリ及び前記第一コントローラと電氣的に接続された第一接続部と、を有し、前記第一コントローラは、前記切り替え部による前記切り替えに応じて、前記第一接続部を介して外部の第二メモリにアクセスし、該第二メモリに格納されたデータを読み出す。

【選択図】図8

【書類名】図面

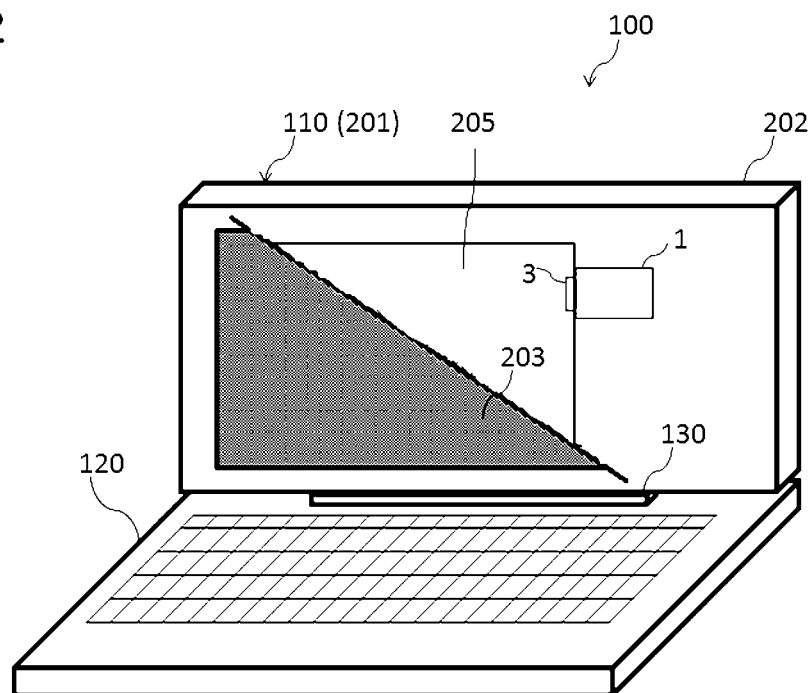
【図1】

図1



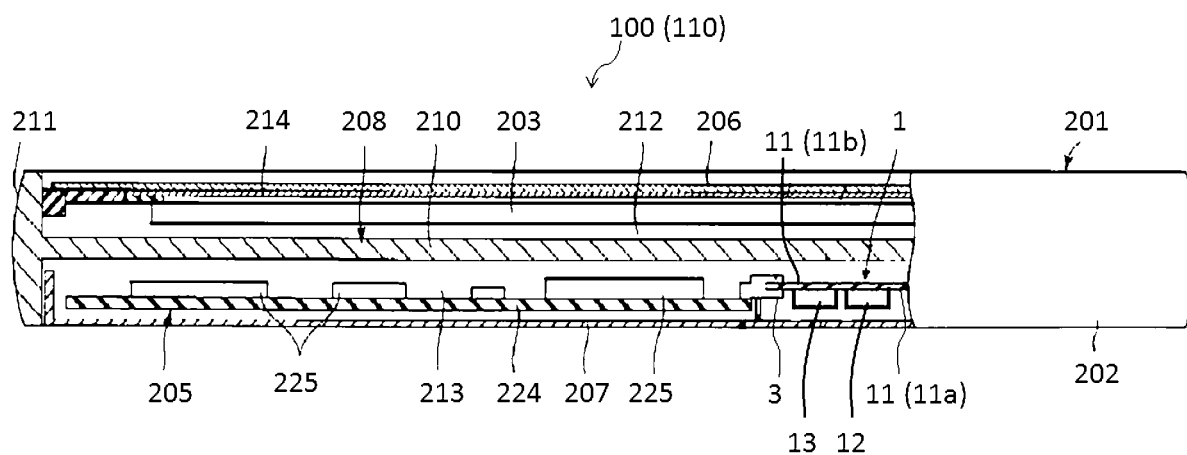
【図2】

図2

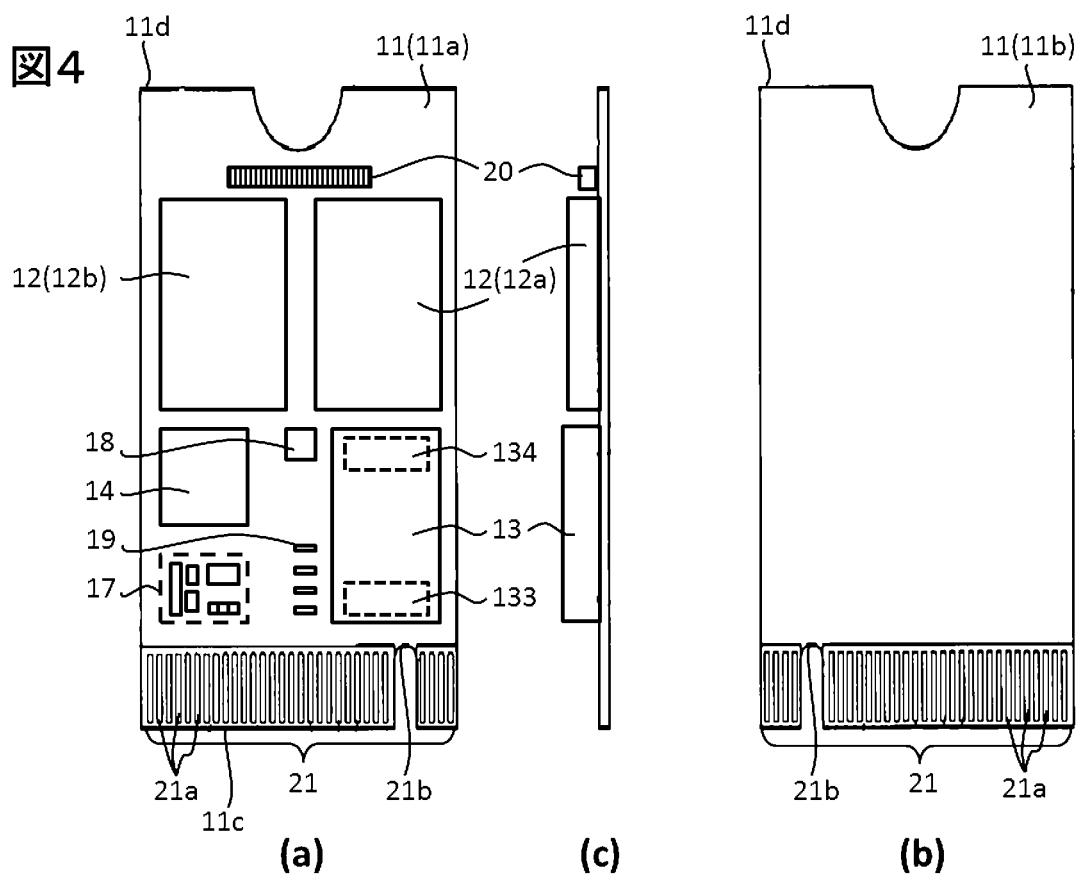


【図3】

図3

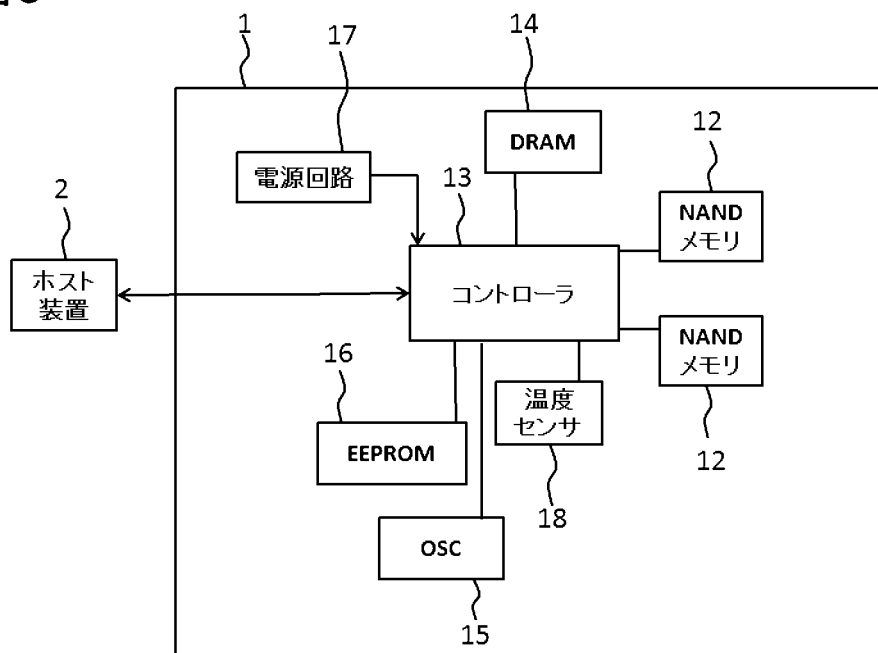


【図4】



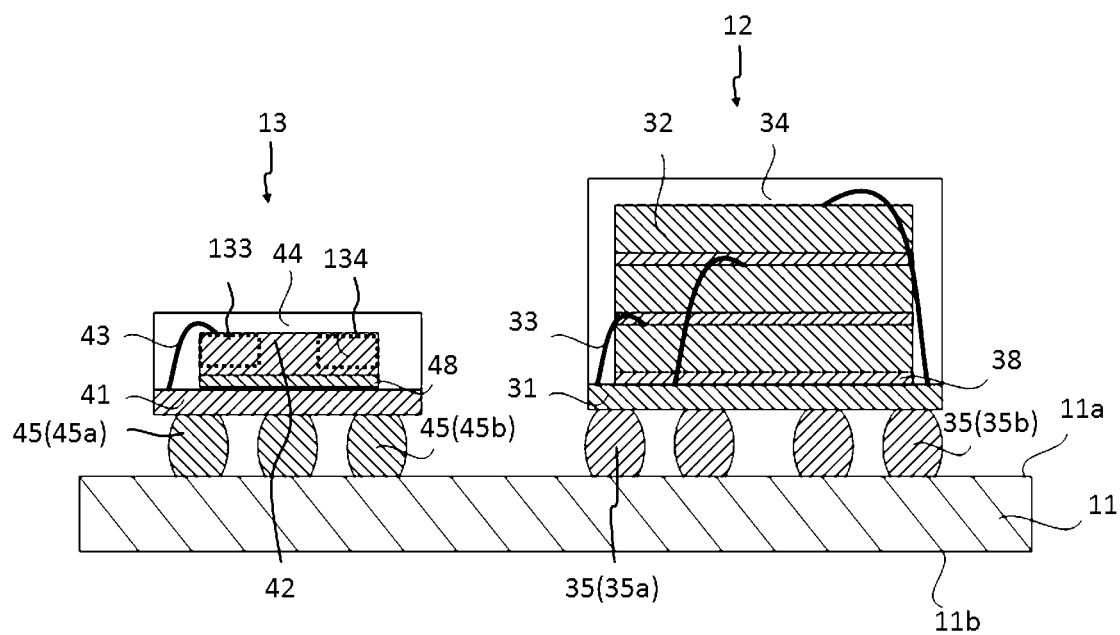
【図5】

図5



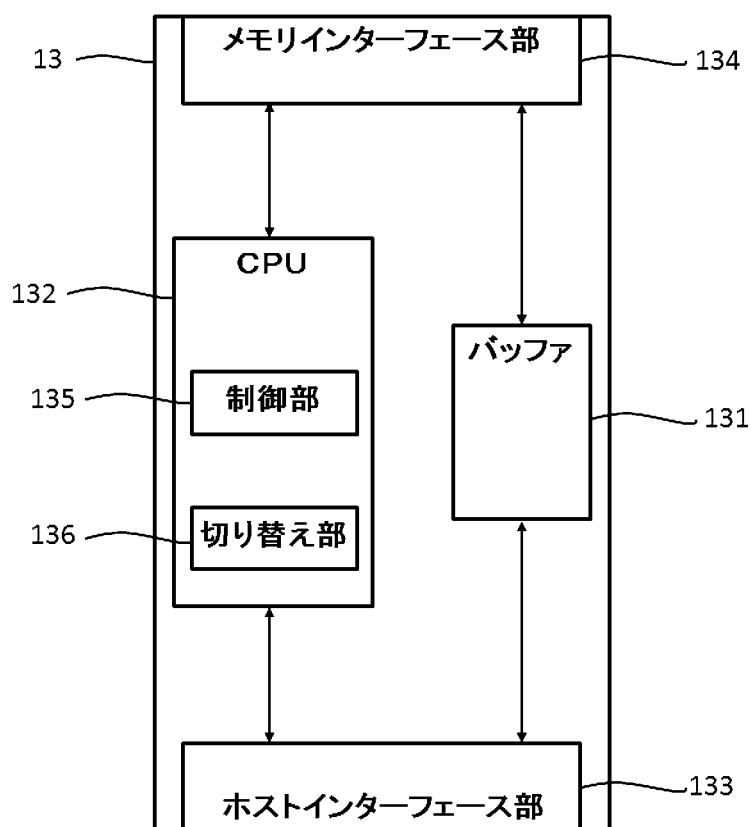
【図6】

図6



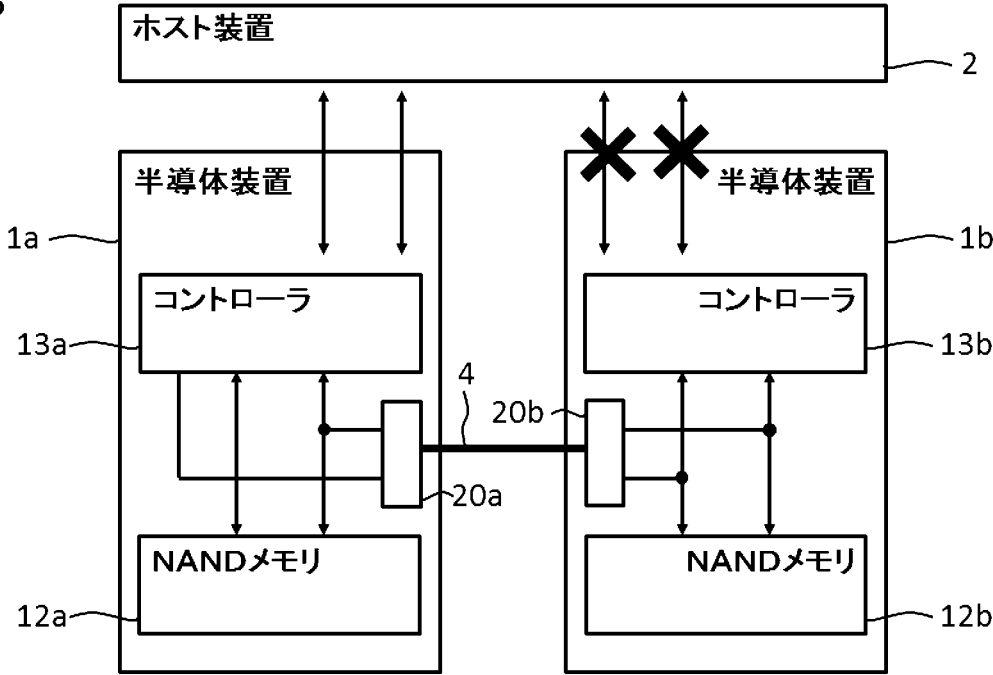
【図7】

図7



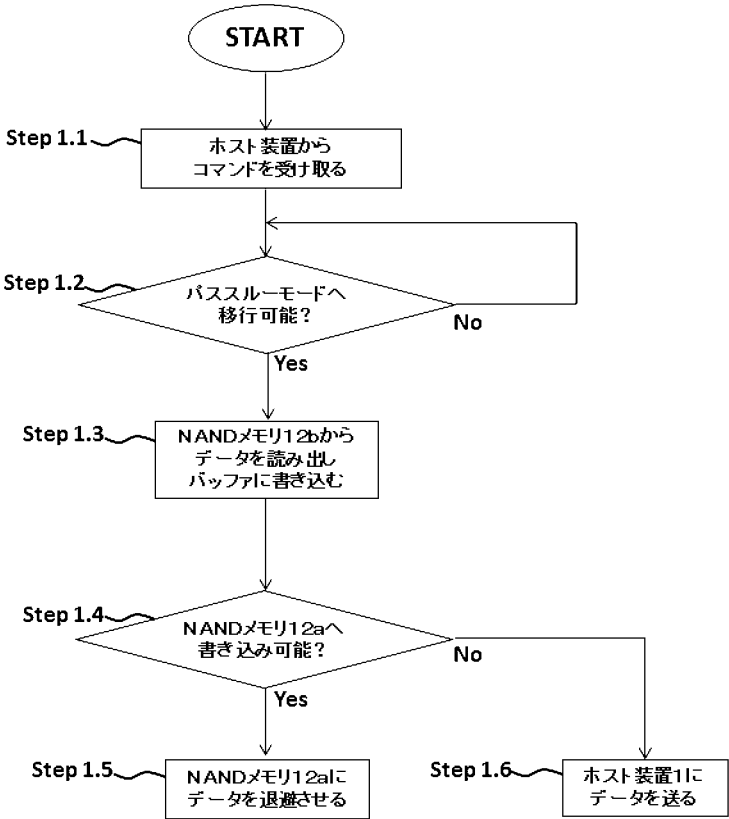
【図 8】

図 8



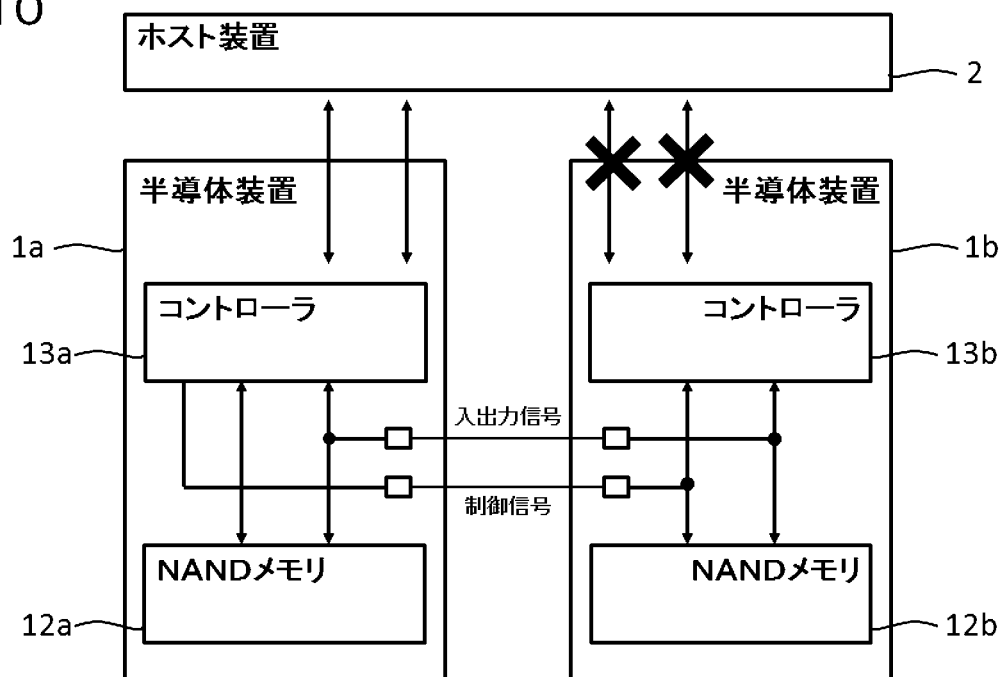
【図 9】

図 9



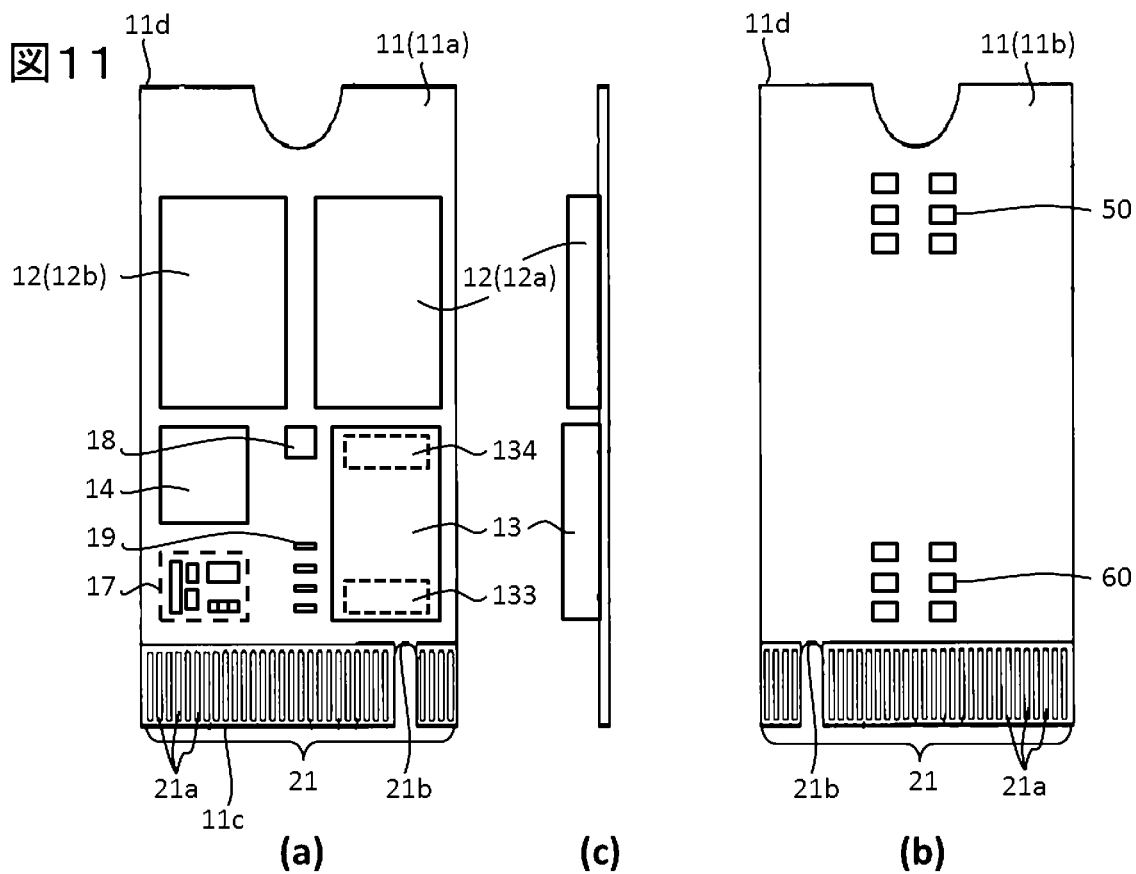
【図10】

図10



【図11】

図11



【図12】

図12

