

【書類名】明細書

【発明の名称】電圧切替回路および電源装置

【技術分野】

【0001】

本発明の実施形態は、電圧切替回路および電源装置に関する。

【背景技術】

【0002】

第1および第2端子間の導通または遮断を切り替えるとともに、この切替に応じて第1および第2端子の電圧のいずれかを選択する電圧切替回路は、その内部に電圧選択回路と制御回路を備えており、制御回路からの制御信号の論理により、電圧選択回路で選択する電圧を切り替えている。

【0003】

しかしながら、制御回路は、電源電圧を与えない限り制御信号を生成できないため、電圧切替回路の外部から制御回路用の電源電圧を与える必要がある。この場合、電圧切替回路の入力端子数が増えてしまい、また、電圧切替回路とは別個に、制御回路用の電源電圧を生成する回路が必要となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2015-12687号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の実施形態は、専用の電源電圧を必要とせずに、第1および第2端子間の導通または遮断の切替と、第1または第2端子の電圧選択とを行うことが可能な電圧切替回路および電源装置を提供するものである。

【課題を解決するための手段】

【0006】

~~実施形態に係る電圧切替回路は、第1端子および第2端子と、
前記第1端子あるいは第2端子の少なくとも一方の電圧に基づいて第1電圧を生成する第1電圧生成回路と、
前記第1電圧を電源電圧として利用して第1制御信号を生成する第1制御回路と、
前記第1電圧を電源電圧として利用して、前記第1制御信号に基づいて前記第1端子の電圧と前記第2端子の電圧とのいずれか一方を選択する電圧選択回路と、
前記電圧選択回路が選択した電圧に基づいて、前記第1端子と前記第2端子との間を電氣的に導通させるか、電氣的に遮断するかを切り替えるスイッチング素子と、を備える。~~

【図面の簡単な説明】

【0007】

【図1】第1の実施形態による電圧切替回路1の概略構成を示すブロック図。

【図2】図1のバイアス電圧生成回路10の内部構成の一例を示す回路図。

【図3】図2の第1電流源11と第2電流源12をより具体化した一例を示す回路図

。

【図4】図1の電源供給切替回路30の第1例の回路図。

【図5】図1の電源供給切替回路30の第2例の回路図。

【図6】電源供給切替回路30の第3例の回路図。

【図7】電源供給切替回路30の第4例の回路図。

【図8】電源供給切替回路30の第5例の回路図。

【図9】電源供給切替回路30の第6例の回路図。

【図10】電源供給切替回路30の第7例の回路図。

【図11】電源供給切替回路30の第8例の回路図。

【図12】一実施形態による電源装置2の概略構成を示すブロック図。

【発明を実施するための形態】

【0008】

以下、図面を参照して本発明の実施形態を説明する。以下の実施形態では、電圧切替回路および電源装置内の特徴的な構成および動作を中心に説明するが、電圧切替回路および電源装置には以下の説明で省略した構成および動作が存在しうる。ただし、これらの省略した構成および動作も本実施形態の範囲に含まれるものである。

【0009】

(第1の実施形態)

図1は第1の実施形態による電圧切替回路1の概略構成を示すブロック図である。図1の電圧切替回路1は、第1および第2端子T1、T2と、バイアス電圧生成回路(第1電圧生成回路)10と、制御回路20と、電圧選択回路30と、レギュレータ回路40と、スイッチング素子50と、ゲート制御回路60と、制御回路70とを備えている。

【0010】

第1および第2端子T1、T2は、スイッチング素子50のオンまたはオフにより、電氣的に導通または遮断される。第1端子T1には、例えば図1では不図示の直流電圧生成回路から直流電圧が供給される。第2端子T2には、例えば図1では不図示の二次電池が接続されて、第2端子T2の電圧VOUTにより二次電池を充電可能となる。第1および第2端子T1、T2間が電氣的に遮断された場合は、二次電池に充電された直流電圧を、第2端子T2からレギュレータ回路40に供給して、内部電源電圧を生成することができる。

【0011】

バイアス電圧生成回路10は、第1および第2端子T1、T2の電圧VIN、VOUTに基づいてバイアス電圧(第1電圧)VBを生成する。このバイアス電圧VBは、電圧選択回路30と制御回路20の電源電圧として利用される。このように、電圧選択回路30と制御回路20の電源電圧を、電圧切替回路1の外部から供給するのではなく、電圧切替回路1内で生成することは、本実施形態の特徴の一つである。

【0012】

制御回路20は、電圧切替回路1の外部から入力される制御信号REV_ENをバッファリングして、電圧選択回路30を切替制御する第1制御信号SWCNTを出力する。

【0013】

電圧選択回路30は、第1制御信号SWCNTの論理に基づいて、第1端子T1の電圧VINと第2端子T2の電圧VOUTとのいずれか一方を選択して出力する。電圧選択回路30の出力電圧VSOUTは、レギュレータ回路40とゲート制御回路60に供給される。

【0014】

レギュレータ回路40は、電圧選択回路30の出力電圧VSOUTを電源電圧として利用して、内部電源電圧を生成する。この内部電源電圧は、制御回路70とゲート制御回路60に供給される他、不図示の内部回路で用いられる。

【0015】

制御回路70は、レギュレータ回路40からの内部電源電圧を電源電圧として利用して、電圧切替回路1の外部から入力された制御信号ENをバッファリングして制御信号GATECNTを生成する。

【0016】

ゲート制御回路60は、その内部に、不図示のチャージポンプ回路とスルーレート制御回路などを有し、制御信号GATECNTの電圧レベルの変換および波形調整を行って、スイッチング素子50のゲート電圧を生成する。

【0017】

スイッチング素子50は、ゲート制御回路60からのゲート電圧に応じて、オンまたはオフする。スイッチング素子50がオンすると、第1および第2端子T1、T2は電氣的に導通状態となり、第1および第2端子T1、T2はほぼ同電圧となる。

【0018】

図1の電圧切替回路1の第1端子T1に直流電圧生成回路が接続され、第2端子T2に二次電池が接続された初期状態では、例えば、電圧選択回路30は第1端子T1の電圧VINを選択する。この状態で、制御信号ENが例えばローになると、スイッチング素子50がオンして、第1端子T1の電圧VINが第2端子T2に供給されて、二次電池の充電が行われる。この状態では、レギュレータ回路40は、第1端子T1の電圧VINを利用して内部電源電圧を生成する。

【0019】

その後、第1端子T1から直流電圧生成回路が切り離されると、例えば、二次電池の充電電圧によって駆動される内部回路からの指示により、制御信号REV_ENの論理を反転させることができる。これにより、電圧選択回路30は、第2端子T2の電圧VOUT、すなわち二次電池の充電電圧を選択する。よって、レギュレータ回路40は、第2端子T2の電圧VOUTを利用して、内部電源電圧を生成する。また、第1端子T1には、二次電池の充電電圧によって駆動される各種電子機器を接続することができる。

【0020】

このように、第1端子T1に直流電圧が供給されている場合は、第1端子T1の電圧VINを利用して二次電池の充電とレギュレータ回路40での内部電源電圧の生成とを行い、第1端子T1から直流電圧生成回路が切り離されると、第2端子T2の電圧VOUTを利用して二次電池から第1端子T1側に接続された各種電子機器に電力を供給するとともに、レギュレータ回路40での内部電源電圧の生成を行う。これにより、レギュレータ回路40が生成した内部電源電圧で駆動される内部回路（例えば、IC等）を、外部の電源電圧と二次電池とのいずれでも駆動できる。

【0021】

図2は図1のバイアス電圧生成回路10の内部構成の一例を示す回路図である。図2のバイアス電圧生成回路10は、第1電流源11と、第2電流源12と、第1整流回路13とを有する。第1電流源11は、第1端子T1とバイアス電圧生成回路10の出力ノードとの間に接続されている。第2電流源12は、第2端子T2とバイアス電圧生成回路10の出力ノードとの間に接続されている。

【0022】

第1整流回路13は、バイアス電圧生成回路10の出力ノードから接地ノード（基準電圧ノード）への電流経路を有し、接地ノードから出力ノードへの逆方向の電流を阻止する。第1整流回路13は、バイアス電圧生成回路10の出力ノードと接地ノードとの間に、それぞれがダイオード接続された複数トランジスタを直列接続した回路である。直列接続するトランジスタの段数により、バイアス電圧VBの電圧レベルを制御できる。例えば、ダイオード接続されたトランジスタの1段分のゲートソース間電圧は約0.6～0.7Vであるため、3段トランジスタが直列接続されている場合には、バイアス電圧VBは、約1.8～2.1Vとなる。

【0023】

一般に、n個トランジスタを直列接続すると、各トランジスタのゲートソース間電圧をVGSとすると、バイアス電圧VBは、以下の(1)式で表される。

【0024】

$$VB = n \times VGS \quad \cdots (1)$$

【0025】

第1整流回路13内の各トランジスタには、第1電流源11と第2電流源12の少なくとも一方からの電流が流れる。そこで、各トランジスタに流れる電流をI1とし、各トランジスタの電流増幅率を β_0 、各トランジスタのゲート幅をW、ゲート長をL、閾値電圧をVthnとすると、(1)式は(2)式のようにになる。

【0026】

【数 1】

$$V_B = n \times V_{GS}$$

$$= n \times \left\{ \sqrt{\frac{2 \times I_1}{\beta_o \times \left(\frac{W}{L}\right)}} + V_{thn} \right\} \quad \dots (2)$$

【0027】

図3は図2の第1電流源11と第2電流源12をより具体化した一例を示す回路図である。図3の第1電流源11は、第1端子T1とバイアス電圧生成回路10の出力ノードとの間に直列接続される第1カレントミラー回路14を有し、この第1カレントミラー回路14には、第2整流回路15が接続されている。第2電流源12は、第2端子T2とバイアス電圧生成回路10の出力ノードとの間に直列接続される第2カレントミラー回路16を有し、この第2カレントミラー回路16には第3整流回路17が接続されている。

【0028】

第1カレントミラー回路14は、ソース同士を第1端子T1に導通させて、ゲート同士を短絡させた2つのPMOSトランジスタM101、M102と、トランジスタM101のドレインおよびゲートと接地ノードとの間に接続される抵抗素子R101とを有する。第2整流回路15は、第1カレントミラー回路14からバイアス電圧生成回路10の出力ノードへの電流経路を有し、出力ノードから第1カレントミラー回路14への逆方向の電流を阻止する。第2整流回路15は、ダイオード接続されたNMOSトランジスタDD1を有する。第2整流回路15は、第1端子T1の電圧VINがバイアス電圧VBよりも高いときは、第1端子T1からバイアス電圧生成回路10の出力ノードに電流を流すが、逆方向の電流は阻止する。これにより、バイアス電圧生成回路10の出力ノードから第1端子T1への電流の逆流を防止できる。

【0029】

第2カレントミラー回路16は、ソース同士を第2端子T2に導通させて、ゲート同士を短絡させた2つのPMOSトランジスタM103、M104と、トランジスタM103のドレインおよびゲートと接地ノードとの間に接続される抵抗素子R102とを有する。

【0030】

第3整流回路17は、第2カレントミラー回路16からバイアス電圧生成回路10の出力ノードへの電流経路を有し、出力ノードから第2カレントミラー回路16への逆方向の電流を阻止する。第3整流回路17は、ダイオード接続されたNMOSトランジスタDD2を有する。第3整流回路17は、第2端子T2の電圧VOUTがバイアス電圧VBよりも高いときは、第2端子T2からバイアス電圧生成回路10の出力ノードに電流を流すが、逆方向の電流は阻止する。これにより、バイアス電圧生成回路10の出力ノードから第2端子T2への電流の逆流を防止できる。

【0031】

第1電流源11を流れる電流I1と第2電流源12を流れる電流I2はそれぞれ、以下の(3)式および(4)式で表される。(4)式のMはトランジスタM101に対するトランジスタM102のサイズ比、NはトランジスタM103に対するトランジスタM104のサイズ比、VCS_M101はトランジスタM101のゲートドレイン間電圧、VCS_M102はトランジスタM102のゲートドレイン間電圧である。

【0032】

$$I_1 = M \times (V_{IN} - V_{CS_M101}) / R_{101} \quad \dots (3)$$

$$I_2 = N \times (V_{IN} - V_{CS_M102}) / R_{102} \quad \dots (4)$$

【0033】

このように、図3のバイアス電圧生成回路10では、逆流防止用のダイオード接続されたトランジスタDD1、DD2を第1電流源11と第2電流源12に接続しているため、バイアス電圧生成回路10の出力ノードから第1および第2端子T1、T2に電流が逆流するおそれなくなり、バイアス電圧VBをより安定化させることができる。また、図3および図3のバイアス電圧生成回路10では、第1および第2端子T1、T2の電圧VIN、VOUTのうち少なくとも一方の電圧にてバイアス電圧VBを生成できるため、第1または第2端子T2のどちらか一方に電圧がかかっているならば、正常なバイアス電圧VBを生成できる。

【0034】

図4は図1の電圧選択回路30の第1例の回路図である。図4の電圧選択回路30は、第1～第4トランジスタM303、M304、M301、M302と、制御回路（第2制御回路）31と、第3および第4電流源32、33とを有する。

【0035】

第1トランジスタM303は、第1端子T1と電圧選択回路30の出力ノードT4とを電氣的に導通するか、電氣的に遮断するかを切り替える。第1トランジスタM303は、例えばPMOSトランジスタであり、そのゲートと第1端子T1との間には抵抗素子R301が接続され、ソースは第1端子T1に接続され、ドレインは電圧選択回路30の出力ノードT4に接続されている。

【0036】

第2トランジスタM304は、第2端子T2と電圧選択回路30の出力ノードT4とを電氣的に導通するか、電氣的に遮断するかを切り替える。第2トランジスタM304は、例えばPMOSトランジスタであり、そのゲートと第2端子T2との間には抵抗素子R302が接続され、ソースは第2端子T2に接続され、ドレインは電圧選択回路30の出力ノードT4に接続されている。第2トランジスタM304は、オンしたときに第2端子T2と電圧選択回路30の出力ノードT4とを電氣的に導通し、オフしたときに第2端子T2と電圧選択回路30の出力ノードT4とを電氣的に遮断する。

【0037】

第3トランジスタM301は、第1トランジスタM303のオンまたはオフを制御する。第3トランジスタM301は例えばNMOSトランジスタである。第3トランジスタM301のゲートは制御回路31の第1出力ノードに接続され、ドレインは第1トランジスタM303のゲートに接続され、ソースは第3電流源に接続されている。

【0038】

第4トランジスタM302は、第2トランジスタM304のオンまたはオフを制御する。第4トランジスタM302は例えばNMOSトランジスタである。第4トランジスタM302のゲートは制御回路31の第2出力ノードに接続され、ドレインは第2トランジスタM304のゲートに接続され、ソースは第4電流源に接続されている。

【0039】

制御回路31は、直列接続された複数（例えば2個）のインバータINV1、INV2を有する。インバータINV1は、制御回路20の出力信号SWCNTを入力し、出力信号SWCNTの論理を反転した信号を第1出力ノードへ出力する。インバータINV2は制御回路20の出力信号SWCNTと同論理の信号を第2出力ノードへ出力する。制御回路31は、バイアス電圧生成回路10が生成したバイアス電圧VBを電源電圧として利用する。すなわち、制御回路31内の各インバータINV1、INV2は、バイアス電圧VBを電源電圧として利用して、入力信号の反転動作を行う。

【0040】

図4の電圧選択回路30では、制御回路20の出力信号SWCNTがローの場合は、第3トランジスタM301がオンし、これにより、第3トランジスタM301のドレイン電圧すなわち第1トランジスタM303のゲート電圧が下がって、第1トランジスタM303がオンし、第1端子T1の電圧VINが電圧選択回路30から出力される。逆に、制御回路20の出力信号SWCNTがハイの場合は、第4トランジスタM302がオンし、こ

れにより、第4トランジスタM302のドレイン電圧すなわち第2トランジスタM304のゲート電圧が下がって、第2トランジスタM304がオンし、第2端子T2の電圧VOUTが電圧選択回路30から出力される。

【0041】

このように、図4の電圧選択回路30は、バイアス電圧生成回路10で生成されるバイアス電圧VBを電源電圧として利用して、出力信号SWCNTに基づいて第1端子T1の電圧VINと第2端子T2の電圧VOUTとの電圧切替を行う。また、バイアス電圧生成回路10は第1および第2端子T1, T2の電圧VIN, VOUTのうち少なくとも一方の電圧にてバイアス電圧VBを生成する。よって、電圧選択回路30は電圧切替回路1の外部から電源電圧を供給する必要がない。従って、電圧切替回路1の入力端子数を削減できるとともに、電圧切替回路1の外部に、電源電圧を生成する回路を設ける必要がなくなる。

【0042】

図5は図1の電圧選択回路30の第2例の回路図である。図5の電圧選択回路30は、図4の電圧選択回路30の回路構成に加えて、第5トランジスタM305と第6トランジスタM306とを有する。

【0043】

第5トランジスタM305は、第1端子T1と電圧選択回路30の出力ノードT4の間で、第1トランジスタM303に直列接続されている。第5トランジスタM305は、例えばPMOSトランジスタである。第5トランジスタM305のゲートは第1トランジスタM303のゲートに接続され、第5トランジスタM305のドレインは第1トランジスタM303のドレインに接続され、第5トランジスタM305のソースは電圧選択回路30の出力ノードT4に接続されている。第5トランジスタM305のソースはバックゲートに接続されており、第1トランジスタM303のソースもバックゲートに接続されている。これにより、第1端子T1と電圧選択回路30の出力ノードT4との間には、等価的に、図5に破線で示すように、2つの寄生ダイオードを逆向きに接続した回路が接続されることになる。

【0044】

同様に、第6トランジスタM306は、第2端子T2と電圧選択回路30の出力ノードT4の間で、第2トランジスタM304に直列接続されている。第6トランジスタM306は、例えばPMOSトランジスタである。第6トランジスタM306のゲートは第2トランジスタM304のゲートに接続され、第6トランジスタM306のドレインは第2トランジスタM304のドレインに接続され、第6トランジスタM306のソースは電圧選択回路30の出力ノードT4に接続されている。第6トランジスタM306のソースはバックゲートに接続されており、第2トランジスタM304のソースもバックゲートに接続されている。これにより、第2端子T2と電圧選択回路30の出力ノードT4との間には、図5に破線で示すように、2つの寄生ダイオードを逆向きに接続した回路が接続されることになる。なお、図5では、第1および第5トランジスタM303, M305の各ドレイン同士を接続し、第2および第6トランジスタM304, M306の各ドレイン同士を接続しているが、各ソース同士を接続してもよい。

【0045】

図5の電圧選択回路30では、制御回路20の出力信号SWCNTがローの場合は、第3トランジスタM301がオンし、これにより、第3トランジスタM301のドレイン電圧すなわち第1および第5トランジスタM303, M305のゲート電圧が下がって、第1および第5トランジスタM303, M305がオンし、第1端子T1の電圧VINが電圧選択回路30から出力される。このとき、第4トランジスタM302はオフであり、よって、第2トランジスタM304と第6トランジスタM306もオフである。このため、等価的には、第2端子T2と電圧選択回路30の出力ノードT4との間に、図5に破線で示したように、2つの寄生ダイオードが逆向きに接続されていることから、第2端子T2と電圧選択回路30との間の電流経路が確実に遮断される。よって、電圧選択回路30の

【0046】

逆に、制御回路20の出力信号SWCNTがハイの場合は、第4トランジスタM302がオンし、これにより、第4トランジスタM302のドレイン電圧すなわち第2および第6トランジスタM304、M306のゲート電圧が下がって、第2および第6トランジスタM304、M306がオンし、第2端子T2の電圧VOUTが電圧選択回路30から出力される。このとき、第3トランジスタM301はオフであり、よって、第1トランジスタM303と第5トランジスタM305もオフである。このため、等価的には、第1端子T1と電圧選択回路30の出力ノードT4との間に、図5に破線で示したように、2つの寄生ダイオードが逆向きに接続されていることから、第1端子T1と電圧選択回路30との間の電流経路が確実に遮断される。よって、電圧選択回路30から第1端子T1に電流が逆流するおそれもなくなる。

【0047】

このように、図5の電圧選択回路30では、第5トランジスタM305と第6トランジスタM306を設けることで、電圧選択回路30の出力ノードT4から第1または第2端子T1、T2への電流の逆流を防止できる。

【0048】

図6は電圧選択回路30の第3例の回路図である。図6の電圧選択回路30は、第1および第2端子T1、T2の電圧VIN、VOUTが高電圧の場合の回路図である。図6の電圧選択回路30は、図4の回路構成に加えて、第7トランジスタM307と第8トランジスタM308とを有する。

【0049】

第7トランジスタM307は、第3トランジスタM301に直列接続されている。第7トランジスタM307は、バイアス電圧生成回路10で生成されたバイアス電圧VBに応じてオンまたはオフする。第7トランジスタM307は、例えばNMOSトランジスタである。第7トランジスタM307のゲートにはバイアス電圧VBが供給され、ドレインは第1トランジスタM309のゲートに接続され、ソースは第3トランジスタM301のドレインに接続されている。

【0050】

第8トランジスタM308は、第4トランジスタM302に直列接続されている。第8トランジスタM308は、バイアス電圧生成回路10で生成されたバイアス電圧VBに応じてオンまたはオフする。第8トランジスタM308は、例えばNMOSトランジスタである。第8トランジスタM308のゲートにはバイアス電圧VBが供給され、ドレインは第2トランジスタM310のゲートに接続され、ソースは第4トランジスタM302のドレインに接続されている。

【0051】

図6の第1トランジスタM309のソースはバックゲートに接続され、第2トランジスタM310のソースもバックゲートに接続されている。第1および第2トランジスタM309、M310は、ドレインーソース間に高電圧がかかっても破壊しないように高耐圧構造にしている。

【0052】

同様に、第7トランジスタM307のソースはバックゲートに接続され、第8トランジスタM308のソースもバックゲートに接続されている。第7および第8トランジスタM307、M308は、ドレインーソース間に高電圧がかかっても破壊しないように高耐圧構造にしている。

【0053】

このように、図6の電圧選択回路30では、第1および第2端子T1、T2の電圧VIN、VOUTレベルが高くても、第3および第4トランジスタM301、M302のドレインーソース間に、耐圧以上の電圧が印加されないように、高耐圧構造の第7および第8トランジスタM307、M308を接続して、第3および第4トランジスタM301、M

302のドレインソース間電圧を固定にしている。

【0054】

より具体的には、第7および第8トランジスタM307, M308は、バイアス電圧VBに応じて、ドレインソース間電圧を任意に調整することができる。よって、第1および第2端子T1, T2の電圧VIN, VOUTに応じてバイアス電圧VBを最適化することで、第3および第4トランジスタM301, M302のドレインソース間電圧が耐圧オーバーにならないように制御することができる。

【0055】

また、第1および第2端子T1, T2と電圧選択回路30との間に高電圧がかかっても第1および第2トランジスタM309, M310が耐圧オーバーにならないように、第1および第2トランジスタM309, M310も高耐圧構造にしている。これにより、図6の電圧選択回路30は、高電圧の切替を安全かつ確実に行うことができる。

【0056】

図7は電圧選択回路30の第4例の回路図である。図7の電圧選択回路30は、図6の電圧選択回路30の回路構成に加えて、図5と同様の第5および第6トランジスタM311, M312を追加したものである。ただし、第5および第6トランジスタM311, M312は、高耐圧構造にしている。

【0057】

図7の第1および第2端子T1, T2には高電圧が印加されるおそれがあるため、図7の第5および第6トランジスタM311, M312は高耐圧構造にしている。また、図5と同様に、第1トランジスタM309はソースをバックゲートに接続し、第5トランジスタM311は、ソースをバックゲートに接続することで、寄生ダイオードが逆向きに接続された回路となり、電流の逆流を防止可能となる。

【0058】

図8は電圧選択回路30の第5例の回路図である。図8の電圧選択回路30は、図6の電圧選択回路30の後段側にダイオードOR回路34を接続したものである。

【0059】

図8のダイオードOR回路34は、高耐圧構造の第9～第14トランジスタM315～M320を有する。

【0060】

第9および第10トランジスタM316, M317は、第1端子T1と電圧選択回路30の出力ノードT4との間に直列接続されている。第9および第10トランジスタM316, M317は、例えばNMOSトランジスタである。第9トランジスタM316のソースはバックゲートに接続され、第10トランジスタM317のソースはバックゲートに接続されている。第9および第10トランジスタM316, M317のゲートは第1トランジスタM309のドレインに接続され、第9トランジスタM316のドレインは第1端子T1に接続され、第9トランジスタM316のソースは第10トランジスタのソースに接続され、第10トランジスタM317のドレインは電圧選択回路30の出力ノードT4に接続されている。

【0061】

第11および第12トランジスタM319, M320は、第2端子T2と電圧選択回路30の出力ノードT4との間に直列接続されている。第11および第12トランジスタM319, M320は、例えばNMOSトランジスタである。第11トランジスタM319のソースはバックゲートに接続され、第12トランジスタM320のソースはバックゲートに接続されている。第11および第12トランジスタM319, M320のゲートは第2トランジスタM310のドレインに接続され、第11トランジスタM319のドレインは第2端子T2に接続され、第11トランジスタM319のソースは第12トランジスタM320のソースに接続され、第12トランジスタM320のドレインは電圧選択回路30の出力ノードT4に接続されている。

【0062】

第13トランジスタM315および第14トランジスタM318のソースはバックゲートに接続されている。第13トランジスタM315のゲートは制御回路31の第2出力ノードに接続され、第13トランジスタM315のドレインは第1トランジスタM309のドレインに接続され、第13トランジスタM315のソースは接地されている。第14トランジスタM318のゲートは制御回路31の第1出力ノードに接続され、第14トランジスタM318のドレインは第2トランジスタM310のドレインに接続され、第14トランジスタM318のソースは接地されている。

【0063】

図7の電圧選択回路30の場合、第5および第6トランジスタM311, M312のソースをバックゲートに接続しているものの、第5および第6トランジスタM311, M312のゲート電圧をオフの電圧まで引き上げることができないおそれがあり、第5または第6トランジスタM311, M312を通るリークパスが存在していた。

【0064】

そこで、図8の電圧選択回路30では、ダイオードOR回路34を設けて、上述したリークパスをなくしている。

【0065】

制御回路20の出力信号SWCNTがローの場合、第3トランジスタM301がオンして、第4トランジスタM302がオフし、これにより、第1トランジスタM309がオンして、第2トランジスタM310がオフする。また、第13トランジスタM315がオフして、第14トランジスタM318がオンする。よって、第9および第10トランジスタM316, M317がオンして、第11および第12トランジスタM319, M320がオフする。これにより、第1端子T1の電圧VINは、第9および第10トランジスタM316, M317を介して、電圧選択回路30の出力ノードT4に伝達される。また、第14トランジスタM318がオンするために、第11および第12トランジスタM319, M320のゲート電圧は接地電位まで低下し、第11および第12トランジスタM319, M320は確実にオフして、電圧選択回路30の出力ノードT4から第2端子T2へのリークパスは完全に遮断される。

【0066】

制御回路20の出力信号SWCNTがハイの場合、第3トランジスタM301がオフして、第4トランジスタM302がオンし、これにより、第1トランジスタM309がオフして、第2トランジスタM310がオンする。また、第13トランジスタM315がオンして、第14トランジスタM318がオフする。よって、第9および第10トランジスタM316, M317がオフして、第11および第12トランジスタM319, M320がオンする。これにより、第2端子T2の電圧VOUTは、第11および第12トランジスタM319, M320を介して、電圧選択回路30の出力ノードT4に伝達される。また、第13トランジスタM315がオンするために、第9および第10トランジスタM316, M317のゲート電圧は接地電位まで低下し、第9および第10トランジスタM316, M317は確実にオフして、電圧選択回路30の出力ノードT4から第1端子T1へのリークパスは完全に遮断される。

【0067】

このように、図8の回路は、ダイオードOR回路34を設けて、第1および第2トランジスタM309, M310のうち、オフの方のリークパスを完全に遮断するため、第1および第2端子T1, T2と電圧選択回路30の出力ノードT4との間にオフ時のリークパスが存在しなくなる。

【0068】

図9は電圧選択回路30の第6例の回路図である。図9の電圧選択回路30は、図8の回路構成に、高耐压構造の第15および第16トランジスタM321, M322と、抵抗素子R303~R308とを追加したものである。

【0069】

第15トランジスタM321は、第9および第10トランジスタM316, M317が

オフのときに、第9および第10トランジスタM316, M317の各ゲートソース間を短絡する。第15トランジスタM321は、例えばPMOSトランジスタである。第15トランジスタM321のソースとバックゲートは接続されている。第15トランジスタM321のゲートには、第1トランジスタM309のドレイン電圧と第13トランジスタM315のドレイン電圧とを複数の抵抗素子R303, R304で分圧した電圧が供給される。第15トランジスタM321のソースは、第9および第10トランジスタM316, M317のゲートに接続されている。第15トランジスタM321のドレインは第9トランジスタM316のソースおよび第10トランジスタM317のソースに接続されている。

【0070】

第16トランジスタM322は、第11および第12トランジスタM319, M320がオフのときに、第11および第12トランジスタM319, M320の各ゲートソース間を短絡する。第16トランジスタM322は、例えばPMOSトランジスタである。第16トランジスタM322のソースとバックゲートは接続されている。第16トランジスタM322のゲートには、第2トランジスタM310のドレイン電圧と第14トランジスタM318のドレイン電圧とを複数の抵抗素子R306, R307で分圧した電圧が供給される。第16トランジスタM322のソースは、第11および第12トランジスタM319, M320のゲートに接続されている。第16トランジスタM322のドレインは第11トランジスタM319のソースに接続され、および第12トランジスタM320のソースに接続されている。

【0071】

図9の電圧選択回路30では、制御回路20の出力信号SWCNTがローの場合、第13トランジスタM315がオンすることから、第15トランジスタM321もオンし、第9および第10トランジスタM316, M317のゲートソース間が同電位となり、第9および第10トランジスタM316, M317は確実にオフする。同様に、制御回路20の出力信号SWCNTがハイの場合、第14トランジスタM318がオンすることから、第16トランジスタM322もオンし、第11および第12トランジスタM319, M320のゲートソース間が同電位となり、第11および第12トランジスタM319, M320は確実にオフする。

【0072】

図10は電圧選択回路30の第7例の回路図である。図10の電圧選択回路30は、図5の電圧選択回路30の第1または第2トランジスタM303, M304のオフ時の逆流防止特性を向上させた回路である。

【0073】

図10の電圧選択回路30は、図5の回路構成に加えて、第17～第20トランジスタM305～M308と、第5および第6電流源35, 36とを有する。

【0074】

第17トランジスタM305は、第1端子T1と電圧選択回路30の出力ノードT4との間で、第1トランジスタM303に直列接続されている。第17トランジスタM305は例えばPMOSトランジスタであり、そのソースとバックゲートは接続されている。第17トランジスタM305のドレインは、第1トランジスタM303のドレインと接続されており、等価的には、寄生ダイオード同士が逆向きに接続された構成になる。第17トランジスタM305のゲートは、抵抗素子R303を介して電圧選択回路30の出力ノードT4と第17トランジスタM305のソースに接続されている。

【0075】

第18トランジスタM307のゲートは制御回路31の第1出力ノードに接続され、第18トランジスタM307のドレインは第17トランジスタM305のゲートに接続され、第18トランジスタM307のソースは第5電流源35に接続されている。

【0076】

第19トランジスタM306は、第2端子T2と電圧選択回路30の出力ノードT4と

の間で、第2トランジスタM304に直列接続されている。第19トランジスタM306は例えばPMOSトランジスタであり、そのソースとバックゲートは接続されている。第19トランジスタM306のドレインは、第2トランジスタM304のドレインと接続されており、等価的には、寄生ダイオード同士が逆向きに接続された構成になる。第19トランジスタM306のゲートは、抵抗素子R304を介して電圧選択回路30の出力ノードT4と第19トランジスタM306のソースに接続されている。

【0077】

第20トランジスタM308のゲートは制御回路31の第2出力ノードに接続され、第20トランジスタM308のドレインは第19トランジスタM306のゲートに接続され、第20トランジスタM308のソースは第6電流源36に接続されている。

【0078】

制御回路20の出力信号SWCNTがローの場合、第3トランジスタM301、第17トランジスタM305および第18トランジスタM307がともにオンし、第4トランジスタM302、第19トランジスタM306および第20トランジスタM308がともにオフする。よって、第1トランジスタM303がオンし、第1端子T1の電圧VINは電圧選択回路30の出力ノードT4に供給される。このとき、第2トランジスタM304と第20トランジスタM308はオフするため、第19トランジスタM306のゲートとソースはほぼ同電位となり、第19トランジスタM306は確実にオフする。

【0079】

制御回路20の出力信号SWCNTがハイの場合、第4トランジスタM302、第19トランジスタM306および第20トランジスタM308がともにオンし、第3トランジスタM301、第17トランジスタM305および第18トランジスタM307がともにオフする。よって、第2トランジスタM304がオンし、第2端子T2の電圧VOUTは電圧選択回路30の出力ノードT4に供給される。このとき、第1トランジスタM303と第18トランジスタM307はオフするため、第17トランジスタM305のゲートとソースはほぼ同電位となり、第17トランジスタM305は確実にオフする。

【0080】

図11は電圧選択回路30の第8例の回路図である。図11の電圧選択回路30は、図7の電圧選択回路30の第1または第2トランジスタM309、M310のオフ時の逆流防止特性を向上させた回路である。

【0081】

図11の電圧選択回路30は、図7の回路構成に加えて、第21～第26トランジスタM311～M316と、第7および第8電流源37、38を追加したものである。このうち、第21、第22、第24および第25トランジスタM311、M313、M312、M314は高耐压構造である。

【0082】

第21トランジスタM311は、第1端子T1と電圧選択回路30の出力ノードT4との間で、第1トランジスタM309に直列接続されている。第21トランジスタM311は例えばPMOSトランジスタであり、そのソースとバックゲートは接続されている。第21トランジスタM311のドレインは、第1トランジスタM309のドレインと接続されており、等価的には、寄生ダイオード同士が逆向きに接続された構成になる。第21トランジスタM311のゲートは、抵抗素子R303を介して電圧選択回路30の出力ノードT4と第21トランジスタM311のソースに接続されている。

【0083】

第22トランジスタM313のゲートにはバイアス電圧VBが供給される。第22トランジスタM313は例えばNMOSトランジスタであり、そのソースはバックゲートに接続されている。第22トランジスタM313のドレインは第21トランジスタM311のゲートに接続され、第22トランジスタM313のソースは第23トランジスタM315のドレインに接続されている。第23トランジスタM315のゲートは制御回路31の第1出力ノードに接続され、第23トランジスタM315のソースは第7電流源37に接続

【0084】

第24トランジスタM312は、第2端子T2と電圧選択回路30の出力ノードT4との間で、第2トランジスタM310に直列接続されている。第24トランジスタM312は例えばPMOSトランジスタであり、そのソースとバックゲートは接続されている。第24トランジスタM312のドレインは、第2トランジスタM310のドレインと接続されており、等価的には、寄生ダイオード同士が逆向きに接続された構成になる。第24トランジスタM312のゲートは、抵抗素子R304を介して電圧選択回路30の出力ノードT4と第24トランジスタM312のソースに接続されている。

【0085】

第25トランジスタM314のゲートにはバイアス電圧VBが供給される。第25トランジスタM314は例えばNMOSトランジスタであり、そのソースはバックゲートに接続されている。第25トランジスタM314のドレインは第24トランジスタM312のゲートに接続され、第25トランジスタM314のソースは第26トランジスタM316のドレインに接続されている。第26トランジスタM316のゲートは制御回路31の第1出力ノードに接続され、第26トランジスタM316のソースは第8電流源38に接続されている。

【0086】

制御回路20の出力信号SWCNTがローの場合、第3トランジスタM301と第23トランジスタM315がオンすることから、第1トランジスタM309と第21トランジスタM311がオンする。また、第4トランジスタM302と第26トランジスタM316がオフすることから、第2トランジスタM310と第24トランジスタM312がオフする。

【0087】

これにより、第1の端子の電圧は、第1トランジスタM309と第21トランジスタM311を介して、電圧選択回路30の出力ノードT4に伝達される。このとき、第2トランジスタM310と第26トランジスタM316はオフしているため、第24トランジスタM312のゲートとソースはほぼ同電位となり、第24トランジスタM312は確実にオフする。

【0088】

制御回路20の出力信号SWCNTがハイの場合、第4トランジスタM302と第26トランジスタM316がオンすることから、第2トランジスタM310と第24トランジスタM312がオンする。また、第3トランジスタM301と第23トランジスタM315がオフすることから、第1トランジスタM309と第21トランジスタM311がオフする。

【0089】

これにより、第2端子T2の電圧は、第2トランジスタM310と第24トランジスタM312を介して、電圧選択回路30の出力ノードT4に伝達される。このとき、第1トランジスタM309と第23トランジスタM315はオフしているため、第21トランジスタM311のゲートとソースはほぼ同電位となり、第21トランジスタM311は確実にオフする。

【0090】

上述した図1～図11に示す電圧切替回路1は、例えば電源装置の一部として用いることができる。図12は一実施形態による電源装置2の概略構成を示すブロック図である。図12の電源装置2は、直流電圧生成回路3と、電圧切替回路1と、を備えており、電圧切替回路1には再充電が可能な二次電池4が着脱自在に接続されている。

【0091】

直流電圧生成回路3は、AC/DCコンバータやDC/DCコンバータなどであり、例えば、商用電源から所定の電圧レベルの直流電圧を生成する。

【0092】

図12の電圧切替回路1は、上述した図1～図11の回路構成を有する。直流電圧生成回路3と電圧切替回路1との接続は、例えば、USB (Universal Serial Bus) などの電力を伝送可能なケーブルで行う。電圧切替回路1は、直流電圧生成回路3と二次電池4が接続されると、直流電圧生成回路3から供給された直流電圧を第1端子T1から取り込んで、スイッチング素子50を介して、第2端子T2から出力し、二次電池4の充電を行う。二次電池4を充電中は、図1に示すように、直流電圧生成回路3から供給された直流電圧を用いて、バイアス電圧生成回路10でバイアス電圧VBを生成するとともに、レギュレータ回路40にて内部電圧Vrを生成する。この内部電圧Vrは、不図示の内部回路の電源電圧として用いられる。

【0093】

一方、電圧切替回路1から直流電圧生成回路3が切り離されると、電圧切替回路1は、二次電池4の充電電圧を利用して、バイアス電圧生成回路10でバイアス電圧VBを生成するとともに、レギュレータ回路40にて内部電圧Vrを生成する。

【0094】

このように、本実施形態では、電圧選択回路30内で使用する電源電圧を電圧切替回路1内のバイアス電圧生成回路10で生成するため、電圧切替回路1の外部から電源電圧を供給する必要がなくなる。これにより、電圧切替回路1の外部に電源電圧を生成する回路が不要となるとともに、電圧切替回路1の入力端子数を削減できる。

【0095】

また、電圧選択回路30内の電源電圧として使用されるバイアス電圧VBを生成するバイアス電圧生成回路10には、逆流防止用トランジスタを設けることができるため、バイアス電圧VBの電圧レベルを安定化させることができる。

【0096】

さらに、電圧選択回路30内にも、第1および第2端子T1、T2と出力ノードとの間に逆流防止用トランジスタ等を接続することができるため、出力ノードの電圧が第1および第2端子T1、T2よりも高くなっても、電流の逆流を確実に防止できる。

【0097】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0098】

1 電圧切替回路、2 電源装置、3 直流電圧生成回路、4 二次電池、10 バイアス電圧生成回路、20 制御回路、30 電圧選択回路、31 制御回路、40 レギュレータ回路、50 スwitching素子、60 ゲート制御回路、70 制御回路、T1 第1端子、T2 第2端子

【書類名】 特許請求の範囲

【請求項 1】

第 1 端子および第 2 端子と、
前記第 1 端子あるいは第 2 端子の少なくとも一方の電圧に基づいて第 1 電圧を生成する第 1 電圧生成回路と、
前記第 1 電圧を電源電圧として利用して第 1 制御信号を生成する第 1 制御回路と、
前記第 1 電圧を電源電圧として利用して、前記第 1 制御信号に基づいて前記第 1 端子の電圧と前記第 2 端子の電圧とのいずれか一方を選択する電圧選択回路と、
前記電圧選択回路が選択した電圧に基づいて、前記第 1 端子と前記第 2 端子との間を電氣的に導通させるか、電氣的に遮断するかを切り替えるスイッチング素子と、を備える電圧切替回路。

【請求項 2】

前記第 1 電圧生成回路は、
前記第 1 端子と前記第 1 電圧生成回路の出力ノードとの間に接続される第 1 電流源と、
前記第 2 端子と前記出力ノードとの間に接続される第 2 電流源と、
前記出力ノードと基準電圧ノードとの間に接続され、前記出力ノードから前記基準電圧ノードへの電流経路を有し、前記基準電圧ノードから前記出力ノードへの電流を阻止する第 1 整流回路と、を有する請求項 1 に記載の電圧切替回路。

【請求項 3】

前記第 1 電圧生成回路は、
前記第 1 端子と前記出力ノードとの間で前記第 1 電流源に直列接続され、前記第 1 電流源から前記出力ノードへの電流経路を有し、前記出力ノードから前記第 1 電流源への電流を阻止する第 2 整流回路と、
前記第 2 端子と前記出力ノードとの間で前記第 2 電流源に直列接続され、前記第 2 電流源から前記出力ノードへの電流経路を有し、前記出力ノードから前記第 2 電流源への電流を阻止する第 3 整流回路と、を有する請求項 2 に記載の電圧切替回路。

【請求項 4】

前記電圧選択回路は、
前記第 1 端子と前記電圧選択回路の出力ノードとを電氣的に導通するか、電氣的に遮断するかを切り替える第 1 トランジスタと、
前記第 2 端子と前記電圧選択回路の出力ノードとを電氣的に導通するか、電氣的に遮断するかを切り替える第 2 トランジスタと、
前記第 1 トランジスタのオンまたはオフを制御する第 3 トランジスタと、
前記第 2 トランジスタのオンまたはオフを制御する第 4 トランジスタと、
前記第 1 電圧を電源電圧として利用して、前記第 3 および第 4 トランジスタのオンまたはオフを制御する第 2 制御信号を生成する第 2 制御回路と、を有する請求項 1 乃至 3 のいずれかに記載の電圧切替回路。

【請求項 5】

前記電圧選択回路は、
前記第 1 端子と前記電圧選択回路の出力ノードとの間で、前記第 1 トランジスタに直列接続される第 5 トランジスタと、
前記第 2 端子と前記電圧選択回路の出力ノードとの間で、前記第 2 トランジスタに直列接続される第 6 トランジスタと、を有し、
前記第 1 トランジスタおよび前記第 5 トランジスタは、前記第 3 トランジスタによりオンまたはオフに制御され、
前記第 2 トランジスタおよび前記第 6 トランジスタは、前記第 4 トランジスタによりオンまたはオフに制御され、
前記第 1、第 2、第 5 および第 6 トランジスタのそれぞれは、ソースをバックゲートに接続しており、
前記第 1 トランジスタおよび前記第 5 トランジスタは、ドレイン同士またはソース同士

が接続される同一の導電型トランジスタであり、

前記第2トランジスタおよび前記第6トランジスタは、ドレイン同士またはソース同士が接続される同一の導電型トランジスタである請求項4に記載の電圧切替回路。

【請求項6】

前記電圧選択回路は、

前記第3トランジスタに直列接続され、前記第1電圧に応じて前記前記第1トランジスタのオンまたはオフを制御するとともに、前記第3トランジスタのドレインーソース間電圧を一定に制御する第7トランジスタと、

前記第4トランジスタに直列接続され、前記第1電圧に応じて前記第1トランジスタのオンまたはオフを制御するとともに、前記第4トランジスタのドレインーソース間電圧を一定に制御する第8トランジスタと、を有する請求項4または5に記載の電圧切替回路。

【請求項7】

前記電圧選択回路は、

前記第1端子と前記電圧選択回路の出力ノードとの間に直列接続される第9および第10トランジスタと、

前記第2端子と前記電圧選択回路の出力ノードとの間に直列接続される第11および第12トランジスタと、

前記第2制御信号により、前記第9および第10トランジスタのオンまたはオフを制御する第13トランジスタと、

前記第2制御信号により、前記第11および第12トランジスタのオンまたはオフを制御する第14トランジスタと、を有し、

前記第9、第10、第11および第12トランジスタのそれぞれは、ソースをバックゲートに接続しており、

前記第9および第10トランジスタは、ドレインまたはソース同士が接続される同一の導電型トランジスタであり、

前記第11および第12トランジスタは、ドレインまたはソース同士が接続される同一の導電型トランジスタである請求項4に記載の電圧切替回路。

【請求項8】

前記電圧選択回路は、

前記第9および第10トランジスタがオフのときに、前記第9トランジスタのゲートおよびソースを短絡するとともに、前記第10トランジスタのゲートおよびソースを短絡する第15トランジスタと、

前記第11および第12トランジスタがオフのときに、前記第11トランジスタのゲートおよびソースを短絡するとともに、前記第12トランジスタのゲートおよびソースを短絡する第16トランジスタと、を有する請求項7に記載の電圧選択回路。

【請求項9】

前記電圧選択回路は、

前記第1端子と前記電圧選択回路の出力ノードとの間で、前記第1トランジスタに直列接続される第17トランジスタと、

前記第2制御信号により、前記第17トランジスタのオンまたはオフを制御する第18トランジスタと、

前記第2端子と前記電圧選択回路の出力ノードとの間で、前記第2トランジスタに直列接続される第19トランジスタと、

前記第2制御信号により、前記第19トランジスタのオンまたはオフを制御する第20トランジスタと、を有し、

前記第18トランジスタは、前記第1トランジスタがオフのときに、前記第17トランジスタをオフにし、

前記第20トランジスタは、前記第2トランジスタがオフのときに、前記第19トランジスタをオフにする請求項4に記載の電圧切替回路。

【請求項10】

前記電圧選択回路は、

前記第1端子と前記電圧選択回路の出力ノードとの間で、前記第1トランジスタに直列接続される第21トランジスタと、

前記第21トランジスタに直列接続され、前記第1電圧に応じて前記第1トランジスタのオンまたはオフを制御する第22トランジスタと、

前記第22トランジスタに直列接続され、前記第2制御信号に応じて前記第21トランジスタのオンまたはオフを制御する第23トランジスタと、

前記第2端子と前記電圧選択回路の出力ノードとの間で、前記第2トランジスタに直列接続される第24トランジスタと、

前記第24トランジスタに直列接続され、前記第1電圧に応じて前記第2トランジスタのオンまたはオフを制御する第25トランジスタと、

前記第25トランジスタに直列接続され、前記第2制御信号に応じて前記第24トランジスタのオンまたはオフを制御する第26トランジスタと、を有し、

前記第23トランジスタは、前記第1トランジスタがオフのときに、前記第21トランジスタをオフにし、

前記第26トランジスタは、前記第2トランジスタがオフのときに、前記第24トランジスタをオフにする請求項4に記載の電圧切替回路。

【請求項11】

所定の電圧レベルの直流電圧を生成する直流電圧生成回路と、

前記直流電圧生成回路からの直流電圧にて二次電池を充電するか、前記二次電池を放電させるかを切り替える電圧切替回路と、を備えた電源装置であって、

前記電圧切替回路は、

電氣的に導通または遮断される第1および第2端子と、

前記第1および第2端子の電圧に基づいて第1電圧を生成する第1電圧生成回路と、

前記第1電圧を電源電圧として利用して第1制御信号を生成する第1制御回路と、

前記第1電圧を電源電圧として利用して、前記第1制御信号に基づいて前記第1端子の電圧と前記第2端子の電圧とのいずれか一方を選択する電圧選択回路と、

前記電圧選択回路が選択した電圧に基づいて、前記第1および前記第2端子を電氣的に導通させるか、電氣的に遮断するかを切り替えるスイッチング素子と、を有する電源装置

。

【書類名】 要約書

【要約】

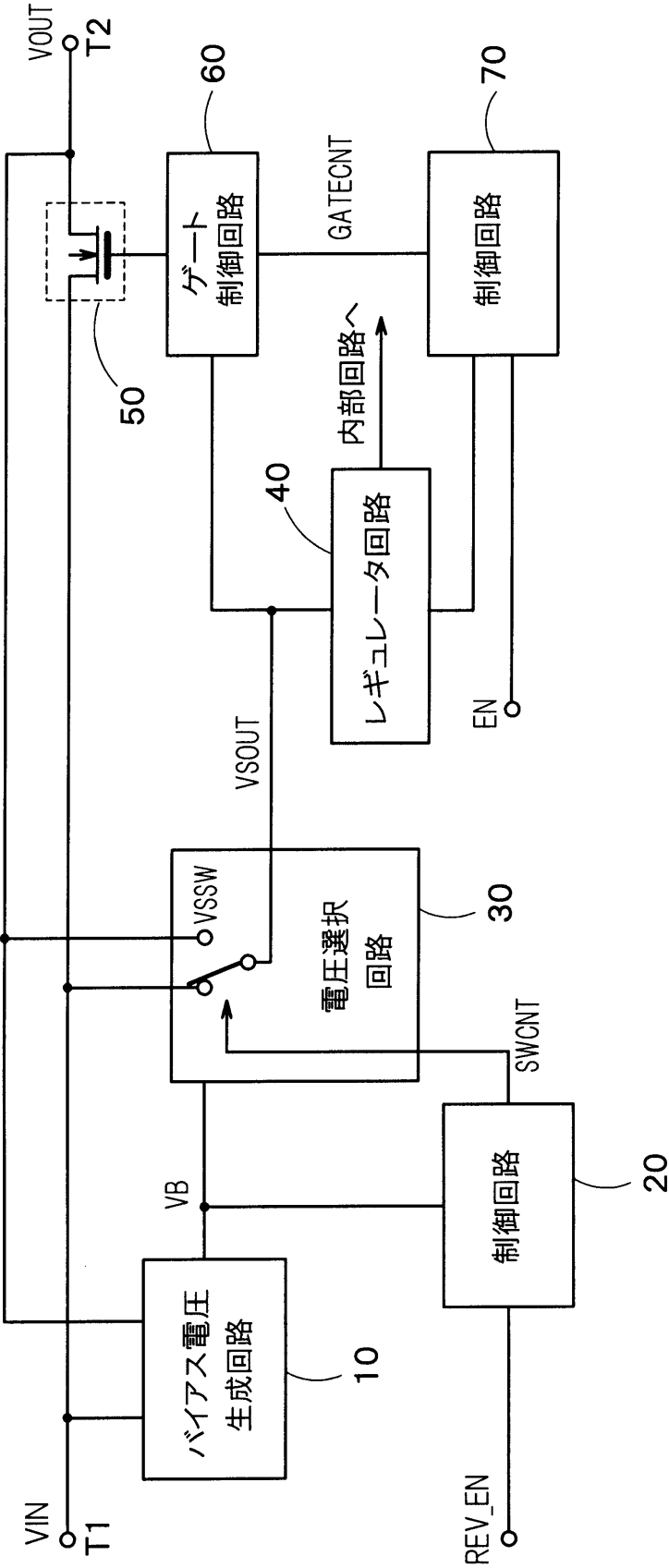
【課題】 専用の電源電圧を必要とせずに、第 1 および第 2 端子間の導通または遮断の切替と、第 1 または第 2 端子の電圧選択とを行う。

【解決手段】 電圧切替回路は、第 1 端子および第 2 端子と、第 1 端子あるいは第 2 端子の少なくとも一方の電圧に基づいて第 1 電圧を生成する第 1 電圧生成回路と、第 1 電圧を電源電圧として利用して第 1 制御信号を生成する第 1 制御回路と、第 1 電圧を電源電圧として利用して、第 1 制御信号に基づいて第 1 端子の電圧と第 2 端子の電圧とのいずれか一方を選択する電圧選択回路と、電圧選択回路が選択した電圧に基づいて、第 1 端子と第 2 端子との間を電氣的に導通させるか、電氣的に遮断するかを切り替えるスイッチング素子と、を備える。

【選択図】 図 1

【書類名】 図面
【図 1】

1



【図 2】

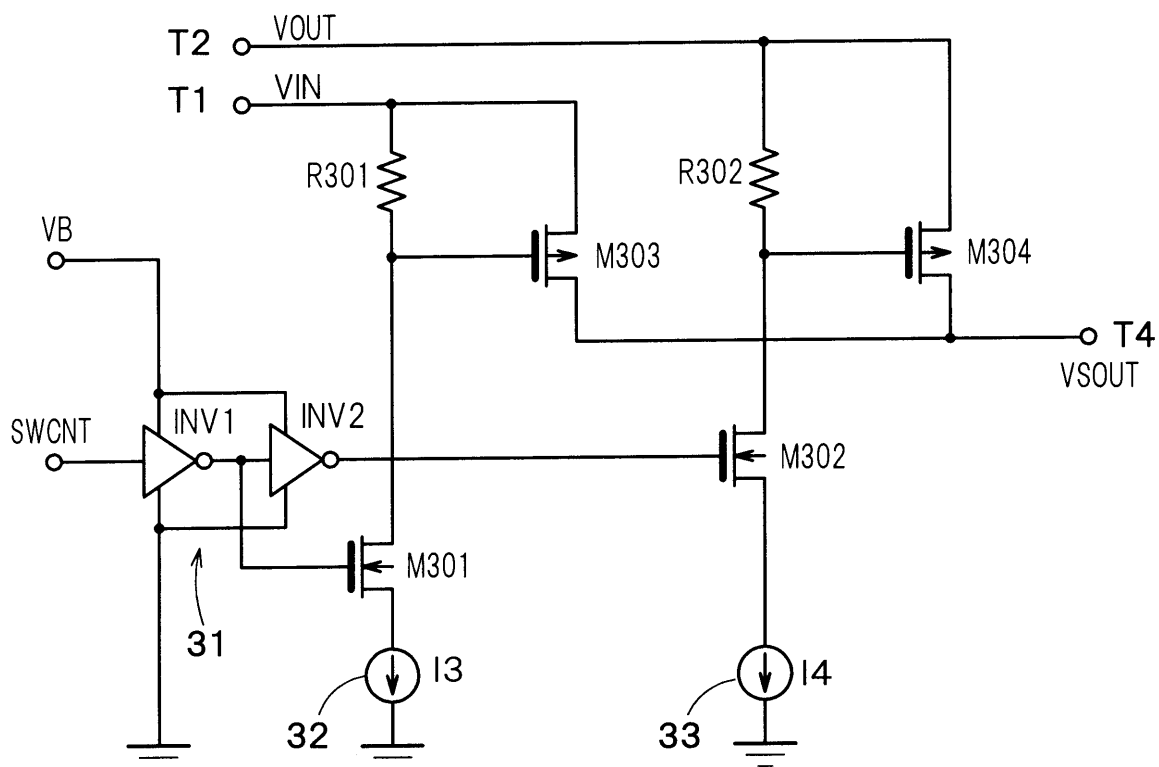


【図 3】



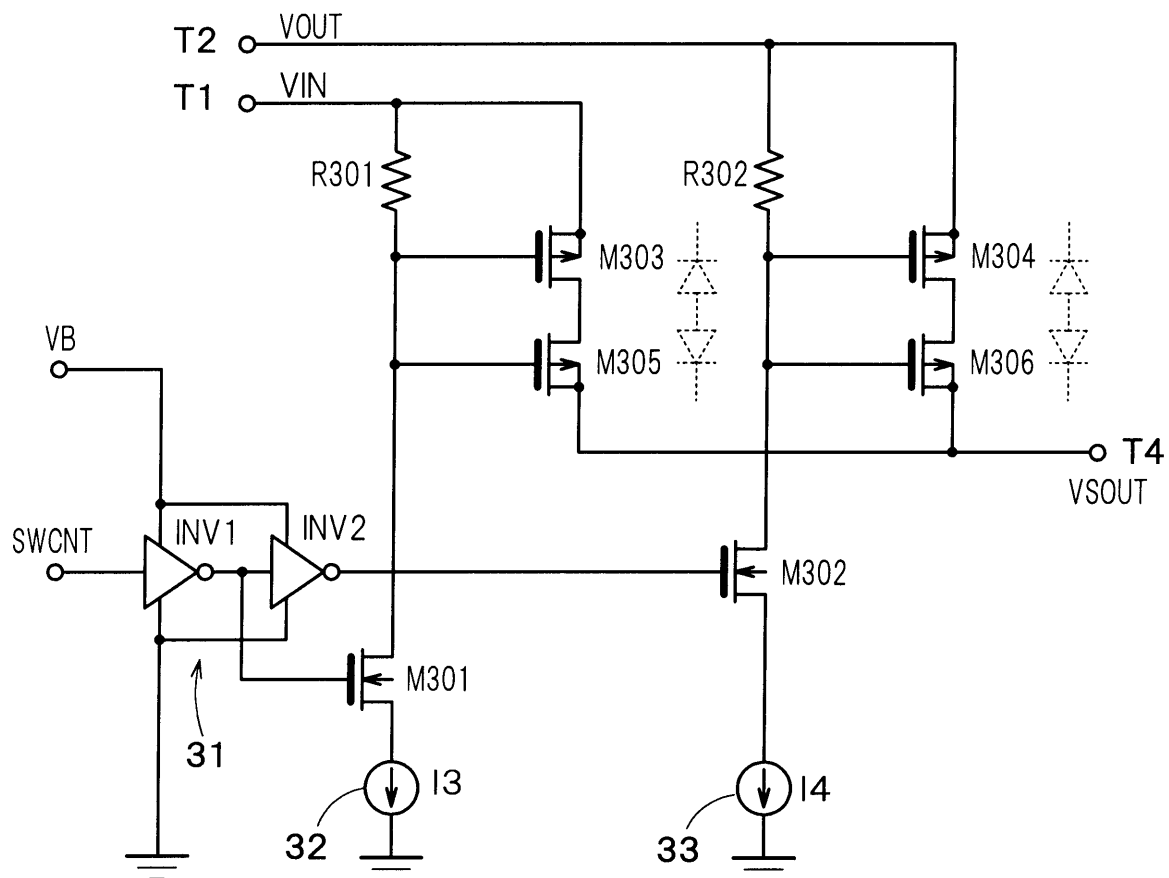
【図4】

30

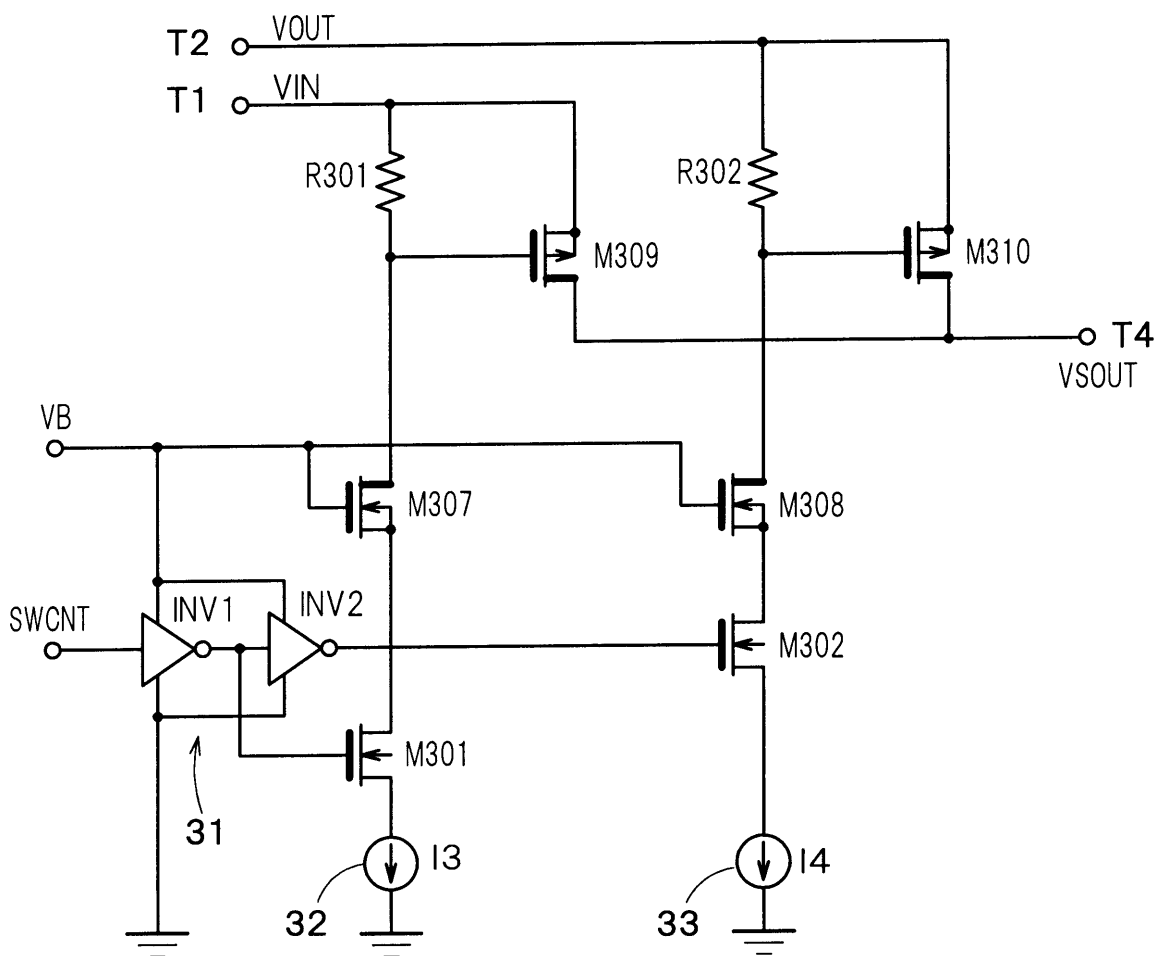


【図 5】

30

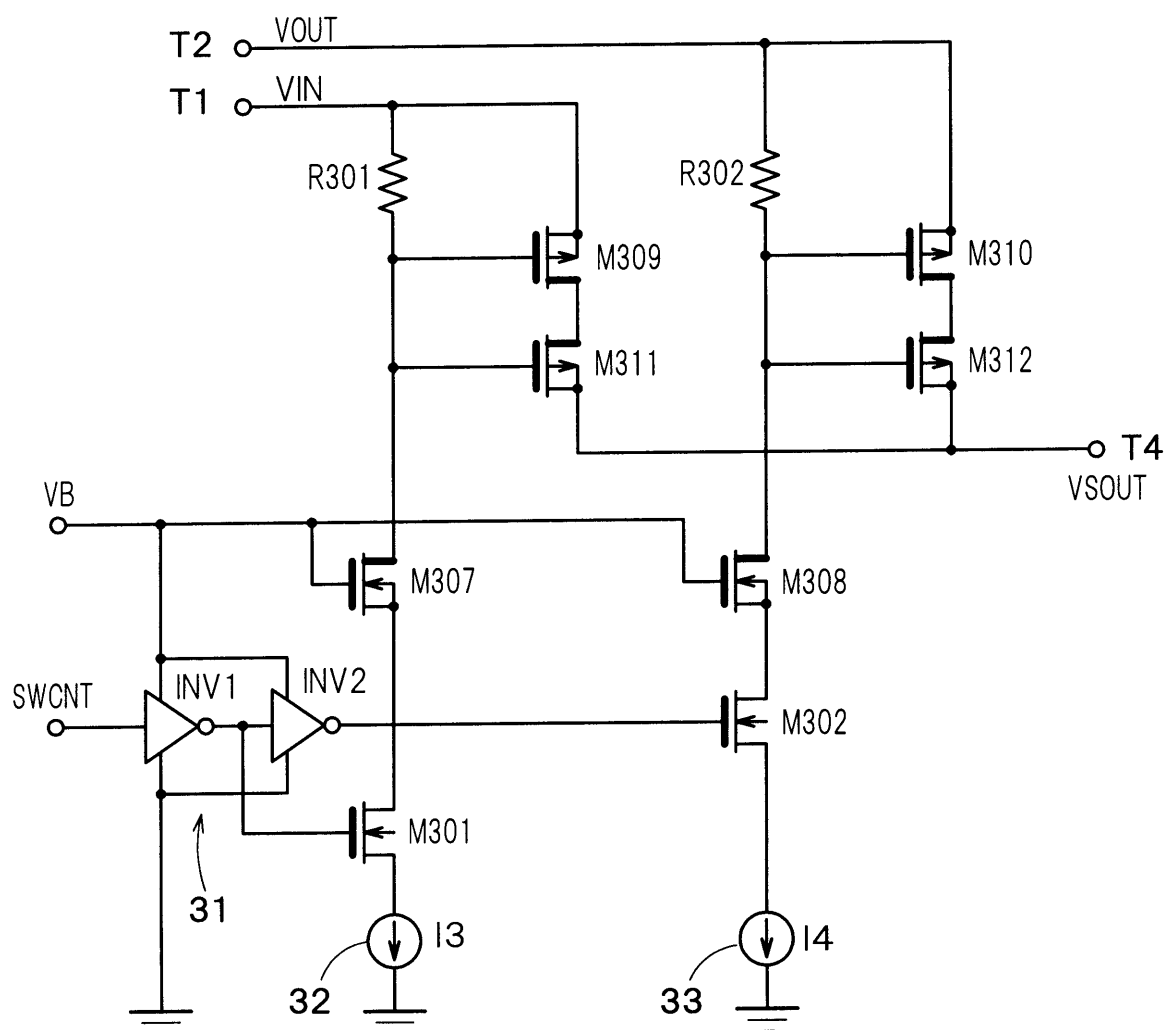


30



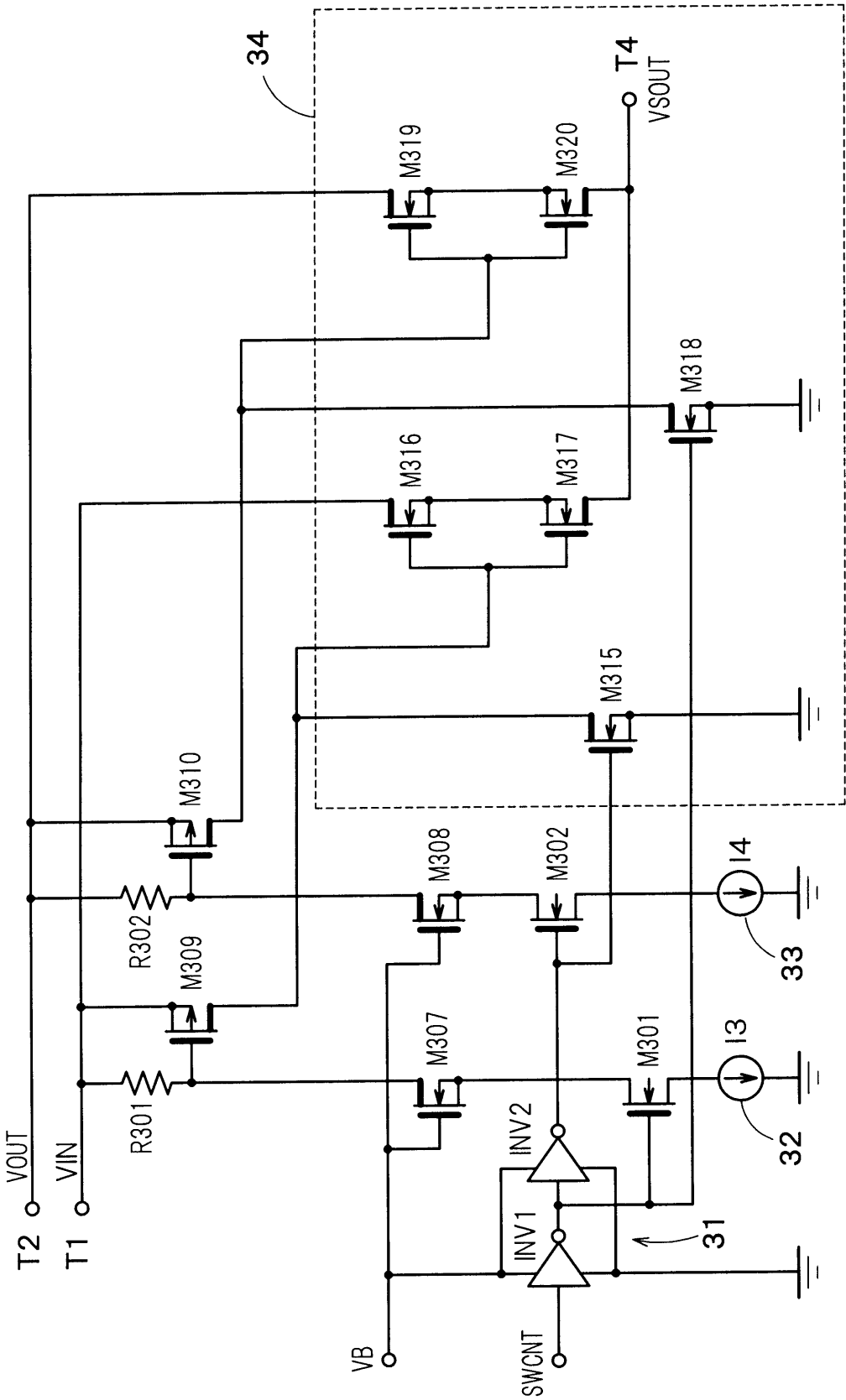
【図 7】

30



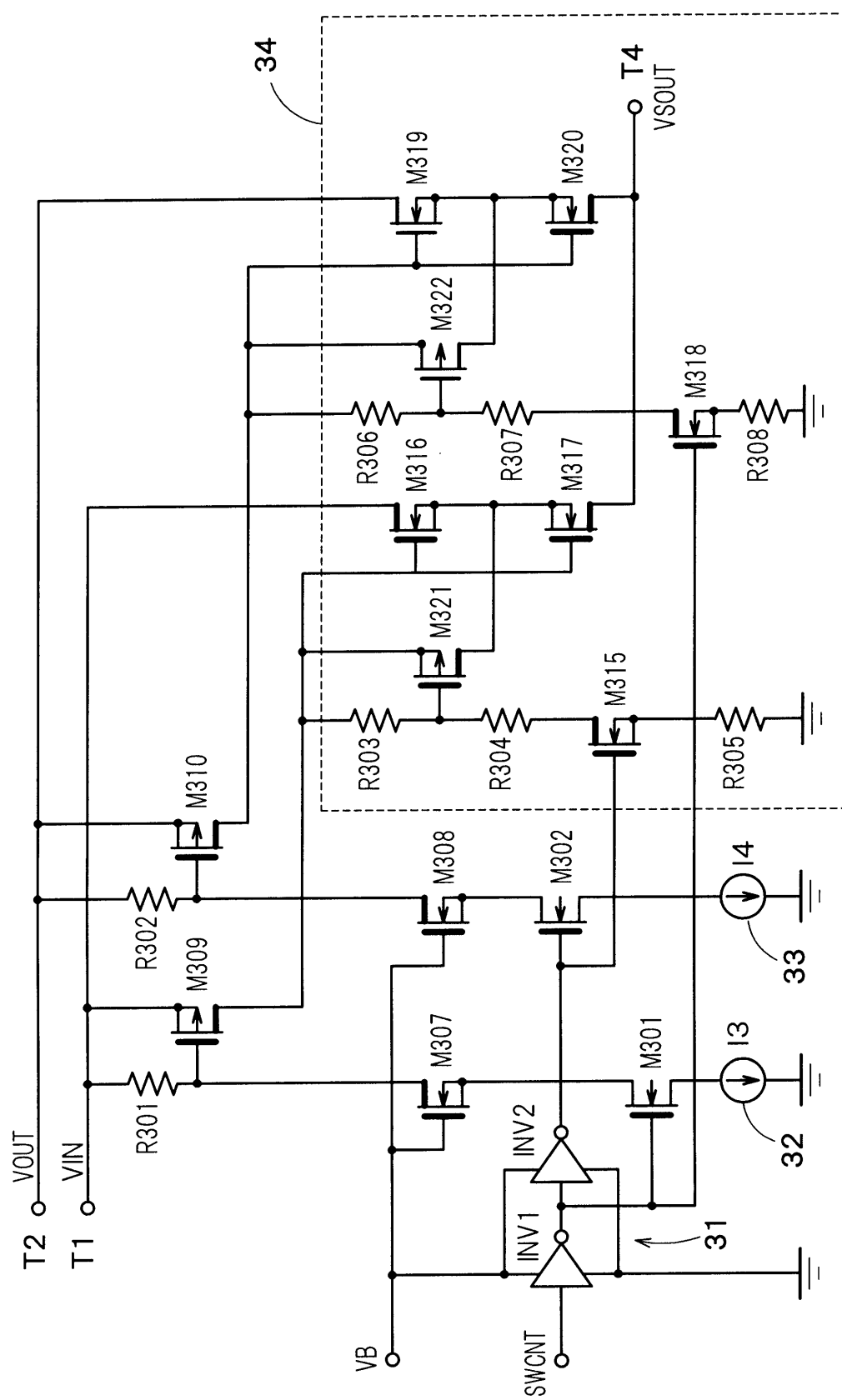
【図 8】

30

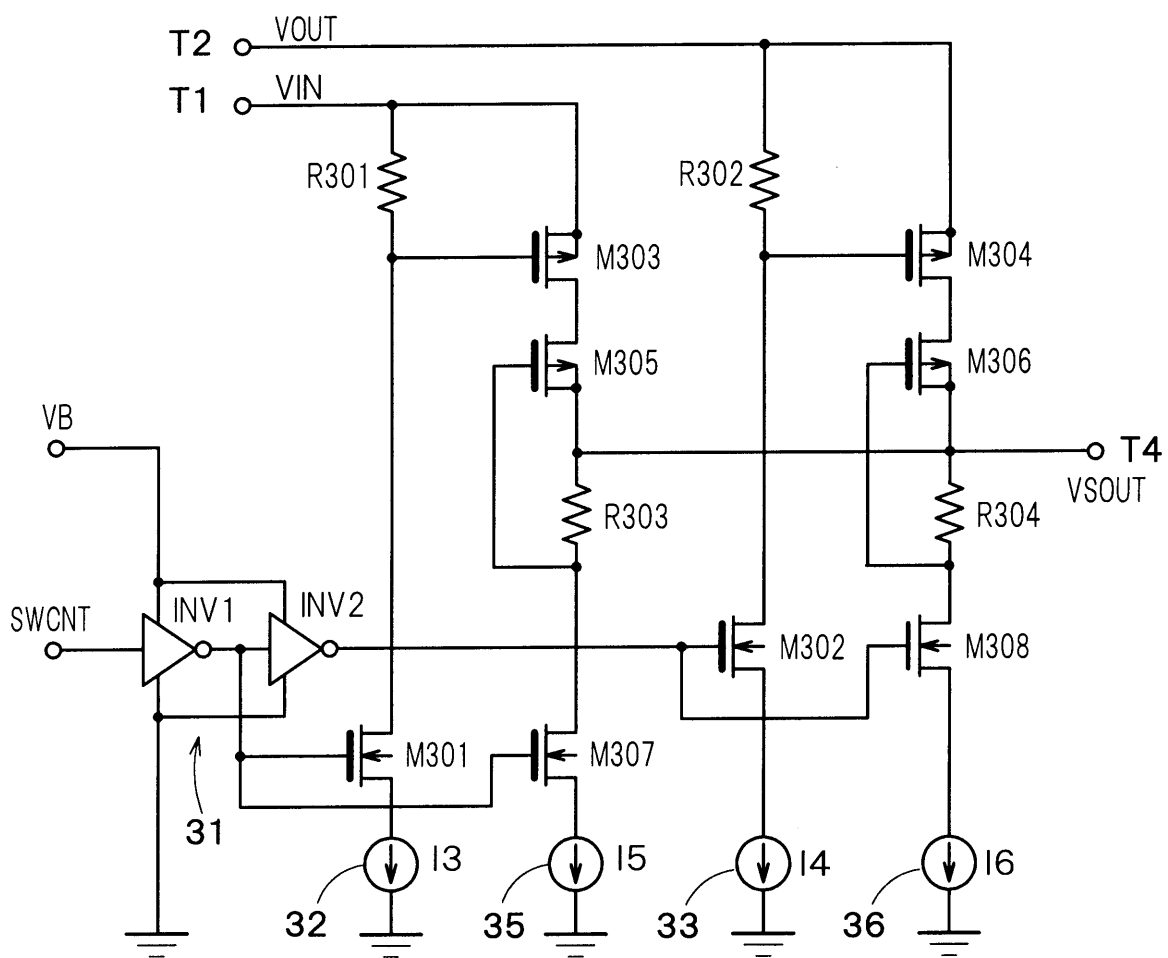


【図 9】

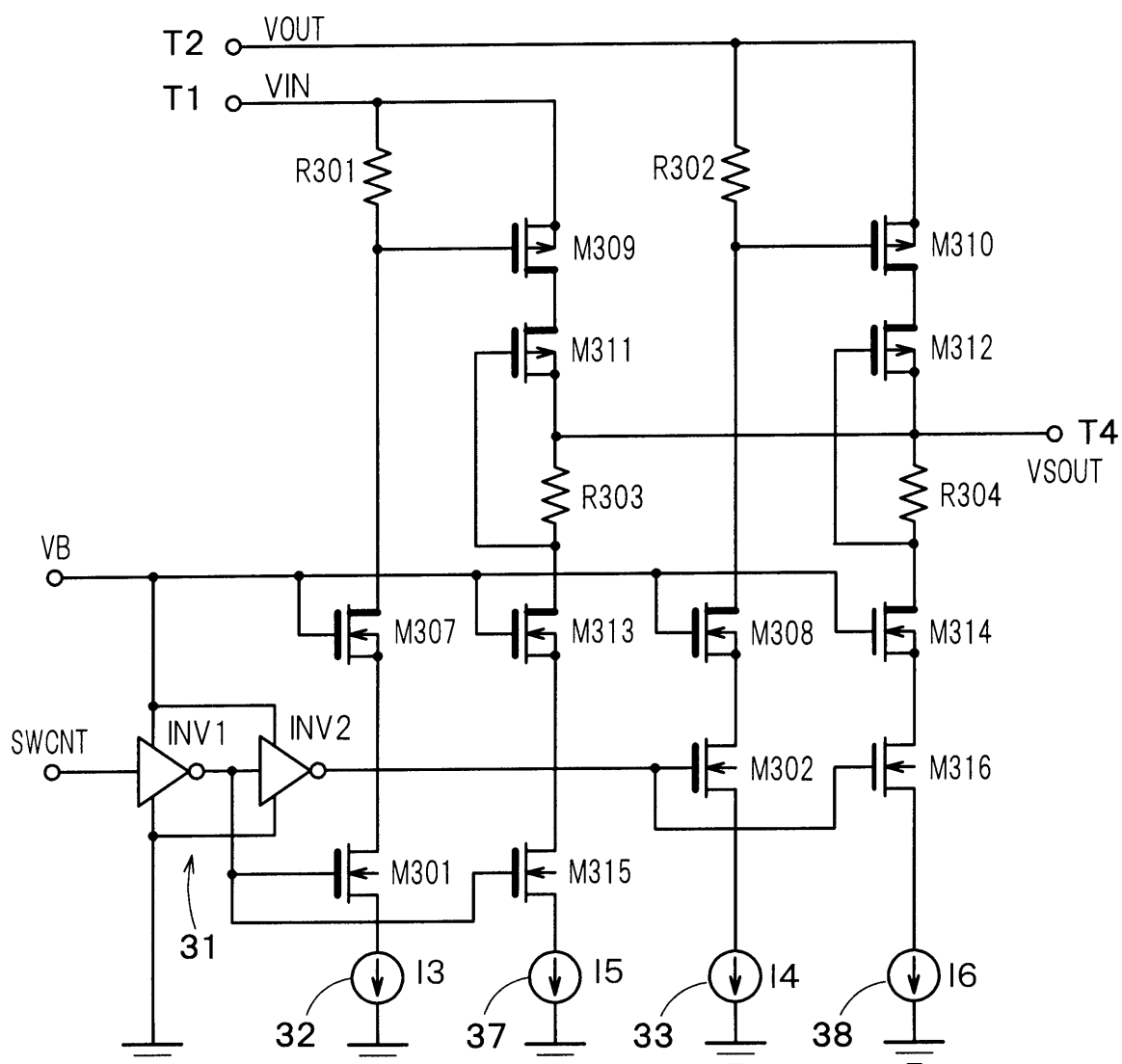
30/



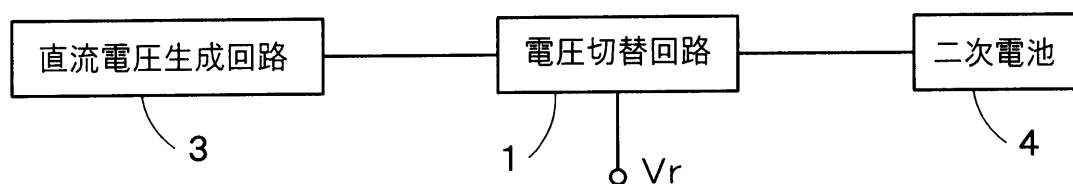
30



30



【図 1 2】



2: 電源回路