

【書類名】明細書

【発明の名称】電源回路

【技術分野】

【0001】

本発明の実施形態は、LDOレギュレータを備えた電源回路に関する。

【背景技術】

【0002】

スマートフォンや携帯電話などの小型の電子デバイスでは、放熱のための筐体スペースが限られており、ファンを実装するスペースもないことから、発熱が問題になることが多い。このため、この種の電子デバイスの電源回路では、入力電圧に対する出力電圧の電圧降下を抑えたLDO (Low Drop Out) レギュレータを用いることがある。

【0003】

LDOレギュレータにおいて、負荷変動に対する出力電圧の低下を抑制するには、LDOレギュレータ内の出力トランジスタのサイズを大きくするのが望ましい。ところが、出力トランジスタのサイズを大きくするほど、応答性が悪くなるという問題がある。そこで、LDOレギュレータの前段にブースタ回路を設けて、応答性の向上を図る提案もなされている。

【0004】

しかしながら、従来は、負荷変動が生じたときだけブースタ回路を動作させており、ブースタ回路が動作を開始するまでに多少の時間的なロスが生じ、必ずしも応答性がよいとは言えなかった。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特許5014194号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする課題は、負荷変動に対する高速応答性に優れた電源回路を提供することである。

【課題を解決するための手段】

【0007】

本実施形態によれば、入力電圧に応じた出力電圧を生成するLDO (Low Drop Out) レギュレータと、

前記出力電圧の変動に対する前記LDOレギュレータの応答性を向上させるブースタ回路と、を備え、

前記LDOレギュレータは、

前記出力電圧の変動に応じた電圧を出力するアンプと、

前記アンプから出力された電圧に応じた電圧レベルの前記出力電圧を出力する第1トランジスタと、を有し、

前記ブースタ回路は、

前記第1トランジスタの出力電流に比例した出力電流を流す第2トランジスタと、

前記第2トランジスタの出力電流に応じた電圧と第1基準電圧との電圧差に応じた電圧信号を出力する第1差動増幅器と、

前記電圧差に応じた電圧信号に応じて、前記アンプの応答性を制御する制御回路と、を有する電源回路が提供される。

【図面の簡単な説明】

【0008】

【図1】第1の実施形態による電源回路1の回路図。

【図2】初段アンプ4の内部構成の一例を示す回路図。

【図3】一比較例による電源回路1の回路図。

【図4】第1トランジスタQ1と第2トランジスタQ2をNMOSトランジスタで構成した電源回路1の回路図。

【図5】第2の実施形態による電源回路1の回路図。

【図6】図5の一変形例による電源回路1の回路図。

【図7】第3の実施形態による電源回路1の回路図。

【図8】図5に電圧ヒステリシス回路11を追加した電源回路1の回路図。

【図9】第4の実施形態による電源回路1の回路図。

【発明を実施するための形態】

【0009】

以下、図面を参照して本発明の実施形態を説明する。以下の実施形態では、電源回路内の特徴的な構成および動作を中心に説明するが、電源回路には以下の説明で省略した構成および動作が存在しうる。ただし、これらの省略した構成および動作も本実施形態の範囲に含まれるものである。

【0010】

(第1の実施形態)

図1は第1の実施形態による電源回路1の回路図である。図1の電源回路1は、入力電圧 V_{in} に応じた出力電圧 V_o を出力するLDOレギュレータ2と、出力電圧 V_o の変動に対するLDOレギュレータ2の応答性を向上させるブースタ回路3と、を備えている。

【0011】

LDOレギュレータ2の出力電圧 V_o は、図1の電源回路1の出力電圧 V_o であり、この出力電圧 V_o を出力するポート（端子）を以下では出力ポートP0と呼ぶ。出力ポートP0には、通常、電子デバイスなどの負荷が接続される。負荷によっては、マイクロ秒オーダーという非常に短い時間でLDOレギュレータ2の負荷電流を数百ミリアンペアのオーダーで急変させることがある。数マイクロアンペア以下の消費電流で動作するLDOレギュレータ2は、数百ミリアンペアもの負荷電流の変動には追従できないため、出力電圧 V_o が大きく低下してしまうおそれがある。この一時的な出力電圧 V_o の低下を抑制するために、ブースタ回路3が設けられている。

【0012】

図1のLDOレギュレータ2は、出力電圧 V_o の変動に応じた電圧を出力する初段アンプ4と、初段アンプ4から出力された電圧に応じた電圧レベルの出力電圧 V_o を出力する第1トランジスタQ1とを有する。

【0013】

ブースタ回路3は、第1トランジスタQ1の出力電流に比例した出力電流を流す第2トランジスタQ2と、第2トランジスタQ2の出力電流に応じた電圧と第1基準電圧 V_{r1} との電圧差に応じた電圧信号を出力する第1差動増幅器5と、第1差動増幅器5から出力された電圧信号に応じて初段アンプ4の応答性を制御する制御回路6とを有する。

【0014】

図1における第1トランジスタQ1と第2トランジスタQ2はいずれもPMOSトランジスタであるが、後述するようにNMOSトランジスタでもよい。また、バイポーラトランジスタで構成することも可能である。本明細書では、第1トランジスタQ1および第2トランジスタQ2のソースドレイン電流を、第1トランジスタQ1および第2トランジスタQ2の出力電流と呼ぶ。

【0015】

まず、LDOレギュレータ2内の回路構成および動作を詳細に説明する。LDOレギュレータ2内の第1トランジスタQ1のソースには入力電圧 V_{in} が供給され、第1トランジスタQ1のドレインから出力電圧 V_o が出力される。第1トランジスタQ1のドレイン、すなわち出力ポートP0と接地電圧ノード V_{ss} との間には2つのインピーダンス回路（第1インピーダンス回路）R1、R2が直列接続されている。第1トランジスタQ1のゲートには、初段アンプ4から出力された電圧が入力される。

【0016】

入力電圧 V_{in} は、不図示の別個の電源回路で生成される。LDOレギュレータ2は、入力電圧 V_{in} に近似する電圧レベルの出力電圧 V_o を生成するものであり、負荷変動が生じても出力電圧 V_o の変動が小さいという特徴を有する。

【0017】

LDOレギュレータ2内の初段アンプ4は、出力電圧 V_o を2つのインピーダンス回路 R_1 、 R_2 で分圧した電圧を第2基準電圧 V_{r2} と比較し、両電圧の電圧差に応じた電圧信号を第1トランジスタ Q_1 のゲートに供給する。

【0018】

第1トランジスタ Q_1 のドレインは、出力電圧 V_o を出力する出力ポート P_0 に接続されている。この出力ポート P_0 に接続される不図示の負荷が重くなると、第1トランジスタ Q_1 のドレイン電流が増えるとともに、第1トランジスタ Q_1 のドレイン電圧である出力電圧 V_o が下がる。初段アンプ4は、出力電圧 V_o の低下を抑制する帰還動作を行うため、初段アンプ4から出力される電圧は低くなり、第1トランジスタ Q_1 はオンする方向に動作し、第1トランジスタ Q_1 のドレイン電流を増やして出力電圧 V_o を上げる動作が行われる。

【0019】

逆に、負荷が軽くなると、第1トランジスタ Q_1 のドレイン電流が減少するとともに、出力電圧 V_o が高くなる。よって、初段アンプ4から出力される電圧は高くなり、第1トランジスタ Q_1 はオフする方向に動作し、第1トランジスタ Q_1 のドレイン電流を減らして出力電圧 V_o を下げる動作が行われる。このようにして、LDOレギュレータ2は、負荷変動による出力電圧 V_o の変動を抑制するような動作を行う。

【0020】

次に、ブースタ回路3内の回路構成および動作を詳細に説明する。ブースタ回路3は、電源電圧ノード V_{dd} と接地電圧ノード V_{ss} との間に接続された第1差動増幅器5と、電源電圧ノード V_{dd} と接地電圧ノード V_{ss} との間に直列接続された第2トランジスタ Q_2 およびインピーダンス回路（第2インピーダンス回路） R_3 と、電源電圧ノード V_{dd} と接地電圧ノード V_{ss} との間に接続された制御回路6とを有する。インピーダンス回路 R_3 は、例えば一つ以上の抵抗素子で構成可能である。

【0021】

第2トランジスタ Q_2 は、第1トランジスタ Q_1 のソースドレイン間を流れる電流に比例した電流を流す。第2トランジスタ Q_2 のゲートは第1トランジスタ Q_1 のゲートに接続されており、第1トランジスタ Q_1 と第2トランジスタ Q_2 はカレントミラー回路を構成している。第1トランジスタ Q_1 のゲート幅をゲート長で割った値は、第2トランジスタ Q_2 のゲート幅をゲート長で割った値よりも大きくしている。これにより、第2トランジスタ Q_2 のソースドレイン電流は、第1トランジスタ Q_1 のソースドレイン電流よりも小さくなる。このように、第2トランジスタ Q_2 のソースドレイン電流を第1トランジスタ Q_1 のソースドレイン電流よりも少なくすることで、ブースタ回路3での消費電力を抑制できる。

【0022】

第1差動増幅器5は、第2トランジスタ Q_2 の出力電流に応じた電圧と第1基準電圧 V_{r1} との電圧差に応じた電圧信号を出力する。

【0023】

制御回路6は、第1差動増幅器5から出力された電圧信号に応じて、初段アンプ4の応答性を制御する。より具体的には、制御回路6は、電源電圧ノード V_{dd} と接地電圧ノード V_{ss} の間に直列接続された第1電流源7および第3トランジスタ Q_3 と、これら第1電流源7および第3トランジスタ Q_3 の接続ノードの電圧を反転するインバータ8と、初段アンプ4の制御ポート P_1 と接地電圧ノード V_{ss} との間に直列接続された第2電流源9および第4トランジスタ Q_4 とを有する。

【0024】

図1の例では、第3トランジスタQ3と第4トランジスタQ4とともにNMOSトランジスタとしているが、PMOSトランジスタで構成することも可能である。第3トランジスタQ3のゲートには、第1差動増幅器5から出力された電圧信号が入力されている。第3トランジスタQ3のドレインは第1電流源7とインバータ8の入力端子に接続され、第3トランジスタQ3のソースは接地されている。第4トランジスタQ4のゲートには、インバータ8の出力電圧が入力されている。第4トランジスタQ4のドレインは第2電流源9に接続され、第4トランジスタQ4のソースは接地されている。

【0025】

ブースタ回路3内の電源電圧ノードV_{dd}の電圧レベルは、LDOレギュレータ2内の入力電圧V_{in}の電圧レベルと同じでもよいし、異なってもよい。

制御回路6は、LDOレギュレータ2の出力ポートP0に負荷電流が流れている限りは、負荷電流の大小に関係なく、第4トランジスタQ4をオンさせて、LDOレギュレータ2内の初段アンプ4の応答性を向上させる制御を行う。

【0026】

次に、図1の電源回路1の動作を説明する。急に負荷が重くなって、第1トランジスタQ1から出力ポートP0を介して負荷に流れる負荷電流が増えたとなると、第1トランジスタQ1とカレントミラー回路を構成する第2トランジスタQ2のソースドレイン電流も増える。これにより、第2トランジスタQ2のドレイン電圧は高くなる。よって、第1差動増幅器5の出力電圧が高くなり、第3トランジスタQ3はオンする方向に動作する。これにより、インバータ8の入力電圧は低下し、インバータ8の出力電圧は高くなる。よって、第4トランジスタQ4はオンする方向に動作し、初段アンプ4の制御ポートP1からより多くの電流が引き出されて、第4トランジスタQ4のドレインーソース間を通して接地電圧ノードV_{ss}まで流れる動作が行われる。

【0027】

初段アンプ4の制御ポートP1からより多くの電流が引き出されるということは、初段アンプ4の周波数特性すなわち応答性が向上することを意味する。以下、このことを詳細に説明する。

【0028】

図2は初段アンプ4の内部構成の一例を示す回路図である。図2の初段アンプ4は、第2差動増幅器10と、電流源20と、第2差動増幅器10の出力を増幅するPMOSトランジスタ21と、このトランジスタ21のドレインに接続される電流源22とを有する。トランジスタ21のドレインと電流源22との接続ノードP2が初段アンプ4の出力ノードであり、図1の第1トランジスタQ1のゲートに接続されている。第2差動増幅器10は、第2基準電圧V_{r2}がゲートに入力される第5トランジスタQ5と、出力電圧V_oを分圧した分圧電圧がゲートに入力される第6トランジスタQ6とを有する。これら第5トランジスタQ5と第6トランジスタQ6の両ソースは電流源20に接続されている。よって、第5トランジスタQ5と第6トランジスタQ6のドレインーソース間電流は、電流源20が供給する電流に依存し、電流源20がより多くの電流を流すほど、第5トランジスタQ5と第6トランジスタQ6のドレインーソース間電流が増えて、これらトランジスタの動作速度が速くなる。制御ポートP1は、電流源20の一端に接続されており、制御ポートP1からより多くの電流を引き出せば、電流源20の供給電流を増やしたのと同じ効果が得られ、第5トランジスタQ5と第6トランジスタQ6の動作速度が向上し、初段アンプ4の周波数特性すなわち応答性が向上する。よって、負荷電流の増大による出力電圧V_oの低下が迅速に抑制される。

【0029】

図1の電源回路1において、急に負荷が軽くなって、第1トランジスタQ1から出力ポートP0を介して負荷に流れる負荷電流が減ったとすると、第1トランジスタQ1とカレントミラー回路を構成する第2トランジスタQ2のソースドレイン電流も減る。ただし、負荷電流が流れている限りは、第2トランジスタQ2のソースドレイン電流も流れ続け、よって、第1差動増幅器5の出力電圧は、第3トランジスタQ3をオンし続ける電圧

レベルを維持する。よって、第4トランジスタQ4もオン状態を維持し、初段アンプ4の制御ポートP1から電流を引き出す動作が継続され、初段アンプ4の応答性を向上させる動作も継続して行われる。このように、負荷電流が流れている限りは、ブースタ回路3は初段アンプ4の応答性を向上させる動作を行う。

一方、負荷電流が完全にゼロになったとすると、第2トランジスタQ2のドレイン電圧は低くなる。よって、第1差動増幅器5の出力電圧は低くなり、第3トランジスタQ3はオフする方向に動作する。これにより、インバータ8の入力電圧は高くなり、インバータ8の出力電圧は低くなる。よって、第4トランジスタQ4はオフする方向に動作し、初段アンプ4の制御ポートP1から電流を引き出す動作、すなわち初段アンプ4の応答性を向上させる動作が行われなくなる。

【0030】

図3は一比較例による電源回路1の回路図である。図3では、図1に対応する構成部品には同一符号を付している。図3の電源回路1では、LDOレギュレータ2の出力ポートP0をブースタ回路3内の第1差動増幅器5の入力ノードn0に接続している。図3の電源回路1には、図1の電源回路1における第2トランジスタQ2およびインピーダンス回路R3は存在しない。

【0031】

図3の電源回路1では、急に負荷電流が増えると、出力電圧 V_o が低下し、これにより、第1差動増幅器5の出力電圧が低くなる。以降は、図1と同様の動作が行われて、初段アンプ4の応答性が向上する。

【0032】

このように、図3の電源回路1では、LDOレギュレータ2の出力電圧 V_o をブースタ回路3内の第1差動増幅器5の入力ノードn0に直接入力して出力電圧 V_o の変動を検出する。LDOレギュレータ2の出力電圧 V_o は、負荷変動により瞬間的に電圧レベルが変動する。図3の電源回路1のように、出力電圧 V_o を直接ブースタ回路3に帰還させて、LDOレギュレータ2を制御しようとしても、出力電圧 V_o の変動にブースタ回路3が追従できず、結果として、出力電圧 V_o の変動を迅速に抑制できない。

【0033】

また、図3に示す一比較例による電源回路1のように、LDOレギュレータ2の出力電圧 V_o をブースタ回路3に帰還させる方式では、半導体チップ化した際に、レイアウトパターン上の第1トランジスタQ1とブースタ回路3の配置場所によっても、負荷変動に対するLDOレギュレータ2の応答性に差が生じてしまう。すなわち、レイアウトパターンにより、ブースタ回路3の効き具合が異なってしまうおそれがある。

【0034】

これに対して、図1の電源回路1では、負荷電流が流れている期間は継続して、カレントミラー回路を構成する第2トランジスタQ2を用いて、初段アンプ4の応答性を向上させる動作を行うため、図3の電源回路1よりも迅速に出力電圧 V_o の低下を抑制することができる。

【0035】

図1の電源回路1では、カレントミラー回路を構成する第1トランジスタQ1と第2トランジスタQ2をPMOSトランジスタで構成する例を示したが、これらトランジスタをNMOSトランジスタで構成することも可能である。図4は第1トランジスタQ1と第2トランジスタQ2をNMOSトランジスタで構成した電源回路1の回路図である。図4では、図1と共通する構成部品には同一符号を付している。

【0036】

図4のLDOレギュレータ2内の第1トランジスタQ1とカレントミラー回路を構成するブースタ回路3内の第2トランジスタQ2のドレインは、第7トランジスタQ7のソースに接続され、第2トランジスタQ2のソースはLDOレギュレータ2の出力電圧 V_o と同じ電圧に設定されている。第7トランジスタQ7は第8トランジスタQ8とカレントミラー回路を構成しており、第8トランジスタQ8のソースには入力電圧 V_{in} が供給されて

いる。第7トランジスタQ7のドレインには、第9トランジスタQ9のドレインが接続されている。第9トランジスタQ9は、第10トランジスタQ10とカレントミラー回路を構成しており、第10トランジスタQ10のソースは電源電圧ノードV_{dd}に接続され、第10トランジスタQ10のドレインと接地電圧ノードV_{ss}との間には、2つのインピーダンス回路R4、R5が直列接続されている。第10トランジスタQ10のドレインは第1差動増幅器5の入力ノードn0に接続されている。

【0037】

図4のブースタ回路3内の制御回路6は、図1と同様であるため、説明を省略する。図4の電源回路1においても、負荷電流が増加すると、第1トランジスタQ1のドレインーソース間電流が増えて、それに伴って、第1トランジスタQ1とカレントミラー回路を構成する第2トランジスタQ2のドレインーソース間電流も増える。これにより、第10トランジスタQ10のソースドレイン電流も増えて、第1差動増幅器5の入力ノードn0の電圧が高くなり、第1差動増幅器5の出力電圧が低下増加して、第3トランジスタQ3はオンする方向に動作し、LDOレギュレータ2内の初段アンプ4の制御ポートP1から、より電流を引き出す動作が行われ、初段アンプ4の応答性が向上する。

【0038】

このように、第1の実施形態による電源回路1では、LDOレギュレータ2の出力ポートP0に接続された第1トランジスタQ1とカレントミラー回路を構成する第2トランジスタQ2をブースタ回路3内に設け、負荷電流が流れている限り、LDOレギュレータ2内の初段アンプ4の応答性を向上させる動作を継続して行うため、回路構成を複雑化することなく、また消費電流を増やさずに、負荷電流の増加に伴う出力電圧V_oの低下を迅速に抑制できる。これにより、出力電圧V_oの変動にブースタ回路3が追従できないという問題も解消される。

【0039】

上述したカレントミラー回路がない場合には、レイアウトパターン上の第1トランジスタQ1とブースタ回路3との位置関係によって、負荷変動時のブースタ回路3の効き具合が変化するなどの問題が生じ得たが、本実施形態の場合、カレントミラー回路によって、強制的にブースタ回路3の応答性を向上させるため、レイアウトパターンによらず、安定して負荷変動に対する出力電圧V_oの変動を抑制できる。

【0040】

(第2の実施形態)

以下に説明する第2の実施形態は、負荷電流の検出の仕方が第1の実施形態と異なるものである。

【0041】

図5は第2の実施形態による電源回路1の回路図である。図5では、図1と共通する構成部品には同一符号を付しており、以下では相違点を中心に説明する。

【0042】

図5の電源回路1は、LDOレギュレータ2内の初段アンプ4の出力電圧を、ブースタ回路3内の第1差動増幅器5の一方の入力ノードn0に供給している。第1差動増幅器5の出力ノードは、図1とは反対側に設けられている。また、図5の電源回路1には、図1の電源回路1における第2トランジスタQ2とインピーダンス回路R3は存在しない。これら以外は、図5の電源回路1は図1の電源回路1と共通する。

【0043】

以下、図5の電源回路1の動作を説明する。LDOレギュレータ2内の第1トランジスタQ1から出力ポートP0を介して流れる負荷電流が急に増加した場合、第1トランジスタQ1のゲート電圧は低くなる。これにより、ブースタ回路3内の第1差動増幅器5の一方の入力ノードn0の電圧も低くなり、第1差動増幅器5の出力電圧は高くなる。よって、第3トランジスタQ3はオンする方向に動作し、インバータ8の出力電圧は高くなる。これにより、第4トランジスタQ4もオンする方向に動作し、LDOレギュレータ2内の初段アンプ4の制御ポートP1からより多くの電流が引き出されるようになり、初段アン

プ4の応答性が向上し、負荷電流の増加に伴う出力電圧 V_o の低下が迅速に抑制される。

【0044】

逆に、負荷電流が急に減少した場合、第1トランジスタQ1のゲート電圧は高くなるが、負荷電流が流れている限りは、第1トランジスタQ1のゲート電圧の上昇は、第1トランジスタQ1が完全にオフするゲート電圧よりも低い電圧に抑えられる。よって、ブースタ回路3内の第3トランジスタQ3はオン状態を維持し、第4トランジスタQ4もオン状態を維持する。したがって、第1の実施形態と同様に、負荷電流が流れている限りは、ブースタ回路3は、LDOレギュレータ2内の初段アンプ4の応答性を向上させる動作を継続して行う。一方、負荷電流が完全にゼロになると、第1トランジスタQ1のゲート電圧は、第1トランジスタQ1をオフさせる電圧レベルにまで上昇し、ブースタ回路3内の第1差動増幅器5の出力電圧が低下して、第3トランジスタQ3と第4トランジスタQ4はともにオフして、初段アンプ4の応答性を向上させる動作は行われなくなる。

【0045】

図5の電源回路1では、第1トランジスタQ1のゲート電圧をブースタ回路3内の第1差動増幅器5の一方の入力ノードn0に帰還させているが、そのようにする理由は、第1トランジスタQ1のゲート電圧は、負荷電流に対応する第1トランジスタQ1のソースドレイン電流の変動に応じて、迅速に変動するためであり、第1トランジスタQ1のソースドレイン電流をカレントミラー回路でブースタ回路3に帰還させる図1の電源回路1と同等の迅速性で負荷電流の変動をブースタ回路3に帰還させることができる。

【0046】

また、負荷電流の変動による出力電圧 V_o の変動は瞬間的であり、その変動を検出して出力電圧 V_o の変動を抑制するには、ブースタ回路3の応答性がよくなければならない。瞬間的に変動する出力電圧 V_o を捉えて帰還させるよりも、負荷電流の変動に応じて変化する第1トランジスタQ1のゲート電圧を帰還させる方が制御が容易である。つまり、負荷電流が流れている間は常に初段アンプ4の制御ポートP1からより多くの電流を引き出すことで、初段アンプ4の応答性を向上させ、出力電圧 V_o の瞬間的な変動に対応することができる。そこで、図5の電源回路1では、第1トランジスタQ1のゲート電圧をブースタ回路3に帰還させている。

【0047】

さらに、図5の電源回路1は、図1の電源回路1と異なり、カレントミラー回路を用いないで負荷電流をブースタ回路3に帰還させるため、カレントミラー回路での消費電流が発生しないという利点もある。

【0048】

図5では、第1トランジスタQ1がPMOSトランジスタの例を示したが、第1トランジスタQ1をNMOSトランジスタにすることも可能である。図6は図5の一変形例による電源回路1の回路図であり、第1トランジスタQ1をNMOSトランジスタにした例を示している。

【0049】

図6の電源回路1は、第1トランジスタQ1のゲート電圧を、ブースタ回路3内の第1差動増幅器5の一方の入力ノードn0に帰還させる点では図5と同様であるが、第1差動増幅器5の出力ノードが第1基準電圧 V_{r1} がゲート入力されるトランジスタのドレイン側にある点で、図5とは異なっている。

【0050】

このように、第2の実施形態では、LDOレギュレータ2内の第1トランジスタQ1から出力ポートP0を介して流れる負荷電流の変動を第1トランジスタQ1のゲート電圧で検出し、このゲート電圧をブースタ回路3内の第1差動増幅器5に帰還させるため、図1の電源回路1よりも簡易な回路構成で、負荷電流の変動に対して迅速に出力電圧 V_o の変動を抑制できる。

【0051】

(第3の実施形態)

以下に説明する第3の実施形態は、電源回路1に発振を防止する機能を持たせたものである。

図7は第3の実施形態による電源回路1の回路図である。図7の電源回路1は、図1の電源回路1に、発振防止用の電圧ヒステリシス回路11を追加したものである。電圧ヒステリシス回路11は、ブースタ回路3内に設けられる。より具体的には、電源電圧ノードV_{dd}と接地電圧ノードV_{ss}との間に、第2トランジスタQ₂、インピーダンス回路R₃および電圧ヒステリシス回路11が直列接続されている。

【0052】

電圧ヒステリシス回路11は、インピーダンス回路R₆と第11トランジスタQ₁₁を並列接続した回路である。第11トランジスタQ₁₁は、例えばNMOSトランジスタであり、そのゲートはインバータ8の入力ノードに接続されている。

【0053】

インバータ8の入力ノードは、負荷電流が流れていない通常状態では、ハイレベルである。よって、通常状態では、第11トランジスタQ₁₁はオンし、電圧ヒステリシス回路11での電圧降下は生じない。負荷電流が流れると、インバータ8の入力ノードがロウレベルになり、第11トランジスタQ₁₁はオフする。これにより、電源電圧ノードV_{dd}と接地電圧ノードV_{ss}の間に、第2トランジスタQ₂と2つのインピーダンス回路R₃、R₆とが直列接続された状態となり、第1差動増幅器5の一方の入力ノードn₀の電圧はより持ち上げられる。よって、第1差動増幅器5の出力ノードの電圧は高くなり、第3トランジスタQ₃は迅速にオンし、より速いタイミングで、初段アンプ4の制御ポートP₁から電流が引き出されることになる。この状態で、負荷電流が減ると、第1差動増幅器5の一方の入力ノードn₀の電圧は低下し、第1差動増幅器5の出力電圧が上昇するが、インバータ8の入力ノードの電圧が第11トランジスタQ₁₁の閾値電圧を超えるまで、すなわち負荷電流が完全にゼロになるまでは、電圧ヒステリシス回路11により、第1差動増幅器5の一方の入力ノードn₀の電圧は持ち上げられたままであり、第1差動増幅器5の出力電圧の電圧レベルが短い周期で変化する発振状態になることを防止でき、発振に対する安定性を向上できる。

【0054】

なお、電圧ヒステリシス回路11は、図1の他に、図2、図5および図6の電源回路1にも設けることが可能である。例えば、図8は図5に電圧ヒステリシス回路11を追加した電源回路1の回路図である。図8の電圧ヒステリシス回路11は、ブースタ回路3内の第1基準電圧V_{r1}を制御するものであり、電源電圧ノードV_{dd}と接地電圧ノードV_{ss}との間に直列接続される電流源12および複数のインピーダンス回路R₇、R₈と、インピーダンス回路R₈に並列接続される第12トランジスタQ₁₂とを有する。第12トランジスタQ₁₂のゲートは、インバータ8の入力ノードに接続されている。電流源12に接続されたインピーダンス回路R₇と電流源12との接続ノードから第1基準電圧V_{r1}が出力されて、第1差動増幅器5に供給される。

【0055】

図8の電源回路1において、負荷電流が流れない通常状態では、インバータ8の入力ノードはハイレベルであり、第12トランジスタQ₁₂はオンする。この状態では、第12トランジスタQ₁₂のドレインソース間は短絡状態になる。負荷電流が流れると、インバータ8の入力ノードがロウになり、第12トランジスタQ₁₂はオフする。これにより、第1差動増幅器5に供給される第1基準電圧V_{r1}の電圧レベルが高くなる。その後、負荷電流が減少しても、インバータ8の入力ノードがハイになるまでは、第1差動増幅器5に供給される第1基準電圧V_{r1}の電圧レベルは高いままであり、第1差動増幅器5の出力電圧が発振するおそれがなくなる。

【0056】

このように、第3の実施形態では、ブースタ回路3内に電圧ヒステリシス回路11を設けるため、ブースタ回路3が発振するおそれがなくなり、発振に対する安定性を向上できる。

【0057】

(第4の実施形態)

以下に説明する第4の実施形態は、負荷が軽くなったときに、出力電圧 V_o が急激に上がらないような機能を電源回路1に持たせるものである。

【0058】

図9は第4の実施形態による電源回路1の回路図である。図9の電源回路1は、図4の電源回路1に、遅延回路13を追加したものである。遅延回路13は、ブースタ回路3内のインバータ8の入力ノードの電圧を反転させる奇数段のインバータ群14と、奇数段のインバータ群14の最終出力ノードがゲートに接続される第13トランジスタ Q_{13} と、第13トランジスタ Q_{13} のドレインとLDOレギュレータ2内の初段アンプ4の制御ポートP2との間に接続される電流源15とを有する。インバータ群14のインバータの段数は図9に示したように3段には限らない。

【0059】

遅延回路13は、負荷電流が流れている間は、初段アンプ4から電流を引き出して、電流源15と第13トランジスタ Q_{13} に流す動作を行う。これにより、初段アンプ4の応答性向上を図ることができる。

【0060】

より具体的には、負荷電流が流れると、ブースタ回路3内のインバータ8の入力ノードはロウレベルになり、遅延回路13内のインバータ群14の出力はハイレベルになる。よって、第13トランジスタ Q_{13} はオンし、初段アンプ4からより多くの電流が引き出されて、電流源15と第13トランジスタ Q_{13} を通して、接地電圧ノード V_{ss} に流れる。これにより、初段アンプ4の応答性は向上する。この動作は、負荷電流が流れている限り、継続して行われる。

【0061】

負荷電流がゼロになると、ブースタ回路3内のインバータ8の入力ノードはハイ電圧になり、ブースタ回路3は初段アンプ4から電流を引き出す動作を行わなくなる。ただし、遅延回路13内には、インバータ群14があるために、負荷電流がゼロになってもしばらくの間は、第13トランジスタ Q_{13} はオン状態を維持し、初段アンプ4から電流を引き出す動作を行い続ける。これにより、負荷電流がゼロになっても、出力電圧 V_o が急激に高くなる不具合が生じなくなる。

【0062】

図9の遅延回路13は、図1の他に、図2、図5および図6の電源回路1に追加可能である。また、第3の実施形態で説明した電圧ヒステリシス回路11と遅延回路13とを共に図1等の電源回路1に追加してもよい。

【0063】

このように、第4の実施形態では、遅延回路13を設けることで、負荷電流が流れるときに、LDOレギュレータ2内の初段アンプ4の応答性をさらに向上させる動作を行い、負荷電流がゼロになっても、しばらくの間は初段アンプ4の応答性を向上させる動作を継続させるようにしたため、負荷電流がゼロになった直後に出力電圧 V_o が急激に高くなるような不具合を防止できる。

【0064】

本発明の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本発明の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本発明の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

【符号の説明】

【0065】

1 電源回路、2 LDOレギュレータ、3 ブースタ回路、4 初段アンプ、5 第1差動増幅器、6 制御回路、7 第1電流源、8 インバータ、9 第2電流源、10 第2差動増幅器、11 電圧ヒステリシス回路、12 電流源、13 遅延回路

【書類名】 特許請求の範囲

【請求項 1】

入力電圧に応じた出力電圧を生成する L D O (Low Drop Out) レギュレータと、
前記出力電圧の変動に対する前記 L D O レギュレータの応答性を向上させるブースタ回路と、を備え、
前記 L D O レギュレータは、
前記出力電圧の変動に応じた電圧を出力するアンプと、
前記アンプから出力された電圧に応じた電圧レベルの前記出力電圧を出力する第 1 トランジスタと、を有し、
前記ブースタ回路は、
前記第 1 トランジスタの出力電流に比例した出力電流を流す第 2 トランジスタと、
前記第 2 トランジスタの出力電流に応じた電圧と第 1 基準電圧との電圧差に応じた電圧信号を出力する第 1 差動増幅器と、
前記電圧差に応じた電圧信号に応じて、前記アンプの応答性を制御する制御回路と、を有する電源回路。

【請求項 2】

前記第 2 トランジスタの出力電流は、前記第 1 トランジスタの出力電流より小さい請求項 1 に記載の電源回路。

【請求項 3】

前記第 1 トランジスタおよび前記第 2 トランジスタは、互いのゲートまたはベースを接続したカレントミラー回路であり、
前記第 1 トランジスタのゲート幅をゲート長で割った値は、前記第 2 トランジスタのゲート幅をゲート長で割った値よりも大きい請求項 2 に記載の電源回路。

【請求項 4】

前記 L D O レギュレータは、前記第 1 トランジスタの出力電流経路に直列接続される第 1 インピーダンス回路を有し、
前記ブースタ回路は、前記第 2 トランジスタの出力電流経路に直列接続され前記第 1 インピーダンス回路に流れる電流に比例した電流を流す第 2 インピーダンス回路を有し、
前記第 1 トランジスタおよび前記第 1 インピーダンス回路の接続ノードから前記出力電圧が出力され、
前記第 1 差動増幅器は、前記第 2 トランジスタおよび前記第 2 インピーダンス回路の接続ノードの電圧と前記第 1 基準電圧との電圧差に応じた電圧信号を出力する請求項 1 乃至 3 のいずれかに記載の電源回路。

【請求項 5】

入力電圧に応じた出力電圧を出力する L D O レギュレータと、
前記出力電圧の変動に対する前記 L D O レギュレータの応答性を向上させるブースタ回路と、を備え、
前記 L D O レギュレータは、
前記出力電圧の変動に応じた電圧を出力するアンプと、
前記アンプから出力された電圧に応じた電圧レベルの前記出力電圧を出力する第 1 トランジスタと、を有し、
前記ブースタ回路は、
前記第 1 トランジスタのゲートまたはベース電圧と第 1 基準電圧との電圧差に応じた電圧信号を出力する第 1 差動増幅器と、
前記電圧差に応じた電圧信号に応じて、前記アンプの応答性を制御する制御回路と、を有する電源回路。

【請求項 6】

前記第 1 差動増幅器は、対になった第 2 トランジスタおよび第 3 トランジスタを有し、
前記第 2 トランジスタのゲートまたはベースは、前記第 1 トランジスタのゲートまたはベースに接続され、

前記第3トランジスタのゲートまたはベースには前記第1基準電圧が供給される請求項5に記載の電源回路。

【請求項7】

前記制御回路は、前記第1トランジスタの出力電流がゼロでない限り、継続して前記アンプの応答性を向上させる請求項1乃至6のいずれかに記載の電源回路。

【請求項8】

前記アンプは、

前記出力電圧に応じた電圧と第2基準電圧との電圧差に応じた電圧信号を出力する第2差動増幅器と、

前記第2差動増幅器に流す電流を生成する電流源と、

前記第2差動増幅器に流す電流を調整する制御ポートと、を有し、

前記制御回路は、前記第1差動増幅器から出力された電圧信号に応じて、前記制御ポートを介して前記第2差動増幅器に流す電流を調整する請求項1乃至7のいずれかに記載の電源回路。

【請求項9】

前記第1トランジスタに接続され前記出力電圧を出力する出力ポートを備え、

前記第1トランジスタから前記出力ポートに流れる負荷電流が増えると、前記ブースタ回路内の前記第1差動増幅器の前記第1基準電圧と比較する電圧をより高くする電圧ヒステリシス回路を備える請求項1乃至8のいずれかに記載の電源回路。

【請求項10】

前記第1トランジスタに接続され前記出力電圧を出力する出力ポートを備え、

前記第1トランジスタから前記出力ポートに流れる負荷電流がゼロになったときの前記アンプの応答性向上動作を停止させるタイミングを所定期間遅延させる遅延回路を備える請求項1乃至8のいずれかに記載の電源回路。

【書類名】 要約書

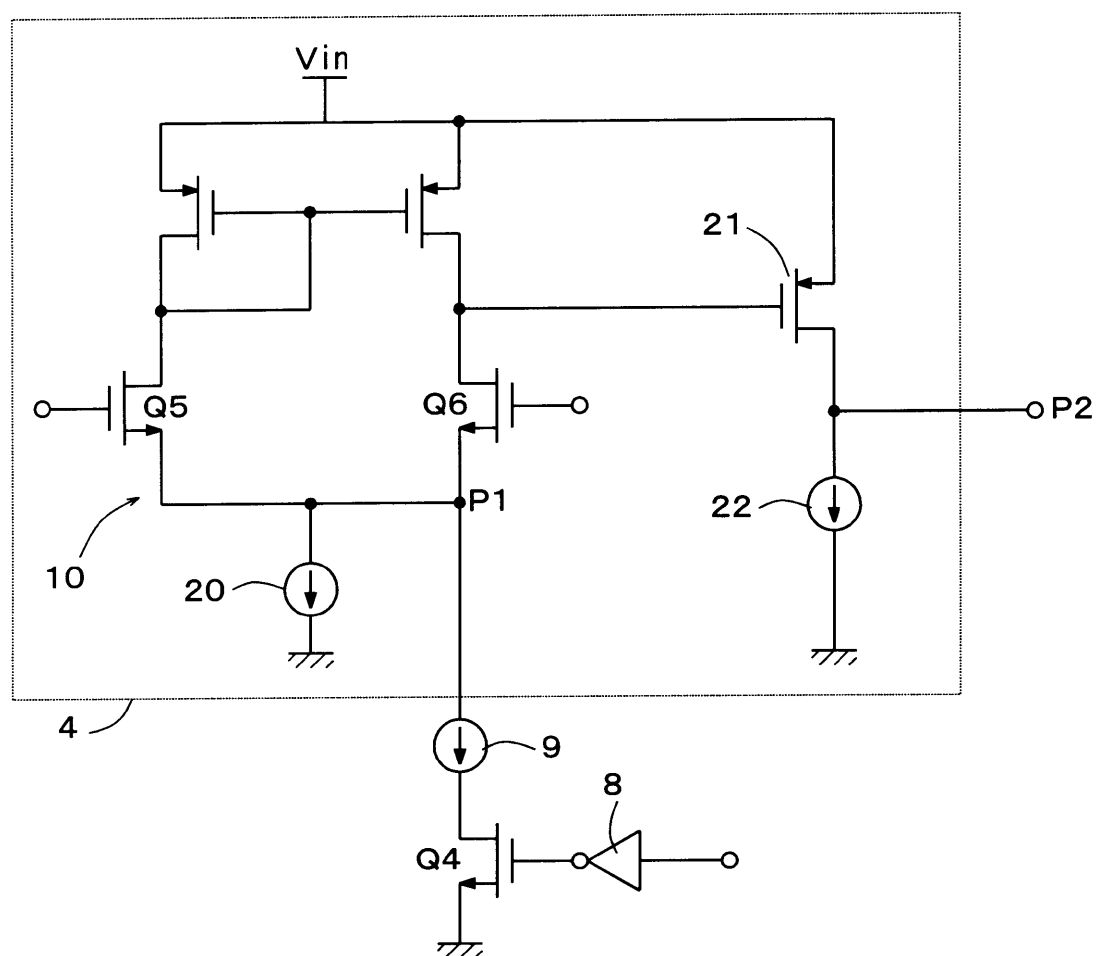
【要約】

【課題】 負荷変動に対する高速応答性に優れた電源回路を提供する。

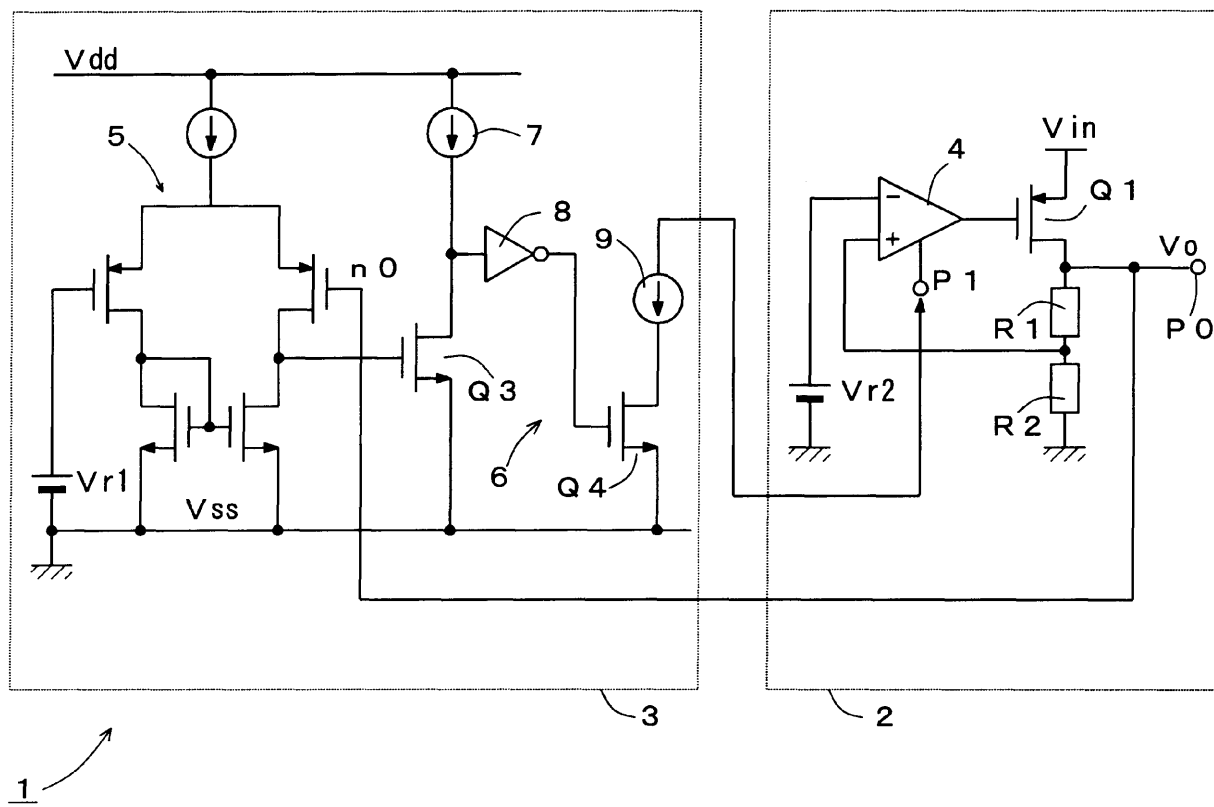
【解決手段】 電源回路は、入力電圧に応じた出力電圧を生成するLDOレギュレータと、出力電圧の変動に対するLDOレギュレータの応答性を向上させるブースタ回路と、を備え、LDOレギュレータは、出力電圧の変動に応じた電圧を出力するアンプと、アンプから出力された電圧に応じた電圧レベルの出力電圧を出力する第1トランジスタと、を有し、ブースタ回路は、第1トランジスタの出力電流に比例した出力電流を流す第2トランジスタと、第2トランジスタの出力電流に応じた電圧と第1基準電圧との電圧差に応じた電圧信号を出力する第1差動増幅器と、電圧差に応じた電圧信号に応じて、アンプの応答性を制御する制御回路と、を有する。

【選択図】 図1

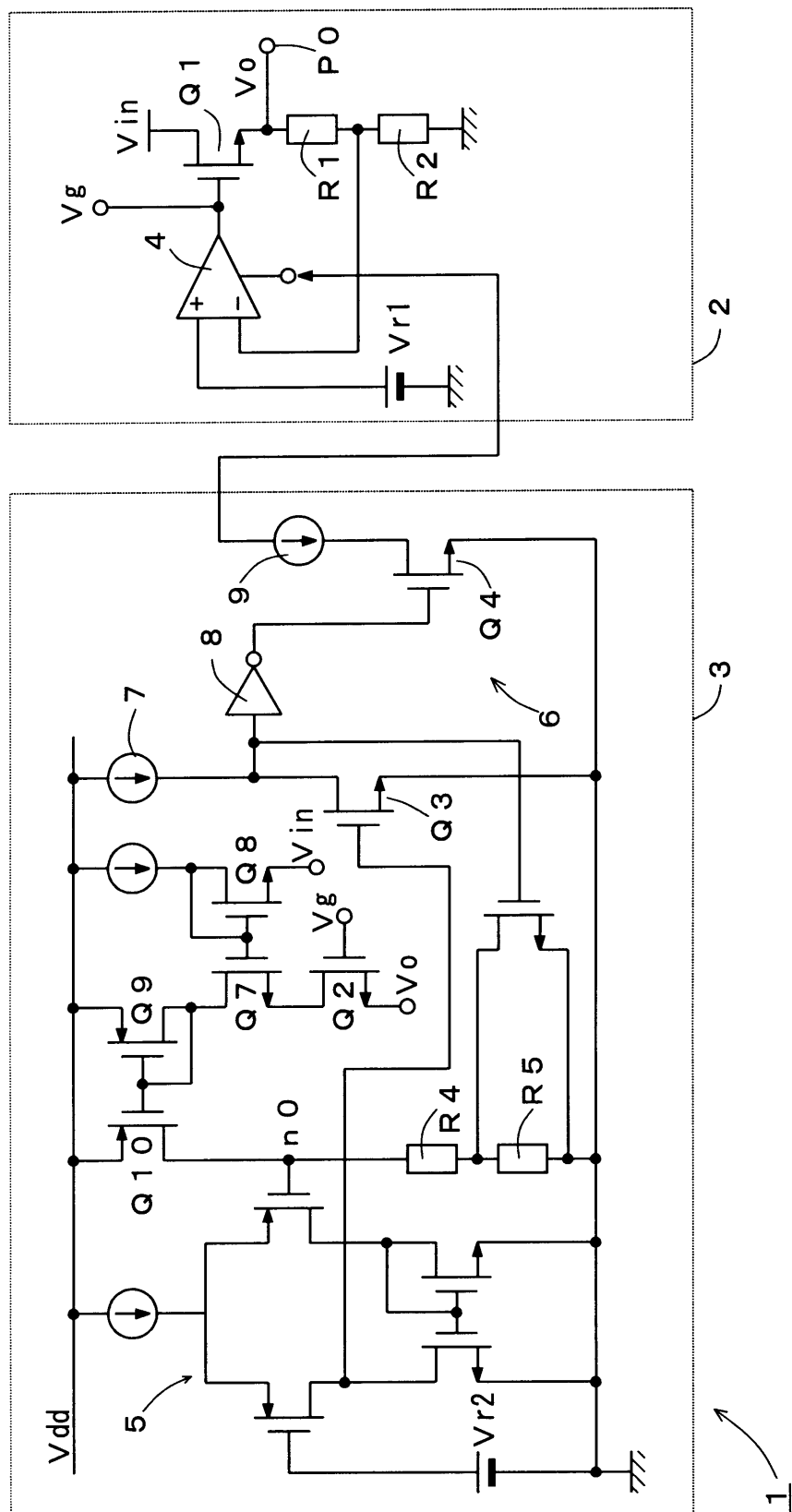
【図 2】



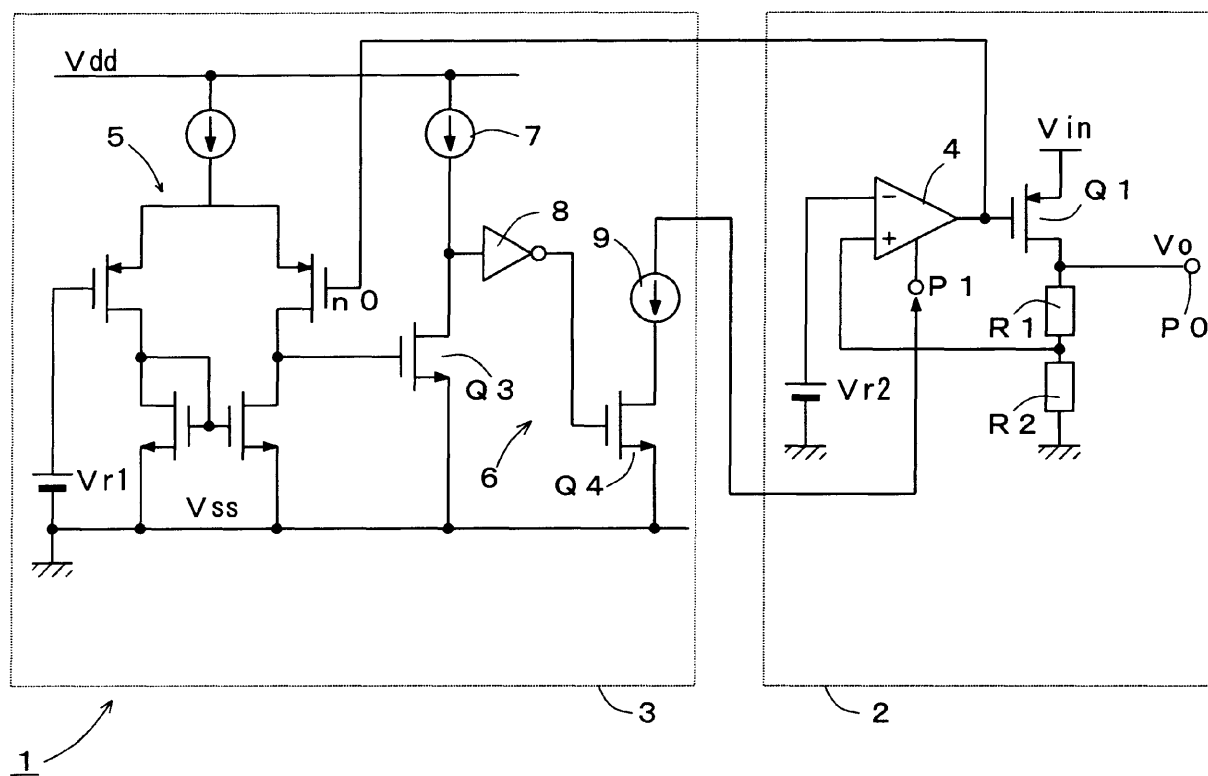
【図 3】



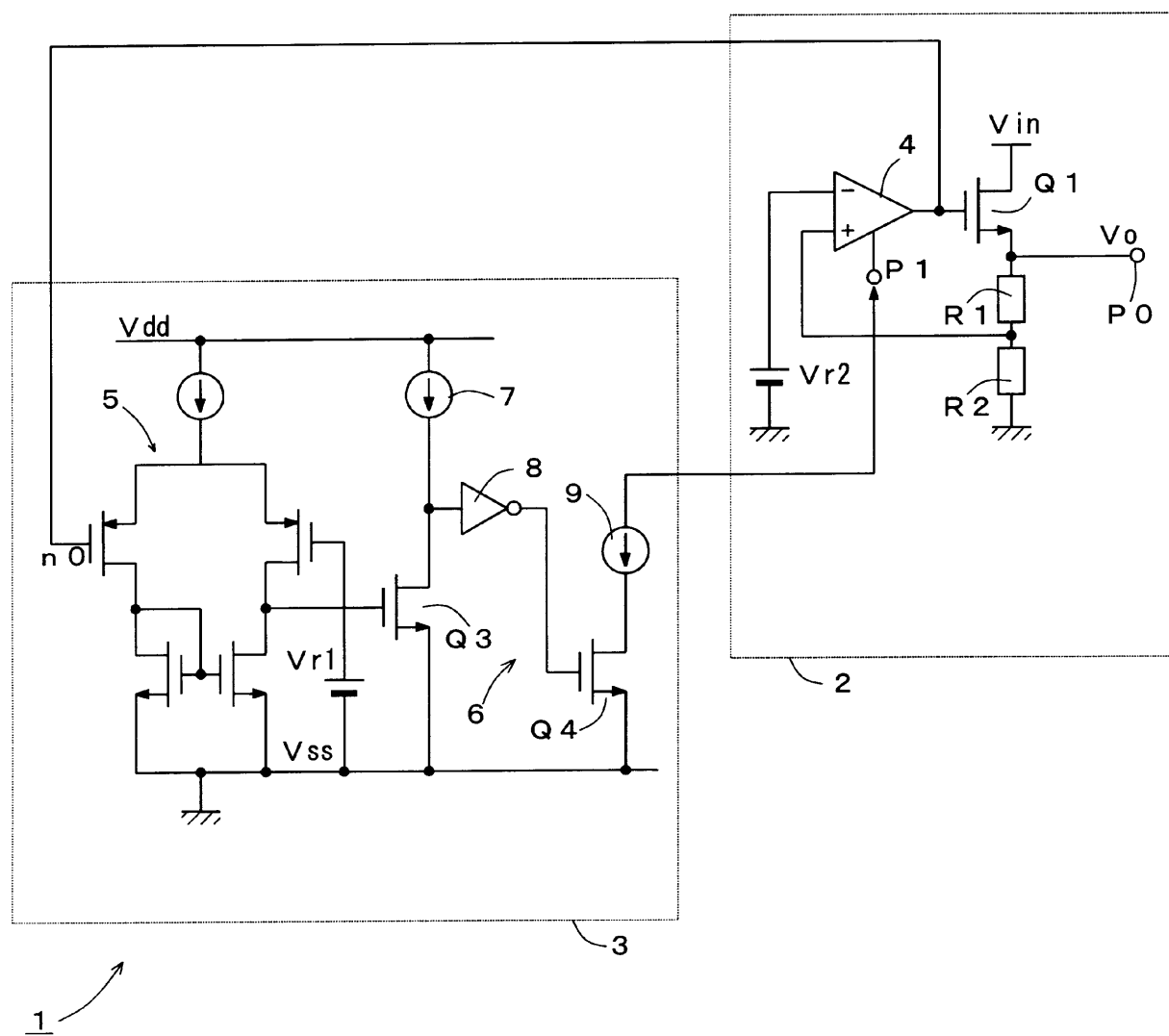
【図4】



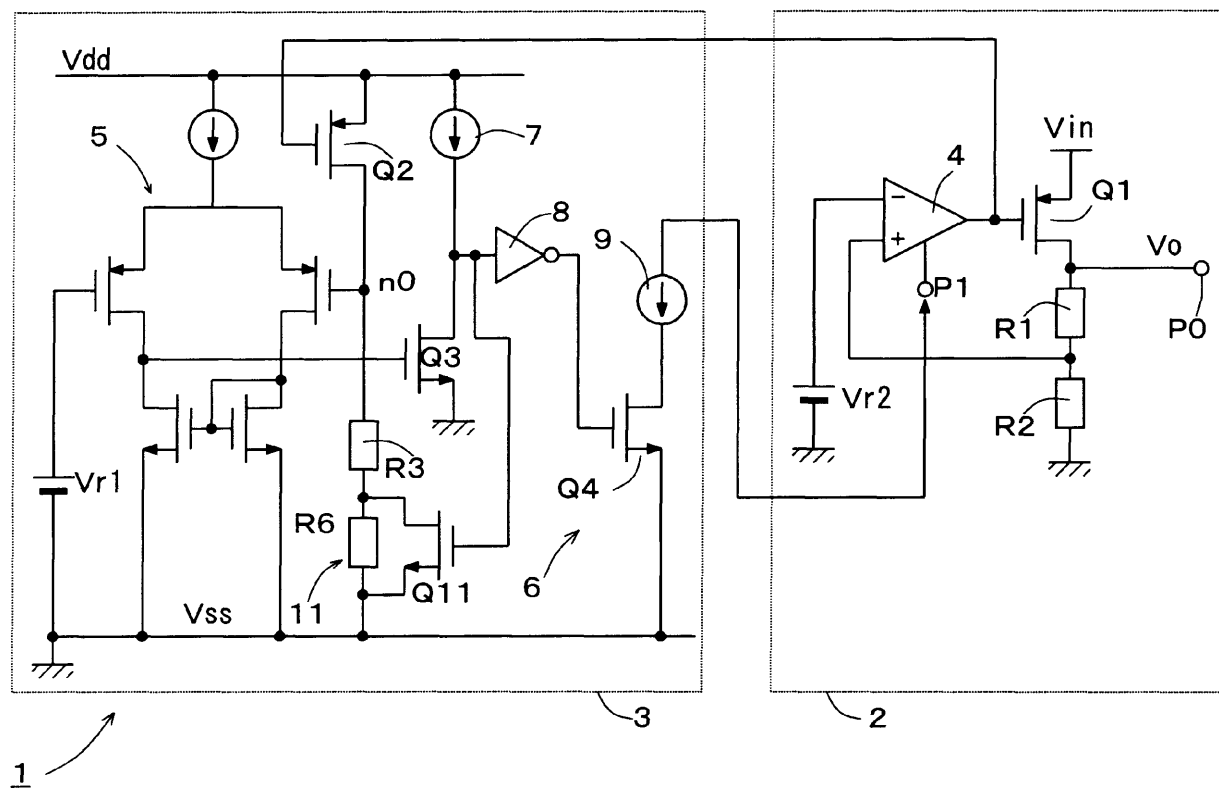
【図 5】



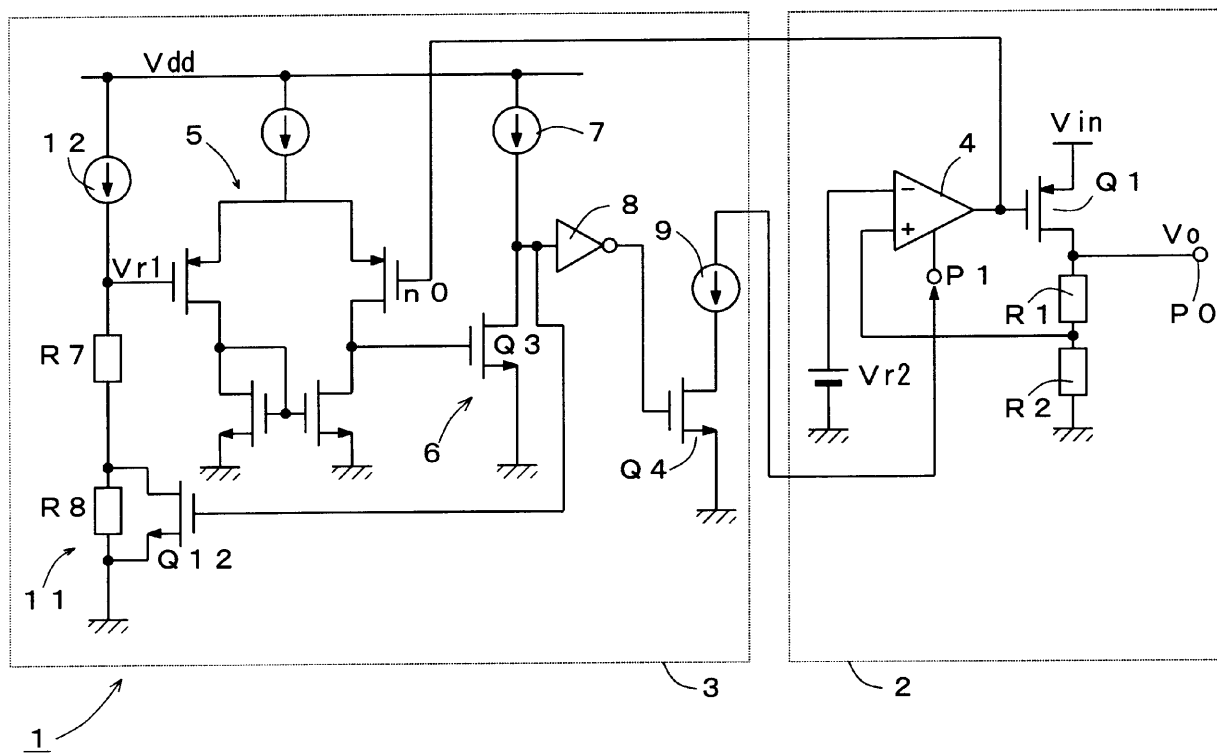
【図 6】



【図 7】



【図 8】



【図9】

