

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

トランジスタの小型化又は高性能化のために、トレンチ内にゲート電極を埋め込んだ縦型トランジスタが用いられる。縦型トランジスタでは、ドレイン・ソース間耐圧（以下、単に「耐圧」とも表記）とオン抵抗とがトレード・オフの関係にある。すなわち、オン抵抗を低減させるためにドリフト層の不純物濃度を増加させると耐圧が低下する。逆に、耐圧を向上させるためにドリフト層の不純物濃度を低下させると、オン抵抗が増大する。

【0003】

耐圧とオン抵抗のトレード・オフを改善する方法として、トレンチ内のゲート電極の下方にフィールドプレート電極を設ける構造がある。フィールドプレート電極によりドリフト層中の電界分布を変化させることで、ドリフト層の不純物濃度を維持したままで、縦型トランジスタの耐圧が向上する。縦型トランジスタの耐圧とオン抵抗のトレード・オフの更なる改善が求められている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2014-225693号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、縦型トランジスタの耐圧とオン抵抗のトレード・オフの改善を可能とする半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、第1の面と第2の面とを有する半導体層と、前記半導体層内に設けられた第1導電型のドリフト領域と、前記ドリフト領域と前記第1の面との間の前記半導体層内に設けられた第2導電型のボディ領域と、前記ボディ領域と前記第1の面との間の前記半導体層に設けられた第1導電型のソース領域と、第1のゲート電極と、前記第1のゲート電極との間に前記ボディ領域を挟んで設けられた第2のゲート電極と、前記第1のゲート電極と前記ボディ領域との間に設けられた第1のゲート絶縁膜と、前記第2のゲート電極と前記ボディ領域との間に設けられた第2のゲート絶縁膜と、前記第2の面と前記第1のゲート電極との間に設けられた第1のフィールドプレート電極と、前記第2の面と前記第2のゲート電極との間に設けられた第2のフィールドプレート電極と、前記第1のフィールドプレート電極と前記ドリフト領域との間に設けられた第1のフィールドプレート絶縁膜と、前記第2のフィールドプレート電極と前記ドリフト領域との間に設けられた第2のフィールドプレート絶縁膜と、少なくとも一部が、前記第1のフィールドプレート電極と前記第2のフィールドプレート電極との間の前記ドリフト領域内に設けられた第1導電型の第1の領域と、前記第1の領域と前記ボディ領域との間の前記ドリフト領域内に設けられ、前記第1の領域よりも第1導電型不純物の濃度の高い第2の領域と、前記第2の領域と前記ボディ領域との間の前記ドリフト領域内に設けられ、前記第2の領域よりも第1導電型不純物の濃度の低い第3の領域と、を備える。

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置の模式断面図。

【図2】第1の実施形態の半導体装置の作用及び効果の説明図。

【図3】第1の実施形態の半導体装置の作用及び効果の説明図。

【図4】第1の実施形態の半導体装置の作用及び効果の説明図。

【図5】第1の実施形態の半導体装置の作用及び効果の説明図。

【図6】第2の実施形態の半導体装置の模式断面図。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0009】

また、以下の説明において、 n^+ 、 n 、 n^- 及び、 p^+ 、 p の表記は、各導電型における不純物濃度の相対的な高低を表す。すなわち n^+ は n よりも n 型の不純物濃度が相対的に高く、 n^- は n よりも n 型の不純物濃度が相対的に低いことを示す。また、 p^+ は p よりも p 型の不純物濃度が相対的に高いことを示す。なお、 n^+ 型、 n^- 型を単に n 型、 p^+ 型を単に p 型と記載する場合もある。

【0010】

不純物濃度は、例えば、SIMS (Secondary Ion Mass Spectrometry) により測定することが可能である。また、不純物濃度の相対的な高低は、例えば、SCM (Scanning Capacitance Microscopy) で求められるキャリア濃度の高低から判断することも可能である。また、不純物領域の深さ方向の位置は、例えば、SIMSで求めることが可能である。また、不純物領域の深さ方向の位置は、例えば、SCM像とAFM (Atomic Force Microscopy) 像との合成画像から求めることが可能である。

【0011】

(第1の実施形態)

本実施形態の半導体装置は、第1の面と第2の面とを有する半導体層と、半導体層内に設けられた第1導電型のドリフト領域と、ドリフト領域と第1の面との間の半導体層内に設けられた第2導電型のボディ領域と、ボディ領域と第1の面との間の半導体層に設けられた第1導電型のソース領域と、第1のゲート電極と、第1のゲート電極との間にボディ領域を挟んで設けられた第2のゲート電極と、第1のゲート電極とボディ領域との間に設けられた第1のゲート絶縁膜と、第2のゲート電極とボディ領域との間に設けられた第2のゲート絶縁膜と、第2の面と第1のゲート電極との間に設けられた第1のフィールドプレート電極と、第2の面と第2のゲート電極との間に設けられた第2のフィールドプレート電極と、第1のフィールドプレート電極とドリフト領域との間に設けられた第1のフィールドプレート絶縁膜と、第2のフィールドプレート電極とドリフト領域との間に設けられた第2のフィールドプレート絶縁膜と、少なくとも一部が、第1のフィールドプレート電極と第2のフィールドプレート電極との間のドリフト領域内に設けられた第1導電型の第1の領域と、第1の領域とボディ領域との間のドリフト領域内に設けられ、第1の領域よりも第1導電型不純物の濃度の高い第2の領域と、第2の領域とボディ領域との間のドリフト領域内に設けられ、第2の領域よりも第1導電型不純物の濃度の低い第3の領域と、を備える。

【0012】

図1は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置100は、トレンチ内にゲート電極を備える縦型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) である。以下、第1導電型が n 型、第2導電型が p 型である場合、すなわち、 n チャネル型のMOSFETの場合を例に説明する。

【0013】

本実施形態のMOSFET100は、シリコン層（半導体層）10を備える。シリコン層10は、 n^+ 型のドレイン領域12、 n^- 型又は n 型のドリフト領域14、 p 型のボディ

ィ領域16、 n^+ 型のソース領域18、 p^+ 型のボディコンタクト領域20を備える。ドリフト領域14は、 n^- 型の下部領域(第1の領域)14a、 n 型の中間領域(第2の領域)14b、 n^- 型の上部領域(第3の領域)14cを備える。

【0014】

また、MOSFET100は、第1のゲート電極22、第2のゲート電極23、第1のゲート絶縁膜24、第2のゲート絶縁膜25、第1のフィールドプレート電極26、第2のフィールドプレート電極27、第1のフィールドプレート絶縁膜28、第2のフィールドプレート絶縁膜29、第1の絶縁膜30、第2の絶縁膜31、層間絶縁膜32、ソース電極34、ドレイン電極36を備える。また、MOSFET100は、第1のトレンチ40、第2のトレンチ41を備える。

【0015】

シリコン層10は、第1の面と第2の面を備える。以下、第1の面を表面、第2の面を裏面とも称する。

【0016】

シリコン層10は、単結晶のシリコン(Si)である。シリコン層10の表面は、例えば(100)面に対し、0度以上8度以下傾斜した面である。

【0017】

n^+ 型のドレイン領域12は、シリコン層10内に設けられる。ドレイン領域12は、 n 型不純物を含有する。 n 型不純物は、例えばリン(P)またはヒ素(As)である。 n 型不純物の濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0018】

n^- 型又は n 型のドリフト領域14は、シリコン層10内に設けられる。ドリフト領域14は、ドレイン領域12上に設けられる。ドリフト領域14は、 n 型不純物を含有する。 n 型不純物は、例えばリン(P)またはヒ素(As)である。 n 型不純物の濃度は、例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下である。ドリフト領域14は、例えば、 n^+ 型のドレイン領域12上にエピタキシャル成長により形成されたエピタキシャル成長層である。

【0019】

ドリフト領域14は、 n^- 型の下部領域14a、 n 型の中間領域14b、 n^- 型の上部領域14cを備える。 n^- 型の下部領域14aの少なくとも一部は、第1のフィールドプレート電極26と第2のフィールドプレート電極27との間に設けられる。

【0020】

中間領域14bは、下部領域14aと p 型のボディ領域16との間に設けられる。中間領域14bの n 型不純物の濃度は、下部領域14aの n 型不純物の濃度よりも高い。中間領域14bは、 n 型不純物の濃度分布のピークを備える。

【0021】

中間領域14bは、例えば、ドリフト領域14に、 n 型不純物をイオン注入することにより形成される。中間領域14bは、例えば、ドリフト領域14をエピタキシャル成長で形成する際に、同時形成することも可能である。

【0022】

上部領域14cは、中間領域14bとボディ領域16との間に設けられる。下部領域14aと上部領域14cにより、中間領域14bが挟まれる。上部領域14cの n 型不純物の濃度は、中間領域14bの n 型不純物の濃度よりも低い。

【0023】

中間領域14bの n 型不純物の濃度は、例えば、下部領域14aの n 型不純物の濃度の1.5倍以上10倍以下である。中間領域14bの n 型不純物の濃度は、例えば、上部領域14cの n 型不純物の濃度の1.5倍以上10倍以下である。

【0024】

比較の対象となる中間領域14bの n 型不純物の濃度は、 n 型不純物の濃度の最大値、

すなわち、n型不純物の濃度分布のピークの値である。また、比較の対象となる下部領域14a、上部領域14cのn型不純物の濃度は、中間領域14bのn型不純物の濃度分布のピークから繋がる濃度分布の裾の端部のn型不純物の濃度とする。

【0025】

例えば、下部領域14aのn型不純物の濃度と、上部領域14cのn型不純物の濃度は略同一である。

【0026】

中間領域14bは、第1のフィールドプレート電極26と第2のフィールドプレート電極27との間に設けられる。

【0027】

また、中間領域14bのn型不純物の濃度が最大となる位置は、例えば、第1のフィールドプレート電極26の裏面側の端部を含みシリコン層10の裏面に平行な面と、ドリフト領域14とボディ領域16との境界を含みシリコン層10の裏面に平行な面との間のドリフト領域14を、3等分する2つの面の間に位置する。

【0028】

p型のボディ領域16は、ドリフト領域14とシリコン層10の表面との間のシリコン層10内に設けられる。MOSFET100のオン動作時には、第1のゲート絶縁膜24及び第2のゲート絶縁膜25と接する領域にチャネルが形成される。

【0029】

ボディ領域16は、p型不純物を含有する。p型不純物は、例えば、ボロン(B)である。p型不純物の濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0030】

n⁺型のソース領域18は、ボディ領域16とシリコン層10の表面(第1の面)との間のシリコン層10内に設けられる。ソース領域18は、n型不純物を含有する。n型不純物は、例えばリン(P)またはヒ素(As)である。n型不純物の濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0031】

p⁺型のボディコンタクト領域20は、ボディ領域16と第1の面との間のシリコン層10内に設けられる。ボディコンタクト領域20は、2つのソース領域18に挟まれて設けられる。

【0032】

ボディコンタクト領域20は、p型不純物を含有する。p型不純物は、例えば、ボロン(B)である。p型不純物の濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0033】

第1のゲート電極22は、第1のトレンチ40内に設けられる。第1のゲート電極22は、例えば、n型不純物又はp型不純物を含有する多結晶シリコンである。

【0034】

第2のゲート電極23は、第2のトレンチ41内に設けられる。第2のゲート電極23は、第1のゲート電極22との間に、ボディ領域16を挟んで設けられる。

【0035】

第1のゲート絶縁膜24は、第1のゲート電極22とボディ領域16との間に設けられる。第1のゲート絶縁膜24は、例えば、シリコン酸化膜である。

【0036】

第2のゲート絶縁膜25は、第2のゲート電極23とボディ領域16との間に設けられる。第2のゲート絶縁膜25は、例えば、シリコン酸化膜である。

【0037】

第1のフィールドプレート電極26は、第1のトレンチ40内に設けられる。第1のフィールドプレート電極26は、第1のゲート電極22とシリコン層10の裏面(第2の面

)との間に設けられる。

【0038】

第1のフィールドプレート電極26は、MOSFET100のオフ動作時に、ドリフト領域14内の電界分布を変化させ、MOSFET100の耐圧を向上させる機能を備える。第1のフィールドプレート電極26は、例えば、n型不純物又はp型不純物を含有する多結晶シリコンである。

【0039】

第2のフィールドプレート電極27は、第2のトレンチ41内に設けられる。第2のフィールドプレート電極27は、第2のゲート電極23と第2の面との間に設けられる。

【0040】

第2のフィールドプレート電極27は、MOSFET100のオフ動作時に、ドリフト領域14内の電界分布を変化させ、MOSFET100の耐圧を向上させる機能を備える。第2のフィールドプレート電極27は、例えば、n型不純物又はp型不純物を含有する多結晶シリコンである。

【0041】

第1のフィールドプレート絶縁膜28は、第1のフィールドプレート電極26とドリフト領域14との間に設けられる。第1のフィールドプレート絶縁膜28は、例えば、シリコン酸化膜である。

【0042】

第2のフィールドプレート絶縁膜29は、第2のフィールドプレート電極27とドリフト領域14との間に設けられる。第2のフィールドプレート絶縁膜29は、例えば、シリコン酸化膜である。

【0043】

第1の絶縁膜30は、第1のゲート電極22と第1のフィールドプレート電極26との間に設けられる。第1の絶縁膜30は、第1のゲート電極22と第1のフィールドプレート電極26とを電氣的に分離する機能を備える。第1のフィールドプレート電極26は、例えば、グラウンド電位に固定される。第1の絶縁膜30は、例えば、シリコン酸化膜である。

【0044】

第2の絶縁膜31は、第2のゲート電極23と第2のフィールドプレート電極27との間に設けられる。第2の絶縁膜31は、第2のゲート電極23と第2のフィールドプレート電極27とを電氣的に分離する機能を備える。第2のフィールドプレート電極27は、例えば、グラウンド電位に固定される。第2の絶縁膜31は、例えば、シリコン酸化膜である。

【0045】

層間絶縁膜32は、第1のゲート電極22とソース電極34との間に設けられる。また、層間絶縁膜32は、第2のゲート電極23とソース電極34との間に設けられる。層間絶縁膜32は、第1のゲート電極22とソース電極34、第2のゲート電極23とソース電極34を電氣的に分離する機能を備える。層間絶縁膜32は、例えば、シリコン酸化膜である。

【0046】

ソース電極34は、第1の面に設けられる。ソース電極34は、ソース領域18とボディコンタクト領域20とに電氣的に接続される。ソース電極34は、ソース領域18とボディコンタクト領域20とに接する。ソース電極34は、金属電極である。ソース電極34は、例えば、チタン(Ti)とアルミニウム(Al)の積層膜である。

【0047】

ドレイン電極36は、第2の面に設けられる。ドレイン電極36は、ドリフト領域14とドレイン領域12とに電氣的に接続される。ドレイン電極36は、ドレイン領域12に接する。ドレイン電極36は、金属電極である。ドレイン電極36は、例えば、チタン(Ti)、アルミニウム(Al)、ニッケル(Ni)、銅(Cu)、銀(Ag)、金(Au)

）等による積層膜である。

【0048】

以下、本実施形態の半導体装置の作用及び効果について説明する。図2、図3、図4、図5は、本実施形態の半導体装置の作用及び効果の説明図である。

【0049】

図2は、MOSFETの電流－電圧特性のシミュレーション結果を示す図である。n型のドリフト領域14に、リン(P)を4.0MeVの加速エネルギーでイオン注入して中間領域14bを形成した場合のMOSFETの電流－電圧特性を示す。図2(a)がイオン注入前のn型のドリフト領域14のn型不純物の濃度が $1.5 \times 10^{16} \text{ cm}^{-3}$ の場合、図2(b)が $2.0 \times 10^{16} \text{ cm}^{-3}$ の場合である。

【0050】

中間領域14bを設けない場合と比較して、中間領域14bを設けることにより、図2(a)の場合でドレイン・ソース間の耐圧が約5V、図2(b)の場合でドレイン・ソース間耐圧が約4V向上することが明らかとなった。

【0051】

図3は、ドレイン・ソース間耐圧の加速エネルギー依存性のシミュレーション結果を示す図である。イオン注入前のn型のドリフト領域14のn型不純物の濃度が $1.5 \times 10^{16} \text{ cm}^{-3}$ の場合と $2.0 \times 10^{16} \text{ cm}^{-3}$ の場合の結果を示す。加速エネルギーを0.8MeV～4.0MeVの範囲で変化させている。

【0052】

ドリフト領域14の濃度がいずれの場合も、加速エネルギーの増加に伴いドレイン・ソース間耐圧が向上する。すなわち、中間領域14bのシリコン層10表面からの深さが深くなるにつれ、ドレイン・ソース間耐圧が向上する。特に、加速エネルギーが3.2MeV以上の場合、中間領域14aを設けない場合に比べ、ドレイン・ソース間耐圧が顕著に向上する。

【0053】

図4は、深さ方向のn型不純物の濃度分布と、深さ方向の電界分布との加速エネルギー依存性のシミュレーション結果を示す図である。図4(a)がn型不純物の濃度分布、図4(b)が電界分布である。図4は、イオン注入前のn型のドリフト領域14のn型不純物の濃度が $1.5 \times 10^{16} \text{ cm}^{-3}$ の場合である。

【0054】

図4(a)に示すように、加速エネルギーの増加に伴い、中間領域14bのn型不純物濃度が最大となる位置が深くなる。中間領域14bのn型不純物濃度の最大値は、 $3 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下の範囲である。下部領域14a及び上部領域14cのn型不純物の濃度の2倍以上4倍以下の範囲である。

【0055】

中間領域14bのn型不純物の濃度が最大となる位置が、第1のフィールドプレート電極26の裏面側の端部を含みシリコン層10の裏面に平行な面と、ドリフト領域14とボディ領域16との境界を含みシリコン層10の裏面に平行な面との間のドリフト領域14を、3等分する2つの面の間に位置することが望ましい。すなわち、中間領域14bのn型不純物の濃度が最大となる位置が、図4(a)中、両矢印で示す範囲に位置することが望ましい。

【0056】

中間領域14bのn型不純物の濃度が最大となる位置が、上記範囲にあることで、中間領域14aを設けない場合に比べ、ドレイン・ソース間耐圧が顕著に向上する。

【0057】

図4(b)に示すように、イオン注入を行わない場合、すなわち、中間領域14bを設けない場合、電界強度分布はドリフト領域14とボディ領域16との境界、及び、第1のフィールドプレート電極26のトレンチ底部側の端部の双方にピークをもち、2つのピークの間部分は凹形状を呈する。

【0058】

イオン注入を行い、中間領域14bを設けることで、凹形状を呈する中間部分の電界強度が持ち上がる。そして、イオン注入の加速エネルギーの増加に伴い、中間部分の電界強度の持ち上がり程度が大きくなる。ドレイン・ソース間耐圧は、電界強度の深さ方向の積分値である。本実施形態では、中間領域14bを設けることで、電界強度が持ち上がり、電界強度の深さ方向の積分値が増大し、ドレイン・ソース間耐圧が向上すると考えられる。

【0059】

図5は、深さ方向のn型不純物の濃度分布と、深さ方向の電界分布のシミュレーション結果を示す図である。加速エネルギーが4.0MeVの場合のみを示す。図5(a)がn型不純物の濃度分布、図5(b)が電界分布である。図5は、イオン注入前のn型のドリフト領域14のn型不純物の濃度が $2 \times 10^{16} \text{ cm}^{-3}$ の場合である。

【0060】

図5(a)に示すように、中間領域14bのn型不純物濃度の最大値は、 $3 \times 10^{16} \text{ cm}^{-3}$ 以上 $4 \times 10^{16} \text{ cm}^{-3}$ 以下の範囲である。下部領域14a及び上部領域14cのn型不純物の濃度の1.5倍以上2倍以下の範囲である。

【0061】

図5(b)に示すように、図4(b)の場合と同様、中間領域14bを設けることで、ドリフト領域14とボディ領域16との境界と、第1のフィールドプレート電極26の裏面側の端部との中間近傍の電界強度が持ち上がることが分かる。このため、ドレイン・ソース間耐圧が向上すると考えられる。

【0062】

MISFET100では、下部領域14cと上部領域14aとの間に、下部領域14c及び上部領域14aよりも、n型不純物の濃度が高い中間領域14cが設けられる。このため、中間領域14bが無い場合と比較して、第1のトレンチ40及び第2のトレンチ41に挟まれるドリフト領域14、いわゆるメサ領域の抵抗が低下する。したがって、ドレイン・ソース間耐圧の向上に加え、オン抵抗の低減も実現される。

【0063】

なお、中間領域14bのn型不純物の濃度は、下部領域14aのn型不純物の濃度の1.5倍以上10倍以下であることが望ましい。また、中間領域14bのn型不純物の濃度は、上部領域14cのn型不純物の濃度の1.5倍以上10倍以下であることが望ましい。中間領域14bのn型不純物の濃度が上記範囲を下回ると、十分な耐圧向上効果が得られない恐れがある。また、中間領域14bのn型不純物の濃度が上記範囲を上回ると、電位分布の傾きが急になるため、電界強度が強くなりすぎ、逆に耐圧が劣化する恐れがある。

【0064】

以上、本実施形態のMOSFET100によれば、ドレイン・ソース間耐圧の向上とオン抵抗の低減が同時に実現される。したがって、MOSFET100によれば、縦型トランジスタの耐圧とオン抵抗のトレードオフの改善が可能となる。

【0065】

(第2の実施形態)

本実施形態の半導体装置は、第1の絶縁膜及び第2の絶縁膜を備えないこと以外は、第1の実施形態と同様である。したがって、第1の実施形態と重複する内容については記述を省略する。

【0066】

図6は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置200は、トレンチ内にゲート電極を備える縦型MOSFETである。

【0067】

本実施形態のMOSFET200は、シリコン層(半導体層)10を備える。シリコン層10は、n⁺型のドレイン領域12、n⁻型又はn型のドリフト領域14、p型のボデ

領域16、 n^+ 型のソース領域18、 p^+ 型のボディコンタクト領域20を備える。ドリフト領域14は、 n^- 型の下部領域(第1の領域)14a、 n 型の中間領域(第2の領域)14b、 n^- 型の上部領域(第3の領域)14cを備える。

【0068】

また、MOSFET200は、第1のゲート電極22、第2のゲート電極23、第1のゲート絶縁膜24、第2のゲート絶縁膜25、第1のフィールドプレート電極26、第2のフィールドプレート電極27、第1のフィールドプレート絶縁膜28、第2のフィールドプレート絶縁膜29、層間絶縁膜32、ソース電極34、ドレイン電極36を備える。また、MOSFET200は、第1のトレンチ40、第2のトレンチ41を備える。

【0069】

MOSFET200は、第1のゲート電極22と第1のフィールドプレート電極26が、電氣的及び物理的に接続される。また、第2のゲート電極23と第2のフィールドプレート電極27が、電氣的及び物理的に接続される。

【0070】

したがって、第1のフィールドプレート電極26と第2のフィールドプレート電極27には、ゲート電圧が印加される。

【0071】

本実施形態のMOSFET200によれば、第1の実施形態と同様の作用により、縦型トランジスタの耐圧とオン抵抗のトレードオフの改善が可能となる。

【0072】

以上、第1及び第2の実施形態では、第1導電型が n 型、第2導電型が p 型の場合を例に説明したが、第1導電型が p 型、第2導電型が n 型の構成とすることも可能である。

【0073】

また、第1及び第2の実施形態では、半導体材料としてシリコンを例に説明したが、炭化珪素(SiC)、窒化ガリウム(GaN)等、その他の半導体材料を用いることも可能である。

【0074】

また、第1及び第2の実施形態では、第1のフィールドプレート絶縁膜28、第2のフィールドプレート絶縁膜29の膜厚が一定の場合を例に説明したが、例えば、第1のフィールドプレート絶縁膜28及び第2のフィールドプレート絶縁膜29の膜厚を多段にしたり、深さ方向に膜厚を連続的に変化させたりすることで、更に、ドレイン・ソース間耐圧を向上させる構成とすることも可能である。

【0075】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換えまたは変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0076】

| | |
|-----|------------------------|
| 10 | シリコン層(半導体層) |
| 14 | n^- 型又は n 型のドリフト領域 |
| 14a | n^- 型の下部領域(第1の領域) |
| 14b | n 型の中間領域(第2の領域) |
| 14c | n^- 型の上部領域(第3の領域) |
| 16 | p 型のボディ領域 |
| 18 | n^+ 型のソース領域 |
| 22 | 第1のゲート電極 |

| | |
|-------|-------------------|
| 2 3 | 第 2 のゲート電極 |
| 2 4 | 第 1 のゲート絶縁膜 |
| 2 5 | 第 2 のゲート絶縁膜 |
| 2 6 | 第 1 のフィールドプレート電極 |
| 2 7 | 第 2 のフィールドプレート電極 |
| 2 8 | 第 1 のフィールドプレート絶縁膜 |
| 2 9 | 第 2 のフィールドプレート絶縁膜 |
| 3 0 | 第 1 の絶縁膜 |
| 3 1 | 第 2 の絶縁膜 |
| 3 4 | ソース電極 |
| 3 6 | ドレイン電極 |
| 1 0 0 | M O S F E T |
| 2 0 0 | M O S F E T |

【書類名】 特許請求の範囲

【請求項 1】

第 1 の面と第 2 の面とを有する半導体層と、
前記半導体層内に設けられた第 1 導電型のドリフト領域と、
前記ドリフト領域と前記第 1 の面との間の前記半導体層内に設けられた第 2 導電型のボディ領域と、
前記ボディ領域と前記第 1 の面との間の前記半導体層に設けられた第 1 導電型のソース領域と、
第 1 のゲート電極と、
前記第 1 のゲート電極との間に前記ボディ領域を挟んで設けられた第 2 のゲート電極と、
、
前記第 1 のゲート電極と前記ボディ領域との間に設けられた第 1 のゲート絶縁膜と、
前記第 2 のゲート電極と前記ボディ領域との間に設けられた第 2 のゲート絶縁膜と、
前記第 2 の面と前記第 1 のゲート電極との間に設けられた第 1 のフィールドプレート電極と、
前記第 2 の面と前記第 2 のゲート電極との間に設けられた第 2 のフィールドプレート電極と、
前記第 1 のフィールドプレート電極と前記ドリフト領域との間に設けられた第 1 のフィールドプレート絶縁膜と、
前記第 2 のフィールドプレート電極と前記ドリフト領域との間に設けられた第 2 のフィールドプレート絶縁膜と、
少なくとも一部が、前記第 1 のフィールドプレート電極と前記第 2 のフィールドプレート電極との間の前記ドリフト領域内に設けられた第 1 導電型の第 1 の領域と、
前記第 1 の領域と前記ボディ領域との間の前記ドリフト領域内に設けられ、前記第 1 の領域よりも第 1 導電型不純物の濃度の高い第 2 の領域と、
前記第 2 の領域と前記ボディ領域との間の前記ドリフト領域内に設けられ、前記第 2 の領域よりも第 1 導電型不純物の濃度の低い第 3 の領域と、
を備える半導体装置。

【請求項 2】

前記第 2 の領域の第 1 導電型不純物の濃度は、前記第 1 の領域の第 1 導電型不純物の濃度の 1.5 倍以上である請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 の領域は、前記第 1 のフィールドプレートと前記第 2 のフィールドプレートとの間に設けられた請求項 1 又は請求項 2 記載の半導体装置。

【請求項 4】

前記第 2 の領域の第 1 導電型不純物の濃度が最大となる位置は、前記第 1 のフィールドプレートの前記第 2 の面側の端部を含み前記第 2 の面に平行な面と、前記ドリフト領域と前記ボディ領域との境界を含み前記第 2 の面に平行な面との間を 3 等分する 2 つの面の間に位置する請求項 1 乃至請求項 3 いずれか一項記載の半導体装置。

【請求項 5】

前記第 1 のゲート電極と前記第 1 のフィールドプレート電極との間に設けられた第 1 の絶縁膜と、

前記第 2 のゲート電極と前記第 2 のフィールドプレート電極との間の設けられた第 2 の絶縁膜と、
を更に備える請求項 1 乃至請求項 4 いずれか一項記載の半導体装置。

【請求項 6】

前記第 1 の領域の第 1 導電型不純物の濃度は、前記第 3 の領域の第 1 導電型不純物の濃度と略同一である請求項 1 乃至請求項 5 いずれか一項記載の半導体装置。

【請求項 7】

前記第 1 の面に設けられ、前記ソース領域に電気的に接続されたソース電極と、

前記第2の面に設けられ、前記ドリフト領域に電氣的に接続されドレイン電極と、
を更に備える請求項1乃至請求項6いずれか一項記載の半導体装置。

【請求項8】

前記半導体層はシリコン層である請求項1乃至請求項7いずれか一項記載の半導体装置

。

【書類名】 要約書

【要約】

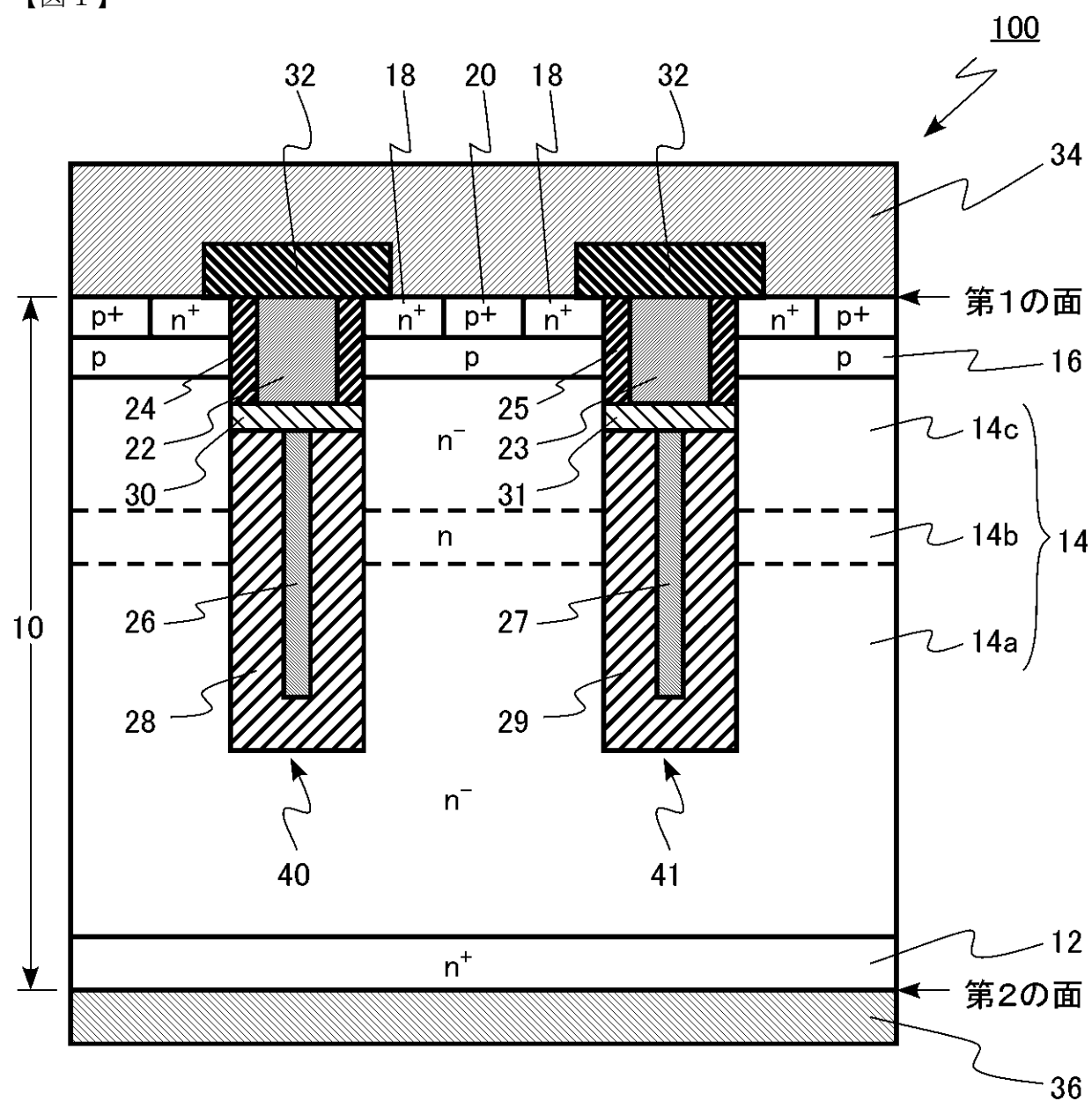
【課題】縦型トランジスタの耐圧とオン抵抗のトレードオフの改善を可能とする半導体装置を提供する。

【解決手段】実施形態の半導体装置は、第1の面と第2の面とを有する半導体層と、半導体層内の第1導電型のドリフト領域と、ドリフト領域と第1の面との間の第2導電型のボディ領域と、第1導電型のソース領域と、第1のゲート電極と、第1のゲート電極との間にボディ領域を挟んで設けられた第2のゲート電極と、第1及び第2のゲート絶縁膜と、第2の面と第1のゲート電極との間の第1のフィールドプレート電極と、第2の面と第2のゲート電極との間の第2のフィールドプレート電極と、ドリフト領域内の第1導電型の第1の領域と、第1の領域とボディ領域との間の第1の領域よりも第1導電型不純物の濃度の高い第2の領域と、第2の領域とボディ領域との間に設けられ、第2の領域よりも第1導電型不純物の濃度の低い第3の領域と、を備える。

【選択図】 図1

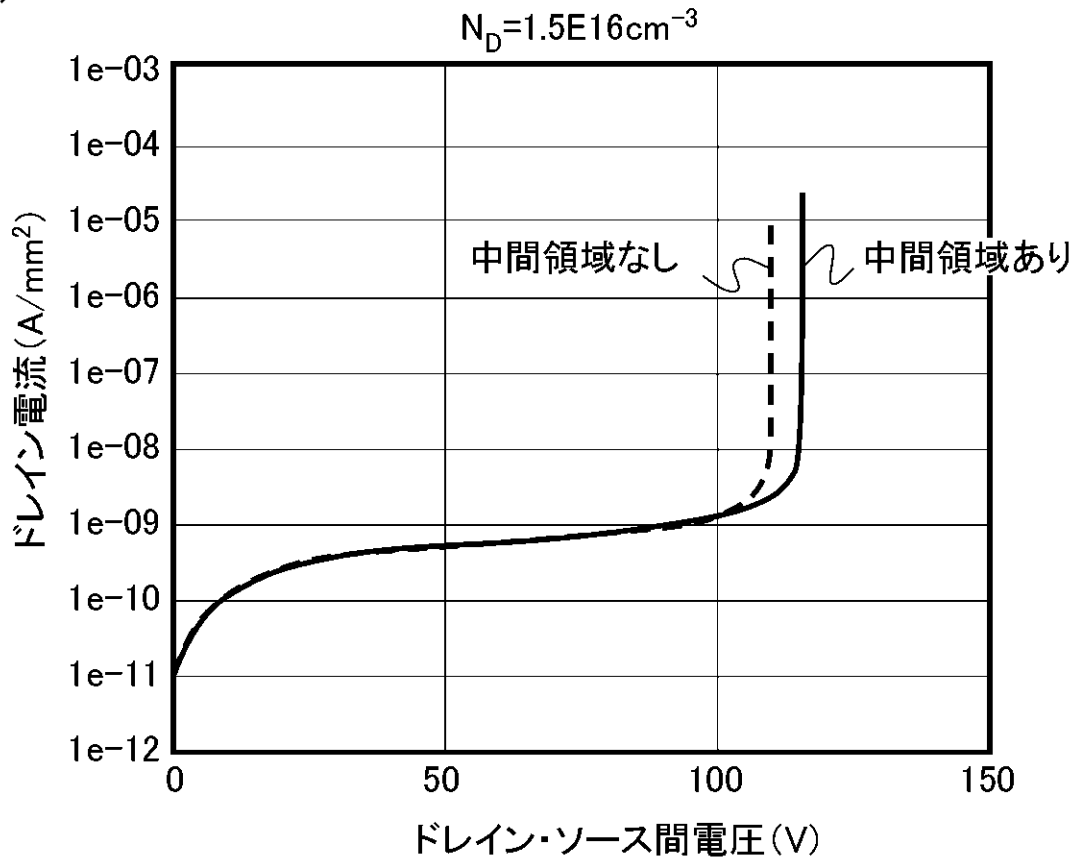
【書類名】 図面

【図 1】

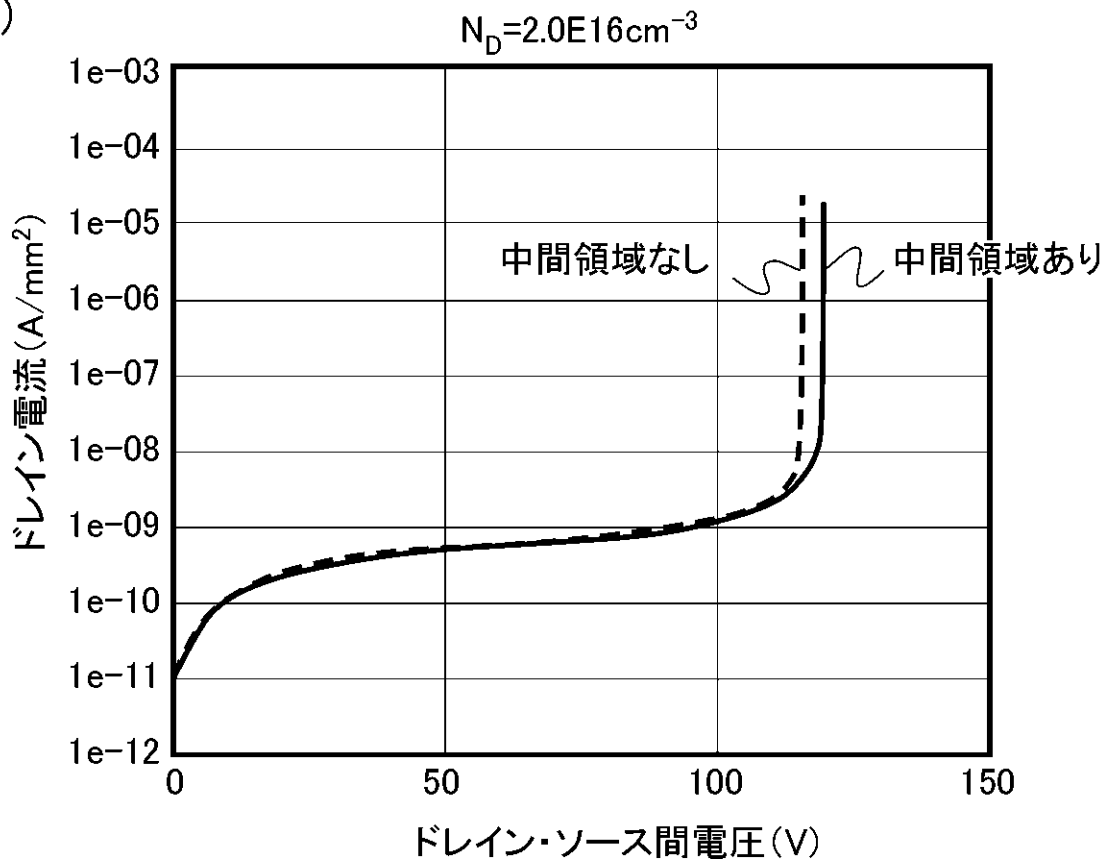


【図 2】

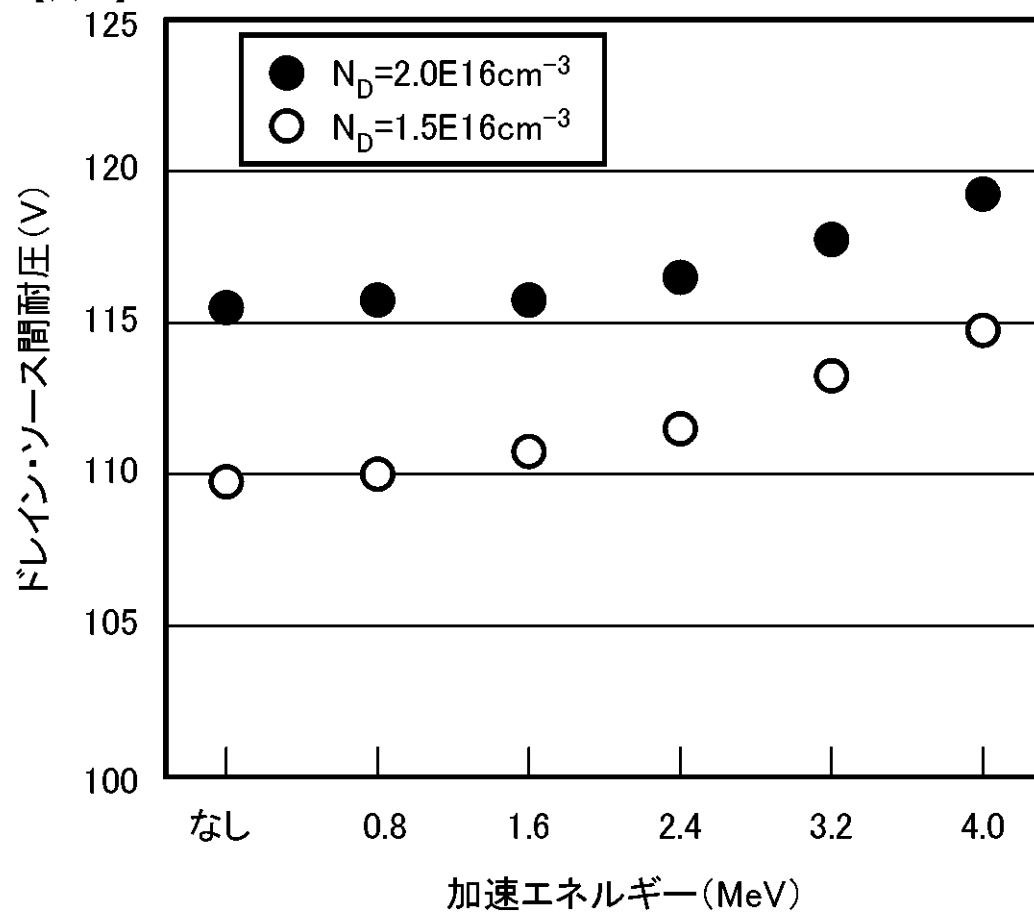
(a)



(b)

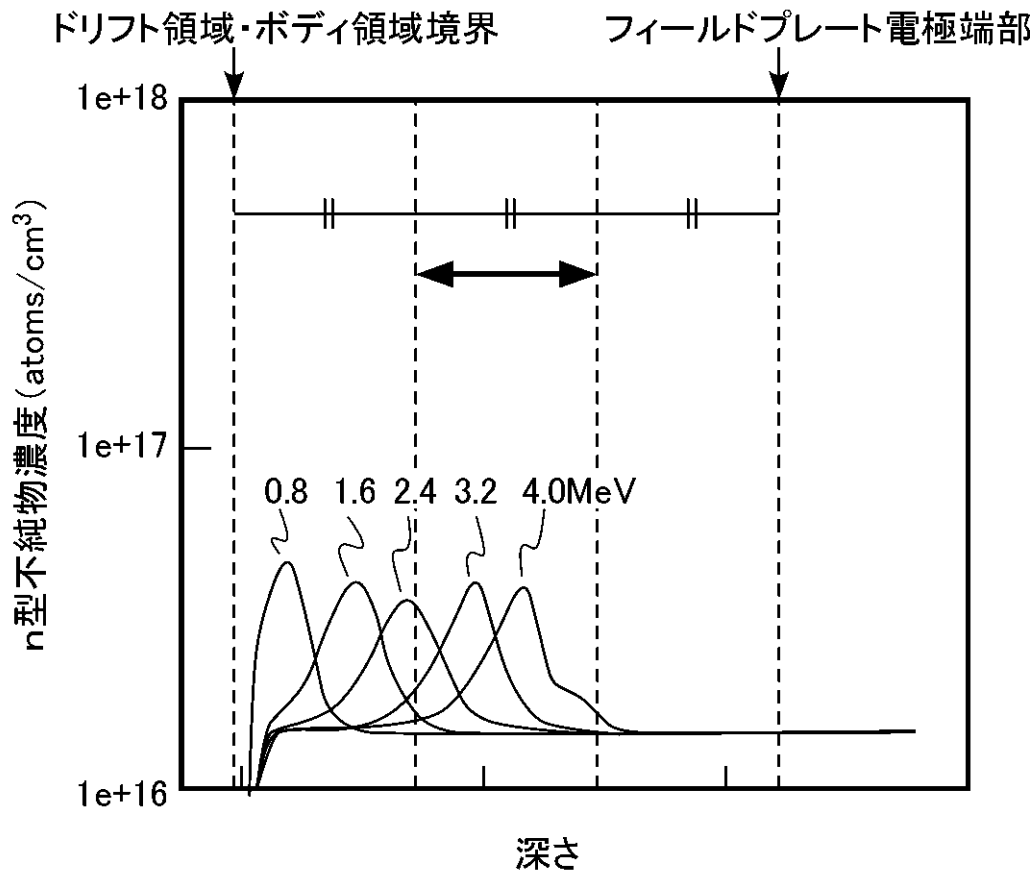


【図3】

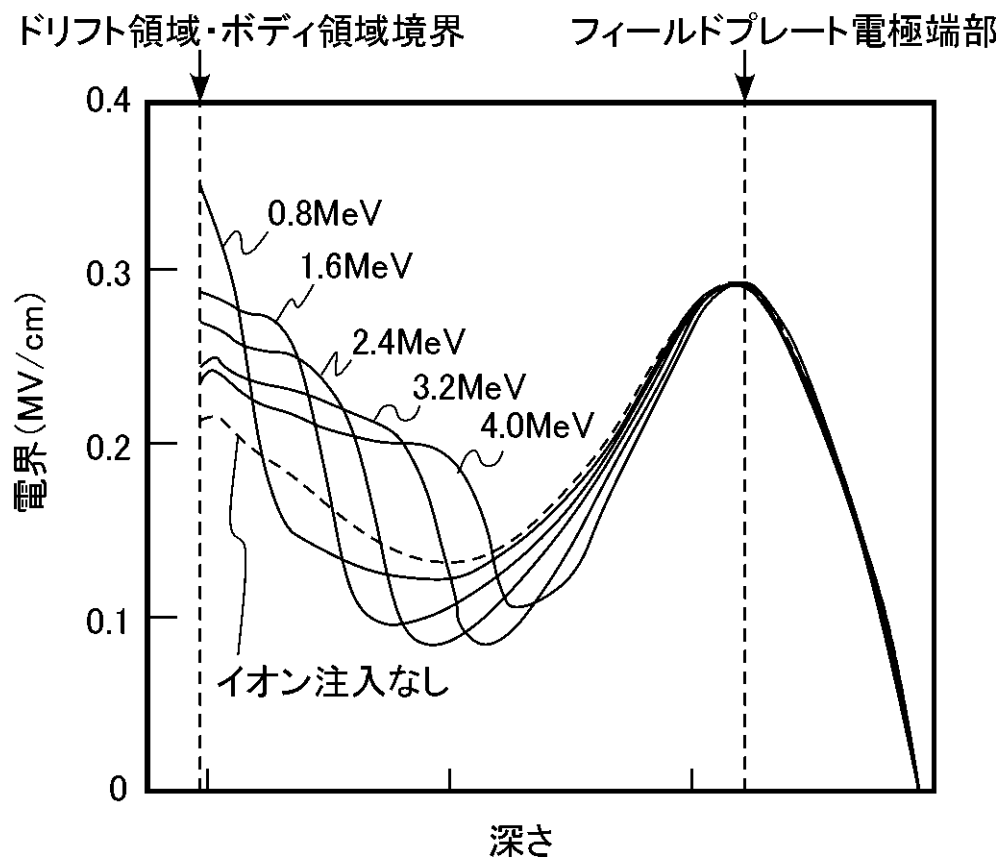


【図 4】

(a)

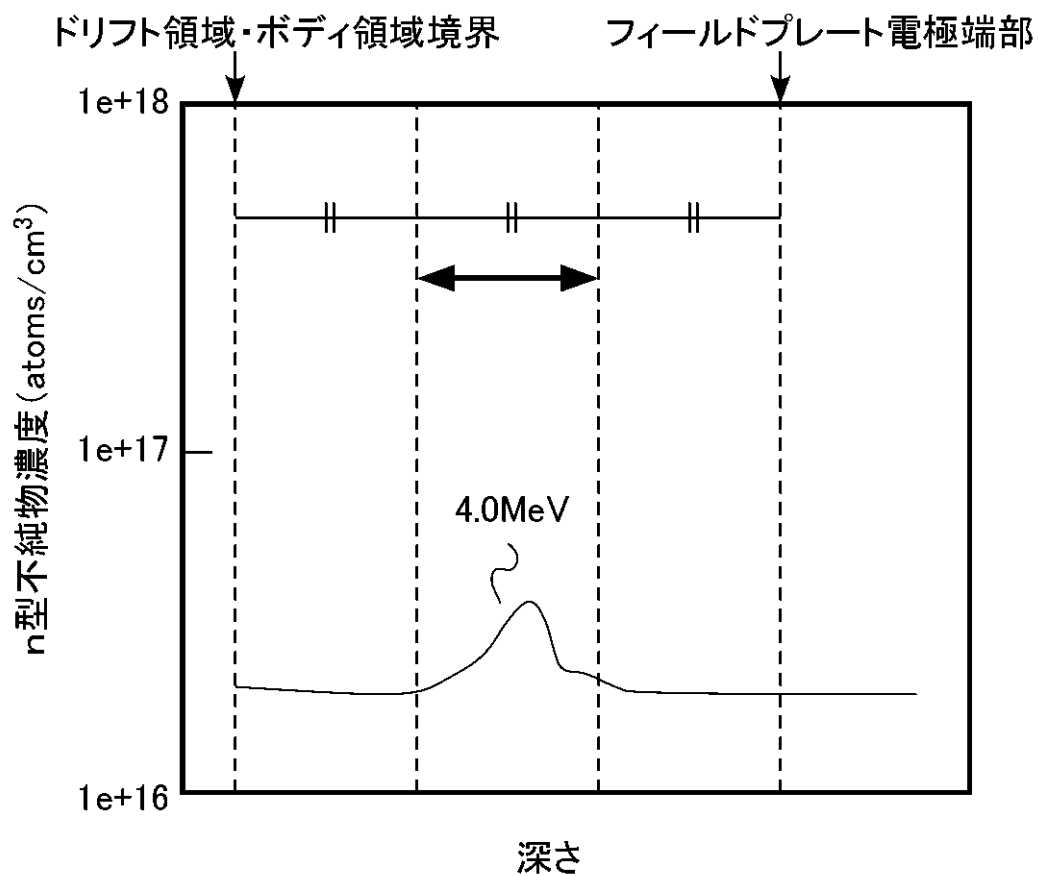


(b)

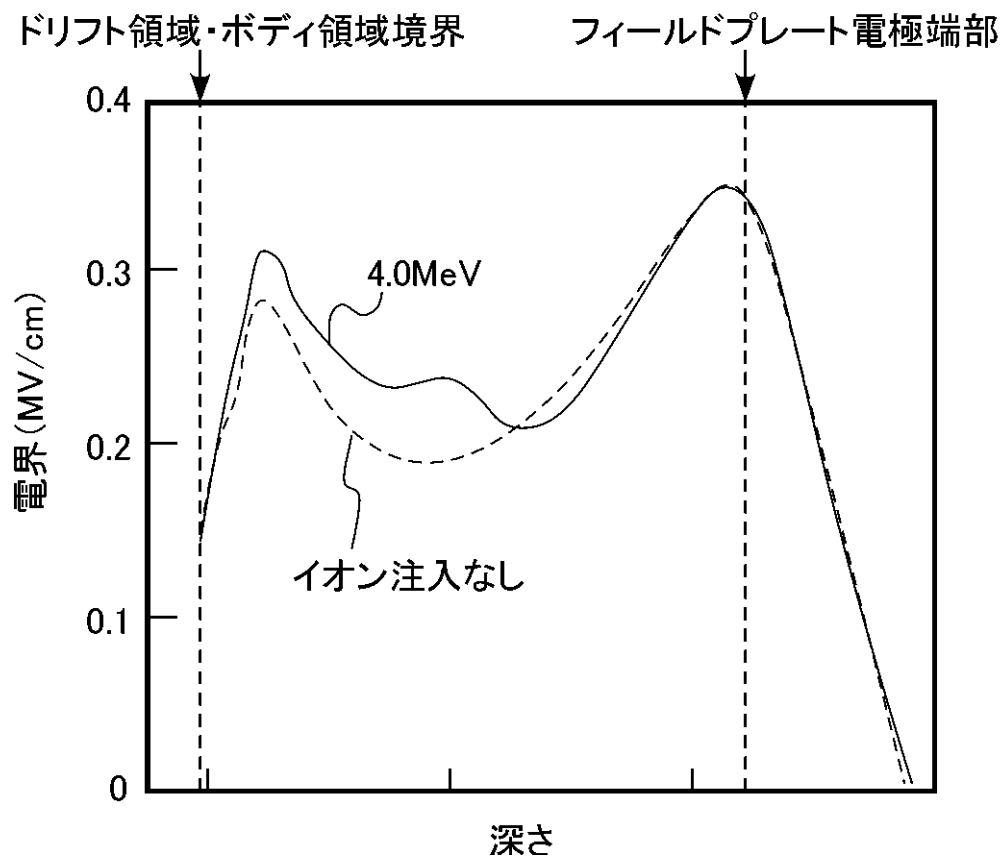


【図5】

(a)



(b)



【図 6】

