

【書類名】 明細書

【発明の名称】 クロック生成回路及び無線受信機

【技術分野】

【0001】

本実施形態は、クロック生成回路及び無線受信機に関する。

【背景技術】

【0002】

アナログ回路及びデジタル回路を含む無線受信機では、デジタル回路のクロックの高調波が不要放射（スプリアス）としてアナログ回路に回り込み、受信感度の劣化を引き起こすことがある。このため、デジタル回路に供給すべきクロックが適切に生成されることが望まれる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】 特開2005-191831号公報

【特許文献2】 特開2001-230765号公報

【特許文献3】 特開2004-153637号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一つの実施形態は、デジタル回路に供給すべきクロックを適切に生成できるクロック生成回路及び無線受信機を提供することを目的とする。

【課題を解決するための手段】

【0005】

一つの実施形態によれば、複数のディレイラインと選択回路とを有するクロック生成回路が提供される。複数のディレイラインのそれぞれは、入力クロックを受けて互いに異なる遅延量を付与する。選択回路は、複数のディレイラインのうち1つのディレイラインを選択する。選択回路は、選択されたディレイラインを介して伝送されたクロックを出力クロックとして出力する。複数のディレイラインは、第1のディレイラインを有する。第1のディレイラインは、入力クロックに対して第1の遅延量を与えて、基準クロックを生成する。複数のディレイラインは、さらに、第2のディレイラインと第3のディレイラインとの少なくとも一方を有する。第2のディレイラインは、入力クロックに対して第2の遅延量を与えて、基準クロックに対してエッジのタイミングを固定量で進ませたクロックを生成する。第2の遅延量は、第1の遅延量より小さい遅延量である。第3のディレイラインは、入力クロックに対して第3の遅延量を与えて、基準クロックに対してエッジのタイミングを固定量で遅らせたクロックを生成する。第3の遅延量は、第1の遅延量より大きい遅延量である。

【図面の簡単な説明】

【0006】

【図1】 実施形態にかかるクロック生成回路の構成を示す回路図。

【図2】 実施形態における遅延器の構成を示す回路図。

【図3】 実施形態にかかるクロック生成回路の動作を示す波形図。

【図4】 実施形態におけるスプリアスをキャンセルする原理を示す図。

【図5】 実施形態にかかるクロック生成回路の動作を示す図。

【図6】 実施形態にかかるクロック生成回路が適用された無線受信機の構成を示す回路図。

【図7】 実施形態にかかるクロック生成回路が適用された無線受信機の動作を示す図。

。

【図8】 実施形態の変形例にかかるクロック生成回路の構成を示す回路図。

【図9】 実施形態の変形例における遅延器の構成を示す回路図。

**【発明を実施するための形態】****【0007】**

以下に添付図面を参照して、実施形態にかかるクロック生成回路を詳細に説明する。なお、この実施形態により本発明が限定されるものではない。

**【0008】**

(実施形態)

実施形態にかかるクロック生成回路1は、例えば、無線受信機に適用される。M-W i MAX、WLANおよびLTEなどの無線規格に従った無線受信機では、広い通信エリアを確保するため、高い受信感度が要求される。無線受信機は、アンテナで受信された受信信号がアナログ回路でアナログ的に信号処理され、アナログ的に信号処理された信号がデジタル回路でデジタル的に信号処理される。また、無線受信機は小型化が求められており、無線受信機のアナログ回路とデジタル回路とが混載された1チップLSIの要求が高まっている。この1チップLSIでは、デジタル回路で発生するクロックの整数倍高調波によるスプリアスがアナログ回路に洩れ込み、受信特性を低下させる可能性がある。そのため、アナログ回路にスプリアスが乗らないような対策が施されることがある。

**【0009】**

例えば、無線受信機において、デジタル回路は、クロック生成回路1で生成されたクロックに同期して、信号をデジタル的に信号処理する。このとき、クロック生成回路1で生成すべきクロックのエッジタイミングをランダム的に変える変調をかけると、スプリアスを周波数スペクトル上で電力的に拡散することができる。しかし、所望周波数の帯域で見た場合にスプリアスの強度が要求レベルまで低減されないことがあるため、所望周波数の帯域におけるスプリアスの強度の更なる抑制が望まれる。

**【0010】**

そこで、実施形態では、クロック生成回路1で生成すべきクロックのエッジタイミングを所望周波数に対応した固定量で進相及び／又は遅相させる変調をかけることで、所望周波数の帯域におけるスプリアスを効果的にキャンセルさせることを目指す。

**【0011】**

具体的には、図1に示すように、クロック生成回路1は、入力端子2を介して入力クロック $\phi CK_{in}$ を受け、入力クロック $\phi CK_{in}$ のエッジタイミングを所望周波数の帯域FBdesに対応した固定量Tdで進相及び／又は遅相させる変調をかけて出力クロック $\phi CK_{out}$ を生成する。クロック生成回路1は、生成された出力クロック $\phi CK_{out}$ を出力端子3から出力する。図1は、クロック生成回路1の構成を示す図である。

**【0012】**

クロック生成回路1は、基準クロック $\phi CK_{ref}$  (図3(a)参照)に対して、第1の動作と第2の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行って、出力クロックを生成する。あるいは、クロック生成回路1は、基準クロック $\phi CK_{ref}$ に対して、第1の動作と第3の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行って、出力クロックを生成する。あるいは、クロック生成回路1は、基準クロック $\phi CK_{ref}$ に対して、第1の動作と第2の動作と第3の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行って、出力クロックを生成する。第1の動作は、基準クロック $\phi CK_{ref}$ のエッジのタイミングを変えない動作を含む。第2の動作は、基準クロック $\phi CK_{ref}$ のエッジのタイミングを固定量Tdで進ませる動作を含む。第3の動作は、基準クロック $\phi CK_{ref}$ のエッジのタイミングを固定量Tdで遅らせる動作を含む。例えば、クロック生成回路1は、複数のディレイライン10、20、30、選択回路40、及び制御回路50を有する。

**【0013】**

複数のディレイライン10、20、30は、入力端子2と選択回路40との間に接続されている。複数のディレイライン10、20、30は、入力クロック $\phi CK_{in}$ をそれぞれ受けて互いに異なる遅延量を付与して選択回路40へ供給する。

**【0014】**

ディレイライン20は、入力クロック $\phi CK_{in}$ に対して遅延量D1を与えて、基準クロック $\phi CK_{ref}$ を生成する。

**【0015】**

ディレイライン30は、入力クロック $\phi CK_{in}$ に対して遅延量D2を与えて、基準クロック $\phi CK_{ref}$ に対してエッジのタイミングを固定量Tdで進ませた進相クロック $\phi CK(-)$ を生成する。遅延量D2は、遅延量D1より固定量Td分小さい遅延量であり、例えば遅延量ゼロである。このとき、遅延量D1＝固定量Tdであってもよい。

**【0016】**

ディレイライン10は、入力クロック $\phi CK_{in}$ に対して遅延量D3を与えて、基準クロック $\phi CK_{ref}$ に対してエッジのタイミングを固定量Tdで遅らせた遅相クロック $\phi CK(+)$ を生成する。遅延量D3は、遅延量D1より固定量Td分大きい遅延量である。このとき、遅延量D3＝2×(固定量Td)であってもよい。

**【0017】**

例えば、遅延量D1＝固定量Td、遅延量D2＝0、遅延量D3＝2×(固定量Td)である場合、複数のディレイライン10、20、30では、固定量Tdの遅延を有する遅延器DEが複数個用いられる。

**【0018】**

すなわち、ディレイライン10は、2個の遅延器DE-1、DE-2を有する。遅延器DE-1は、一端がノードN1を介して入力端子2に接続され、他端が遅延器DE-2の一端に接続されている。遅延器DE-2は、他端が選択回路40の入力端子40aに接続されている。これにより、ディレイライン10は、2個の遅延器DE-1、DE-2を用いて入力クロック $\phi CK_{in}$ に対して遅延量D3＝2×(固定量Td)で遅延させて、遅相クロック $\phi CK(+)$ を生成できる。

**【0019】**

ディレイライン20は、1個の遅延器DE-3を有する。遅延器DE-3は、一端がノードN1を介して入力端子2に接続され、他端が選択回路40の入力端子40bに接続されている。これにより、ディレイライン20は、1個の遅延器DE-3を用いて入力クロック $\phi CK_{in}$ に対して遅延量D1＝固定量Tdで遅延させて、基準クロック $\phi CK_{ref}$ を生成できる。

**【0020】**

ディレイライン30は、遅延器を有しない。ディレイライン30は、一端がノードN1を介して入力端子2に接続され、他端が選択回路40の入力端子40cに接続されている。これにより、ディレイライン30は、入力クロック $\phi CK_{in}$ に対して遅延させないで、進相クロック $\phi CK(-)$ を生成できる。

**【0021】**

例えば、各遅延器DEは、図2(a)に示すように、インバータ及びRC回路により遅延量(例えば、固定量Td)を生成するように構成されていてもよい。図2(a)は、遅延器DEの構成を示す回路図である。図2(a)に示す遅延器DEは、インバータINV-1、INV-2、抵抗素子R、及び容量素子Cを有する。インバータINV-1は、入力側が遅延器DEの一端DEaに接続され、出力側が抵抗素子Rの一端に接続されている。抵抗素子Rは、他端が容量素子Cの一端とインバータINV-2の入力側とにそれぞれ接続されている。容量素子Cは、他端が接地電位に接続されている。インバータINV-2は、出力側が遅延器DEの他端DEbに接続されている。

**【0022】**

あるいは、各遅延器DEは、図2(b)に示すように、n段(nは2以上の偶数)のインバータの直列接続により遅延量(例えば、固定量Td)を生成するように構成されていてもよい。図2(b)は、遅延器DEの構成を示す回路図である。図2(b)に示す遅延器DEは、n個のインバータINV-1～INV-nを有する。1段目のインバータINV-1は、入力側が遅延器DEの一端DEaに接続され、出力側が2段目のインバータI

INV-2の入力側に接続されている。2段目のインバータINV-2は、出力側が3段目のインバータINV-3の入力側に接続されている。・・・(n-1)段目のインバータINV-(n-1)は、出力側がn段目のインバータINV-nの入力側に接続されている。n段目のインバータINV-nは、出力側が遅延器DEの他端DEbに接続されている。

#### 【0023】

図1に戻って、選択回路40は、複数のディレイライン10, 20, 30と出力端子3との間に接続されている。選択回路40は、選択信号φAに応じて複数のディレイライン10, 20, 30のうち1つのディレイラインを選択し、選択されたディレイラインを介して伝送されたクロックを出力クロックφCKoutとして出力する。

#### 【0024】

選択回路40は、入力端子40a～40c、制御端子40d、及び出力端子40eを有する。入力端子40aは、ディレイライン10の出力側に接続され、入力端子40bは、ディレイライン20の出力側に接続され、入力端子40cは、ディレイライン30の出力側に接続されている。選択回路40は、入力端子40aで遅相クロックφCK(+)を受け、入力端子40bで基準クロックφCKrefを受け、入力端子40cで進相クロックφCK(-)を受ける。

#### 【0025】

制御端子40dは、制御回路50に接続されている。選択回路40は、制御端子40dで例えば3値(0～2)の選択信号φAを受ける。選択回路40は、入力端子40aの選択を指示する選択信号φA(φA=0)を受けた場合、遅相クロックφCK(+)を選択して出力クロックφCKoutとして出力端子40eから出力する。選択回路40は、入力端子40bの選択を指示する選択信号φA(φA=1)を受けた場合、基準クロックφCKrefを選択して出力クロックφCKoutとして出力端子40eから出力する。選択回路40は、入力端子40cの選択を指示する選択信号φA(φA=2)を受けた場合、進相クロックφCK(-)を選択して出力クロックφCKoutとして出力端子40eから出力する。

#### 【0026】

制御回路50は、制御信号φCSを外部(例えば、図6に示すデジタル回路170)から受け、制御信号φCSに基づいて、選択信号φAを生成し、選択信号φAを選択回路40に供給することで選択回路40を制御する。すなわち、制御回路50は、基準クロックφCKrefに対して、第1の動作と第2の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行うように選択回路40を制御する。あるいは、クロック生成回路1は、基準クロックφCKrefに対して、第1の動作と第3の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行うように選択回路40を制御する。あるいは、クロック生成回路1は、基準クロックφCKrefに対して、第1の動作と第2の動作と第3の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行うように選択回路40を制御する。第1の動作は、基準クロックφCKrefのエッジのタイミングを変えない動作を含む。第2の動作は、基準クロックφCKrefのエッジのタイミングを固定量Tdで進ませる動作を含む。第3の動作は、基準クロックφCKrefのエッジのタイミングを固定量Tdで遅らせる動作を含む。

#### 【0027】

例えば、基準クロックφCKrefの波形が図3(a)に示す波形である場合、図3(b)に示すように、制御回路50は、基準クロックφCKrefに対して第1の動作と第2の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行うように選択回路40を制御する。図3は、クロック生成回路の動作を示す波形図である。

#### 【0028】

すなわち、タイミングt0において、制御回路50は、選択信号φA=1にしている。

**【0029】**

タイミング  $t_{01}$  において、制御回路 50 は、選択信号  $\phi A = 1$  から選択信号  $\phi A = 2$  に変更する。これに応じて、選択回路 40 は、基準クロック  $\phi CK_{ref}$  を選択した状態から進相クロック  $\phi CK(-)$  を選択した状態に切り替えるので、クロック  $\phi CK_{sc1}$  の立ち下がりエッジがタイミング  $t_1$  から固定量  $T_d$  で進められる。

**【0030】**

タイミング  $t_{12}$  において、制御回路 50 は、選択信号  $\phi A = 2$  から選択信号  $\phi A = 1$  に変更する。これに応じて、選択回路 40 は、進相クロック  $\phi CK(-)$  を選択した状態から基準クロック  $\phi CK_{ref}$  を選択した状態に戻すので、クロック  $\phi CK_{sc1}$  の立ち上がりエッジが基準クロック  $CK_{ref}$  と同じタイミング  $t_2$  になる。

**【0031】**

選択回路 40 がこのようなクロック周期  $TP_1$  と同様の動作を、他のクロック周期  $TP_2 \sim TP_4$  についても繰り返すように、制御回路 50 は選択回路 40 を制御する。なお、タイミング  $t_{01}$ 、 $t_{12}$  は、基準クロック  $\phi CK_{ref}$  のエッジのタイミング  $t_1$ 、 $t_2$  に対して、固定量  $T_d$  と選択回路 40 の動作時間とに応じた時間早いタイミングである。

**【0032】**

あるいは、図 3 (c) に示すように、制御回路 50 は、基準クロック  $\phi CK_{ref}$  に対して第 1 の動作と第 3 の動作とのうち選択する 1 つの動作を周期的に切り替えながら選択された 1 つの動作を行うように選択回路 40 を制御する。

**【0033】**

すなわち、タイミング  $t_0$  において、制御回路 50 は、選択信号  $\phi A = 1$  にしている。

**【0034】**

タイミング  $t_{01}$  において、制御回路 50 は、選択信号  $\phi A = 1$  から選択信号  $\phi A = 0$  に変更する。これに応じて、選択回路 40 は、基準クロック  $\phi CK_{ref}$  を選択した状態から遅相クロック  $\phi CK(+)$  を選択した状態に切り替えるので、クロック  $\phi CK_{sc2}$  の立ち下がりエッジがタイミング  $t_1$  から固定量  $T_d$  で遅くなる。

**【0035】**

タイミング  $t_{12}$  において、制御回路 50 は、選択信号  $\phi A = 0$  から選択信号  $\phi A = 1$  に変更する。これに応じて、選択回路 40 は、遅相クロック  $\phi CK(+)$  を選択した状態から基準クロック  $\phi CK_{ref}$  を選択した状態に戻すので、クロック  $\phi CK_{sc2}$  の立ち上がりエッジが基準クロック  $CK_{ref}$  と同じタイミング  $t_2$  になる。

**【0036】**

選択回路 40 がこのようなクロック周期  $TP_1$  と同様の動作を他のクロック周期  $TP_2 \sim TP_4$  についても繰り返すように、制御回路 50 は選択回路 40 を制御する。なお、タイミング  $t_{01}$ 、 $t_{12}$  は、基準クロック  $\phi CK_{ref}$  のエッジのタイミング  $t_1$ 、 $t_2$  に対して、固定量  $T_d$  と選択回路 40 の動作時間とに応じた時間早いタイミングである。

**【0037】**

あるいは、図 3 (d) に示すように、制御回路 50 は、基準クロック  $\phi CK_{ref}$  に対して第 1 の動作と第 2 の動作と第 3 の動作とのうち選択する 1 つの動作を周期的に切り替えながら選択された 1 つの動作を行うように選択回路 40 を制御する。

**【0038】**

すなわち、タイミング  $t_0$  において、制御回路 50 は、選択信号  $\phi A = 1$  にしている。

**【0039】**

タイミング  $t_{01}$  において、制御回路 50 は、選択信号  $\phi A = 1$  から選択信号  $\phi A = 2$  に変更する。これに応じて、選択回路 40 は、基準クロック  $\phi CK_{ref}$  を選択した状態から進相クロック  $\phi CK(-)$  を選択した状態に切り替えるので、クロック  $\phi CK_{sc3}$  の立ち下がりエッジがタイミング  $t_1$  から固定量  $T_d$  で進められる。

**【0040】**

タイミング  $t_{12}$  において、制御回路 50 は、選択信号  $\phi A = 2$  から選択信号  $\phi A = 1$

に変更する。これに応じて、選択回路40は、進相クロック $\phi CK(-)$ を選択した状態から基準クロック $\phi CK_{ref}$ を選択した状態に戻すので、クロック $\phi CK_{sc3}$ の立ち上がりエッジが基準クロック $CK_{ref}$ と同じタイミング $t_2$ になる。

【0041】

タイミング $t_{23}$ において、制御回路50は、選択信号 $\phi A=1$ から選択信号 $\phi A=0$ に変更する。これに応じて、選択回路40は、基準クロック $\phi CK_{ref}$ を選択した状態から遅相クロック $\phi CK(+)$ を選択した状態に切り替えるので、クロック $\phi CK_{sc3}$ の立ち下がりエッジがタイミング $t_3$ から固定量 $T_d$ で遅くなる。

【0042】

タイミング $t_{34}$ において、制御回路50は、選択信号 $\phi A=0$ から選択信号 $\phi A=1$ に変更する。これに応じて、選択回路40は、遅相クロック $\phi CK(+)$ を選択した状態から基準クロック $\phi CK_{ref}$ を選択した状態に戻すので、クロック $\phi CK_{sc3}$ の立ち上がりエッジが基準クロック $CK_{ref}$ と同じタイミング $t_4$ になる。

【0043】

選択回路40がこのようなクロック周期 $TP_1$ ,  $TP_2$ の組と同様の動作を他のクロック周期 $TP_3$ ,  $TP_4$ の組についても繰り返すように、制御回路50は選択回路40を制御する。なお、タイミング $t_{01}$ ,  $t_{12}$ ,  $t_{23}$ ,  $t_{34}$ は、基準クロック $\phi CK_{ref}$ のエッジのタイミング $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$ に対して、固定量 $T_d$ と選択回路40の動作時間とに応じた時間早いタイミングである。

【0044】

あるいは、図3(e)に示すように、制御回路50は、基準クロック $\phi CK_{ref}$ に対して第1の動作と第2の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行うように選択回路40を制御する。

【0045】

すなわち、タイミング $t_0$ において、制御回路50は、選択信号 $\phi A=1$ にしている。

【0046】

タイミング $t_{12}$ において、制御回路50は、選択信号 $\phi A=1$ から選択信号 $\phi A=2$ に変更する。これに応じて、選択回路40は、基準クロック $\phi CK_{ref}$ を選択した状態から進相クロック $\phi CK(-)$ を選択した状態に切り替えるので、クロック $\phi CK_{sc4}$ の立ち上がりエッジがタイミング $t_2$ から固定量 $T_d$ で進められる。

【0047】

タイミング $t_{23}$ において、制御回路50は、選択信号 $\phi A=2$ に維持する。これに応じて、選択回路40は、進相クロック $\phi CK(-)$ を選択した状態を維持するので、クロック $\phi CK_{sc4}$ の立ち下がりエッジがタイミング $t_3$ から固定量 $T_d$ で進められる。

【0048】

タイミング $t_{34}$ において、制御回路50は、選択信号 $\phi A=2$ から選択信号 $\phi A=1$ に変更する。これに応じて、選択回路40は、進相クロック $\phi CK(-)$ を選択した状態から基準クロック $\phi CK_{ref}$ を選択した状態に戻すので、クロック $\phi CK_{sc4}$ の立ち上がりエッジが基準クロック $CK_{ref}$ と同じタイミング $t_4$ になる。

【0049】

選択回路40がこのようなクロック周期 $TP_1$ ,  $TP_2$ の組と同様の動作を他のクロック周期 $TP_3$ ,  $TP_4$ の組についても繰り返すように、制御回路50は選択回路40を制御する。なお、タイミング $t_{01}$ ,  $t_{12}$ ,  $t_{23}$ ,  $t_{34}$ は、基準クロック $\phi CK_{ref}$ のエッジのタイミング $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$ に対して、固定量 $T_d$ と選択回路40の動作時間とに応じた時間早いタイミングである。

【0050】

あるいは、図3(f)に示すように、制御回路50は、基準クロック $\phi CK_{ref}$ に対して第1の動作と第3の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行うように選択回路40を制御する。

【0051】

すなわち、タイミング  $t_0$  において、制御回路 50 は、選択信号  $\phi A = 1$  にしている。

【0052】

タイミング  $t_{12}$  において、制御回路 50 は、選択信号  $\phi A = 1$  から選択信号  $\phi A = 0$  に変更する。これに応じて、選択回路 40 は、基準クロック  $\phi CK_{ref}$  を選択した状態から遅相クロック  $\phi CK (+)$  を選択した状態に切り替えるので、クロック  $\phi CK_{sc5}$  の立ち上がりエッジがタイミング  $t_2$  から固定量  $T_d$  で遅くなる。

【0053】

タイミング  $t_{23}$  において、制御回路 50 は、選択信号  $\phi A = 0$  に維持する。これに応じて、選択回路 40 は、遅相クロック  $\phi CK (+)$  を選択した状態を維持するので、クロック  $\phi CK_{sc5}$  の立ち下がりエッジがタイミング  $t_3$  から固定量  $T_d$  で遅くなる。

【0054】

タイミング  $t_{34}$  において、制御回路 50 は、選択信号  $\phi A = 0$  から選択信号  $\phi A = 1$  に変更する。これに応じて、選択回路 40 は、遅相クロック  $\phi CK (+)$  を選択した状態から基準クロック  $\phi CK_{ref}$  を選択した状態に戻すので、クロック  $\phi CK_{sc5}$  の立ち上がりエッジが基準クロック  $CK_{ref}$  と同じタイミング  $t_4$  になる。

【0055】

選択回路 40 がこのようなクロック周期  $TP_1$ ,  $TP_2$  の組と同様の動作を他のクロック周期  $TP_3$ ,  $TP_4$  の組についても繰り返すように、制御回路 50 は選択回路 40 を制御する。なお、タイミング  $t_{01}$ ,  $t_{12}$ ,  $t_{23}$ ,  $t_{34}$  は、基準クロック  $\phi CK_{ref}$  のエッジのタイミング  $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$  に対して、固定量  $T_d$  と選択回路 40 の動作時間とに応じた時間早いタイミングである。

【0056】

あるいは、図 3 (g) に示すように、制御回路 50 は、基準クロック  $\phi CK_{ref}$  に対して第 1 の動作と第 2 の動作と第 3 の動作とのうち選択する 1 つの動作を周期的に切り替えながら選択された 1 つの動作を行うように選択回路 40 を制御する。

【0057】

すなわち、タイミング  $t_0$  において、制御回路 50 は、選択信号  $\phi A = 1$  にしている。

【0058】

タイミング  $t_{12}$  において、制御回路 50 は、選択信号  $\phi A = 1$  から選択信号  $\phi A = 2$  に変更する。これに応じて、選択回路 40 は、基準クロック  $\phi CK_{ref}$  を選択した状態から進相クロック  $\phi CK (-)$  を選択した状態に切り替えるので、クロック  $\phi CK_{sc6}$  の立ち上がりエッジがタイミング  $t_2$  から固定量  $T_d$  で進められる。

【0059】

タイミング  $t_{23}$  において、制御回路 50 は、選択信号  $\phi A = 2$  に維持する。これに応じて、選択回路 40 は、進相クロック  $\phi CK (-)$  を選択した状態を維持するので、クロック  $\phi CK_{sc6}$  の立ち下がりエッジがタイミング  $t_3$  から固定量  $T_d$  で進められる。

【0060】

タイミング  $t_{34}$  において、制御回路 50 は、選択信号  $\phi A = 2$  から選択信号  $\phi A = 1$  に変更する。これに応じて、選択回路 40 は、進相クロック  $\phi CK (-)$  を選択した状態から基準クロック  $\phi CK_{ref}$  を選択した状態に戻すので、クロック  $\phi CK_{sc6}$  の立ち上がりエッジが基準クロック  $CK_{ref}$  と同じタイミング  $t_4$  になる。

【0061】

タイミング  $t_{56}$  において、制御回路 50 は、選択信号  $\phi A = 1$  から選択信号  $\phi A = 0$  に変更する。これに応じて、選択回路 40 は、基準クロック  $\phi CK_{ref}$  を選択した状態から遅相クロック  $\phi CK (+)$  を選択した状態に切り替えるので、クロック  $\phi CK_{sc6}$  の立ち上がりエッジがタイミング  $t_6$  から固定量  $T_d$  で遅くなる。

【0062】

タイミング  $t_{67}$  において、制御回路 50 は、選択信号  $\phi A = 0$  に維持する。これに応じて、選択回路 40 は、遅相クロック  $\phi CK (+)$  を選択した状態を維持するので、クロック  $\phi CK_{sc6}$  の立ち下がりエッジがタイミング  $t_7$  から固定量  $T_d$  で遅くなる。

**【0063】**

タイミング  $t_{78}$  において、制御回路 50 は、選択信号  $\phi A = 0$  から選択信号  $\phi A = 1$  に変更する。これに応じて、選択回路 40 は、遅相クロック  $\phi CK (+)$  を選択した状態から基準クロック  $\phi CK_{ref}$  を選択した状態に戻すので、クロック  $\phi CK_{sc6}$  の立ち上がりエッジが基準クロック  $CK_{ref}$  と同じタイミング  $t_8$  になる。

**【0064】**

選択回路 40 がこのようなクロック周期  $TP_1 \sim TP_4$  の組と同様の動作を他のクロック周期の組についても繰り返すように、制御回路 50 は選択回路 40 を制御する。なお、タイミング  $t_{01}$ ,  $t_{12}$ ,  $t_{23}$ ,  $t_{34}$ ,  $t_{56}$ ,  $t_{67}$ ,  $t_{78}$  は、基準クロック  $\phi CK_{ref}$  のエッジのタイミング  $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$ ,  $t_6$ ,  $t_7$ ,  $t_8$  に対して、固定量  $T_d$  と選択回路 40 の動作時間とに応じた時間早いタイミングである。

**【0065】**

次に、スプリアスをキャンセルする原理について図 4 を用いて説明する。図 4 は、スプリアスをキャンセルする原理を示す図である。図 4 では、スプリアスをキャンセルする原理について図 3 (b) に示すクロック  $\phi CK_{sc1}$  について例示的に示している。

**【0066】**

スプリアスとして伝搬するのは、クロックそのものというより、クロックによって  $V_d/V_s$  に流れる電流（≒電圧）が原因であると考えられる。そのため、スプリアス電流を立ち上がり／立ち下がりエッジそれぞれの由来のものに分離して考える。

**【0067】**

例えば、クロック  $\phi CK_{sc1}$  の波形には、図 4 (a) に示す立ち上がりエッジの成分と図 4 (b) に示す立ち下がりエッジの成分とが含まれている。このうち、立ち上がりエッジの成分は、基準クロック  $\phi CK_{ref}$  (図 3 (a) 参照) と同様であるが、立ち下がりエッジの成分は、基準クロック  $\phi CK_{ref}$  の立ち下がりエッジから固定量  $T_d$  で進められている。すなわち、図 4 (b) では、破線が基準クロック  $\phi CK_{ref}$  の立ち下がりエッジを示し、実線がクロック  $\phi CK_{sc1}$  の立ち下がりエッジを示す。図 4 (b) の矢印は、基準クロック  $\phi CK_{ref}$  の立ち下がりエッジ（破線）が固定量  $T_d$  で進められることでクロック  $\phi CK_{sc1}$  の立ち下がりエッジ（実線）が生成されることを示している。

**【0068】**

図 4 (a) に示す立ち上がりエッジの成分の挙動は、近似的に、図 4 (c) に示すような立ち上がりエッジと等価な周期及び対応する振幅を有する正弦波  $WF_1$  で表すことができる。同様に、図 4 (b) に示す立ち下がりエッジの成分の挙動は、近似的に、図 4 (d) に実線で示すような立ち下がりエッジと等価な周期及び対応する振幅を有する正弦波  $WF_2$  で表すことができる。すなわち、図 4 (d) では、破線が基準クロック  $\phi CK_{ref}$  の立ち下がりエッジと等価な周期及び対応する振幅を有する正弦波  $WF_2'$  を示し、実線がクロック  $\phi CK_{sc1}$  の立ち下がりエッジと等価な周期及び対応する振幅を有する正弦波  $WF_2$  を示す。図 4 (d) の矢印は、正弦波  $WF_2'$  (破線) の位相が固定量  $T_d$  で進められることで正弦波  $WF_2$  (実線) が生成されることを示している。

**【0069】**

また、図 4 (a) に示す立ち上がりエッジの成分から生じるスプリアス成分の挙動は、近似的に、図 4 (e) に示すような、正弦波  $WF_1$  の周波数を  $M$  倍 ( $M$  は 2 以上の偶数、図 4 の場合、 $M=10$ ) した正弦波  $WF_{10}$  で表すことができる。同様に、図 4 (b) に示す立ち下がりエッジの成分から生じるスプリアス成分の挙動は、近似的に、図 4 (f) に実線で示すような、正弦波  $WF_2$  の周波数を  $M$  倍した正弦波  $WF_{20}$  で表すことができる。すなわち、図 4 (f) では、破線が正弦波  $WF_2'$  の周波数を  $M$  倍した正弦波  $WF_{20}'$  を示し、正弦波  $WF_2$  の周波数を  $M$  倍した正弦波  $WF_{20}$  を示す。図 4 (f) の矢印は、正弦波  $WF_{20}'$  (破線) の位相が固定量  $T_d$  で進められることで正弦波  $WF_{20}$  (実線) が生成されることを示している。

**【0070】**



図4 (e)、図4 (f) に示すように、正弦波WF 1 0及び正弦波WF 2 0' は互いにほぼ同位相の関係にある。このため、正弦波WF 1 0及び正弦波WF 2 0' を合成すると、図4 (g) に破線で示すように、スプリアス成分が互いに強められる。一方、図4 (e)、図4 (f) に示すように、正弦波WF 1 0及び正弦波WF 2 0は互いにほぼ逆相（立ち上がり／立ち下がりエッジの位相差が180°）の関係にある。このため、正弦波WF 1 0及び正弦波WF 2 0を合成すると、図4 (g) に示すように、スプリアス成分が互いにキャンセルされ得る。

#### 【0071】

図3では、出力クロックを生成する際に、第1の動作に加えて第2の動作及び第3の動作の片方を行う場合（図3 (b)、図3 (c)、図3 (e)、図3 (f) 参照）と、第1の動作に加えて第2の動作及び第3の動作を交互に行う場合（図3 (d)、図3 (g)）とが例示されている。第1の動作は、基準クロックφCKrefのエッジのタイミングを変えない動作を含む。第2の動作は、基準クロックφCKrefのエッジのタイミングを固定量Tdで進ませる動作を含む。第3の動作は、基準クロックφCKrefのエッジのタイミングを固定量Tdで遅らせる動作を含む。第2の動作及び第3の動作のそれぞれにおけるエッジタイミングのずらし量は、固定量Tdに設定されているが、実際の動作において遅延器DEの動作特性のばらつき等の影響を受けてばらつくことがある。それに対して、第2の動作及び第3の動作の片方を行う場合と交互に行う場合とを比較すると、交互に行う場合の方がエッジタイミングのずらし量のばらつきに強いことが分かっている。この点について、以下に、数式を用いて説明する。

#### 【0072】

基準クロックφCKrefに対して第1の動作に加えて第2の動作及び第3の動作の片方を施してクロックを生成する場合、基準クロックφCKrefが出す特定の周波数のスプリアス成分の信号と、基準クロックφCKrefのエッジを進相（又は遅相）させた信号とを足し合わせて、特定の周波数のスプリアス成分をキャンセルする。特定の周波数のスプリアス成分の位相をθとし、クロックのエッジタイミングのずらし量に相当する位相差（特定の周波数のスプリアス成分の1周期に対する位相（位相角）の単位で示された位相差）をφとし、位相ずれなし（φ=0）のときの振幅が1となるように考えたとき、足し合わされた信号（合成信号）の式は以下のように与えられる。

$$f_{2\text{ waves}}(\theta, \phi) = 1/2 \times \sin \theta + 1/2 \times \sin(\theta + \phi) \quad \dots \text{数式1}$$

#### 【0073】

数式1を整理すると、次の数式2～4のようになる。

$$f_{2\text{ waves}}(\theta, \phi) = \sqrt{[(1 + \cos \phi) / 2]} \times \sin(\theta + \alpha) \quad \dots \text{数式2}$$

$$-90^\circ \leq \phi < 90^\circ \text{ のとき、} \alpha = \tan^{-1} [\sin \phi / (1 + \cos \phi)] +$$

0

$$\dots \text{数式3}$$

$$90^\circ \leq \phi < 270^\circ \text{ のとき、} \alpha = \tan^{-1} [\sin \phi / (1 + \cos \phi)] +$$

π

$$\dots \text{数式4}$$

#### 【0074】

数式2～4により、合成信号の振幅は、次の数式5で表される。

$$\text{Amp}_2 = \sqrt{[(1 + \cos \phi) / 2]} \quad \dots \text{数式5}$$

#### 【0075】

一方、基準クロックφCKrefに対して第1の動作に加えて第2の動作及び第3の動作を交互に施して（すなわち両方を施して）クロックを生成する場合、基準クロックφCKrefが出す特性の周波数のスプリアス成分の信号と、基準クロックφCKrefのエッジを進相させた信号と遅相させた信号とを足し合わせて、特定の周波数のスプリアス成分をキャンセルする。基準クロックφCKrefの位相をθとし、基準クロックφCKr

e f の位相と進相（又は遅相）させたクロックとの位相差を  $\phi$  とし、位相ずれなし（ $\phi = 0$ ）のときの振幅が 1 となるように考えたとき、足し合わされた信号（合成信号）の式は次の数式 6 のように与えられる。

$$f_{4\text{ waves}}(\theta, \phi) = 1/2 \times \sin \theta + 1/2 \times \sin(\theta + \phi) + 1/2 \times \sin \theta + 1/2 \times \sin(\theta - \phi) \cdots \text{数式 6}$$

【0076】

数式 6 を整理すると、次の数式 7 のようになる。

$$f_{4\text{ waves}}(\theta, \phi) = [(1 + \cos \phi) / 2] \times \sin \theta \cdots \text{数式 7}$$

【0077】

数式 7 により、合成信号の振幅は、次の数式 8 で表される。

$$\text{Amp}_4 = \sqrt{[(1 + \cos \phi) / 2]} \cdots \text{数式 8}$$

【0078】

数式 5（片側）と数式 8（交互）とを用いて、クロックのエッジタイミングのずらし量に相当する位相差  $\phi$  とスプリアスの除去量とをプロットすると、図 5 が得られる。図 5 は、クロック生成回路 1 の動作を示す図である。図 5 から、基準クロック  $\phi_{\text{CKref}}$  に対して第 1 の動作に加えて第 2 の動作及び第 3 の動作の片方を行う場合と、第 2 の動作及び第 3 の動作を交互に（すなわち両方）行う場合とのいずれにおいても、クロックのエッジタイミングのずらし量に相当する位相差が 180 度のときに、スプリアス減衰量が最大になることが分かる。

【0079】

例えば、スプリアスをキャンセルさせたい周波数を  $f_{\text{spur}}$  とすると、クロックのエッジタイミングのずらし量に相当する位相差  $\phi$  と、ずらし量、すなわち立ち上がり／立ち下がりエッジを進相又は遅相させる固定量  $T_d$  との間には、次の数式 9 の関係が成り立つ。

$$\phi = T_d \times f_{\text{spur}} \times 360^\circ \cdots \text{数式 9}$$

【0080】

数式 9 に  $\phi = 180^\circ$  を代入して  $T_d$  について解くと、次の数式 10 が得られる。

$$T_d = 1 / (2 f_{\text{spur}}) \cdots \text{数式 10}$$

【0081】

なお、図 5 により、基準クロック  $\phi_{\text{CKref}}$  に対して第 1 の動作に加えて第 2 の動作及び第 3 の動作の片方を行ってクロックを生成する場合（例えば、図 3（b）、図 3（c）、図 3（e）、図 3（f）の場合）に比べて、第 2 の動作及び第 3 の動作を交互に行ってクロックを生成する場合（例えば、図 3（d）、図 3（g）の場合）の方が、スプリアス成分を効率的にキャンセルできることが分かる。

【0082】

次に、クロック生成回路 1 が適用される無線受信機 100 について図 6 を用いて説明する。図 6 は、無線受信機 100 の構成を示す図である。

【0083】

無線受信機 100 は、アンテナ AT、アナログ回路 160、デジタル回路 170、原発振器 XO、局部発振回路 SYN、及びクロック生成回路 1-1、1-2 を有する。アナログ回路 160 は、ローノイズアンプ LNA、ミキサ MIX、ローパスフィルタ LPF、可変アンプ AMP を有する。デジタル回路 170 は、AD コンバータ ADC、デジタル処理回路 DPC を有する。無線受信機 100 では、クロック生成回路 1-1、1-2 が AD コンバータ ADC 及びデジタル処理回路 DPC のそれぞれに対して設けられ、クロックを変調する動作が互いに独立して on/off 可能に構成されている。

【0084】

無線受信機 100 において、クロック生成回路 1-1、1-2 のクロック変調動作が off のときには、図 7（a）に矢印で示すスプリアス成分が発生し得るのに対して、クロック変調動作が on になると、図 7（b）に矢印で示すスプリアス成分が発生し得る。図 7（a）及び図 7（b）は、それぞれ、無線受信機 100 の動作を示す図であり、縦軸が

電力を示し、横軸が周波数を示す。クロック変調動作  $on$  時 (図7 (b)) では、クロック変調動作  $off$  時 (図7 (a)) に発生していなかった周波数に不要なスプリアス成分が新たに発生している。このため、使用したい周波数帯域に応じて、クロック生成回路1-1, 1-2のクロック変調動作を  $on/off$  させる機能が有効である。

#### 【0085】

例えば、受信チャネルが図7 (a) に一点鎖線で示す信号である場合、矢印で示すスプリアス成分の周波数が所望信号の周波数に重ならない。図7は、無線受信機100の動作を示す図である。このため、デジタル処理回路DPCは、クロック生成回路1-1, 1-2によるクロック変調が  $off$  されるように制御する。クロック生成回路1-1, 1-2は基準クロック  $\phi CKref$  (図3 (a) 参照) を継続的に出力する。一方、受信チャネルが図7 (b) に破線で示す信号である場合、矢印で示すスプリアス成分の周波数が所望信号の周波数に重なる。このため、デジタル処理回路DPCは、クロック生成回路1-1, 1-2によるクロック変調が  $on$  されるように制御する。クロック生成回路1-1, 1-2は基準クロック  $\phi CKref$  を変調させたクロック (図3 (b) ~ 図3 (g) 参照) を出力する。

#### 【0086】

あるいは、例えば、信号レベルが大きく、受信信号に対するスプリアスの影響が小さい場合には、クロックを変調させる必要性が低い。このため、デジタル処理回路DPCは、クロック生成回路1-1, 1-2によるクロック変調が  $off$  されるように制御する。クロック生成回路1-1, 1-2は基準クロック  $\phi CKref$  (図3 (a) 参照) を継続的に出力する。一方、信号レベルが小さく、受信信号に対するスプリアスの影響が大きい場合には、クロックを変調させる必要性が高い。このため、デジタル処理回路DPCは、クロック生成回路1-1, 1-2によるクロック変調が  $on$  されるように制御する。クロック生成回路1-1, 1-2は基準クロック  $\phi CKref$  を変調させたクロック (図3 (b) ~ 図3 (g) 参照) を出力する。

#### 【0087】

以上のように、実施形態では、基準クロック  $\phi CKref$  に対して、クロック生成回路1で生成すべきクロックのエッジタイミングを所望周波数  $f_{spur}$  に対応した固定量  $T_d$  (例えば、 $1/(2f_{spur})$ ) で進相及び/又は遅相させる変調をかける。これにより、所望周波数の帯域におけるスプリアスを効果的にキャンセルさせることができる。

#### 【0088】

なお、クロック生成回路1は、基準クロック  $\phi CKref$  に対して固定量  $T_d$  で進相及び遅相の一方を行う場合、複数のディレイライン10~30のうち不使用となるディレイラインが省略された構成であってもよい。例えば、図3 (b) に示すクロック  $\phi CKsc1$ 、又は図3 (e) に示すクロック  $\phi CKsc4$  が出力クロック  $\phi CKout$  として生成される場合、クロック生成回路1は、ディレイライン10が省略された構成であってもよい。あるいは、図3 (c) に示すクロック  $\phi CKsc1$ 、又は図3 (f) に示すクロック  $\phi CKsc4$  が出力クロック  $\phi CKout$  として生成される場合、クロック生成回路1は、ディレイライン30が省略された構成であってもよい。

#### 【0089】

あるいは、クロック生成回路1iでは、図8に示すように、各遅延器  $DE_i$  の製造ばらつきを考慮して、各遅延器  $DE_i$  の遅延量が可変になっていてもよい。図8は、クロック生成回路1iの構成を示す回路図である。例えば、遅延器  $DE_{i-1} \sim DE_{i-3}$  の遅延量が固定量  $T_d$  からずれている場合に、遅延器  $DE_{i-1} \sim DE_{i-3}$  の遅延量を変更して固定量  $T_d$  に対応した遅延量に合わせる。

#### 【0090】

例えば、各遅延器  $DE_i$  は、図9 (a) に示すように、図2 (a) に示す構成に対して、抵抗素子  $R$  及び容量素子  $C$  が、それぞれ、可変抵抗素子  $R_i$  及び可変容量素子  $C_i$  に置き換えられた構成であってもよい。図9は、遅延器  $DE_i$  の構成を示す回路図である。

#### 【0091】

あるいは、各遅延器DE<sub>i</sub>は、図9(b)に示すように、図2(b)に示す構成に対して、一端DE<sub>a</sub>及びn段のインバータの間に、一端DE<sub>a</sub>から他端DE<sub>b</sub>の間で経由すべきインバータの段数を切り替える切り替え回路SWが追加された構成であってもよい。

【0092】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0093】

1, 1<sub>i</sub> クロック生成回路、10, 20, 30 ディレイライン、40 選択回路、50 制御回路。

【書類名】 特許請求の範囲

【請求項 1】

入力クロックをそれぞれ受けて互いに異なる遅延量を付与する複数のディレイラインと、  
前記複数のディレイラインのうち1つのディレイラインを選択し、選択されたディレイラインを介して伝送されたクロックを出力クロックとして出力する選択回路と、  
を備え、

前記複数のディレイラインは、前記入力クロックに対して第1の遅延量を与えて、基準クロックを生成する第1のディレイラインを有し、

前記複数のディレイラインは、さらに、

前記入力クロックに対して前記第1の遅延量より小さい第2の遅延量を与えて、前記基準クロックに対してエッジのタイミングを固定量で進ませたクロックを生成する第2のディレイラインと、

前記入力クロックに対して前記第1の遅延量より大きい第3の遅延量を与えて、前記基準クロックに対してエッジのタイミングを前記固定量で遅らせたクロックを生成する第3のディレイラインと、  
の少なくとも一方を有する  
クロック生成回路。

【請求項 2】

前記第1のディレイラインは、2個の遅延器を有し、

前記第2のディレイラインは、1個の遅延器を有し、

前記第3のディレイラインは、遅延器を有しない

請求項1に記載のクロック生成回路。

【請求項 3】

前記基準クロックに対してエッジのタイミングを変えない第1の動作と前記基準クロックに対してエッジのタイミングを固定量で進ませる第2の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行って前記出力クロックを生成する、あるいは、前記第1の動作とエッジのタイミングを前記固定量で遅らせる第3の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行って前記出力クロックを生成する、あるいは、前記第1の動作と前記第2の動作と前記第3の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行って前記出力クロックを生成するように、前記選択回路を制御する制御回路をさらに備えた  
請求項1又は2に記載のクロック生成回路。

【請求項 4】

前記固定量は、スプリアスを抑制すべき所望周波数を  $f_{spur}$  とするとき、 $1/(2f_{spur})$  に対応した量である

請求項1から3のいずれか1項に記載のクロック生成回路。

【請求項 5】

基準クロックに対してエッジのタイミングを変えない第1の動作と前記基準クロックに対してエッジのタイミングを固定量で進ませる第2の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行って前記出力クロックを生成する、あるいは、前記第1の動作とエッジのタイミングを前記固定量で遅らせる第3の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行って前記出力クロックを生成する、あるいは、前記第1の動作と前記第2の動作と前記第3の動作とのうち選択する1つの動作を周期的に切り替えながら選択された1つの動作を行って前記出力クロックを生成する  
クロック生成回路。

【請求項 6】

請求項1から5のいずれか1項に記載のクロック生成回路と、

前記クロック生成回路で生成された出力クロックを受けるデジタル回路と、



【書類名】 要約書

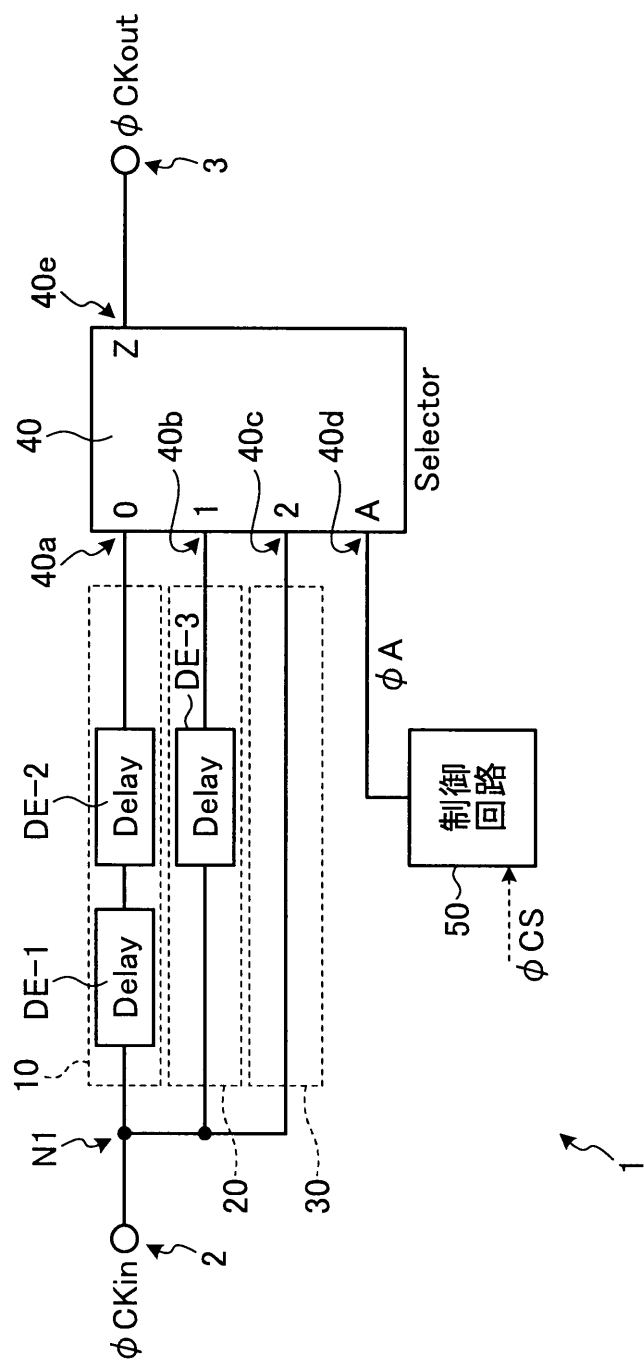
【要約】

【課題】 一つの実施形態は、デジタル回路に供給すべきクロックを適切に生成できるクロック生成回路を提供することを目的とする。

【解決手段】 一つの実施形態によれば、複数のディレイラインと選択回路とを有するクロック生成回路が提供される。複数のディレイラインのそれぞれは、入力クロックを受けて互いに異なる遅延量を付与する。選択回路は、複数のディレイラインのうち1つのディレイラインを選択する。選択回路は、選択されたディレイラインを介して伝送されたクロックを出力クロックとして出力する。複数のディレイラインは、第1のディレイラインを有する。第1のディレイラインは、入力クロックに対して第1の遅延量を与えて、基準クロックを生成する。複数のディレイラインは、さらに、第2のディレイラインと第3のディレイラインとの少なくとも一方を有する。第2のディレイラインは、入力クロックに対して第2の遅延量を与えて、基準クロックに対してエッジのタイミングを固定量で進ませたクロックを生成する。第2の遅延量は、第1の遅延量より小さい遅延量である。第3のディレイラインは、入力クロックに対して第3の遅延量を与えて、基準クロックに対してエッジのタイミングを固定量で遅らせたクロックを生成する。第3の遅延量は、第1の遅延量より大きい遅延量である。

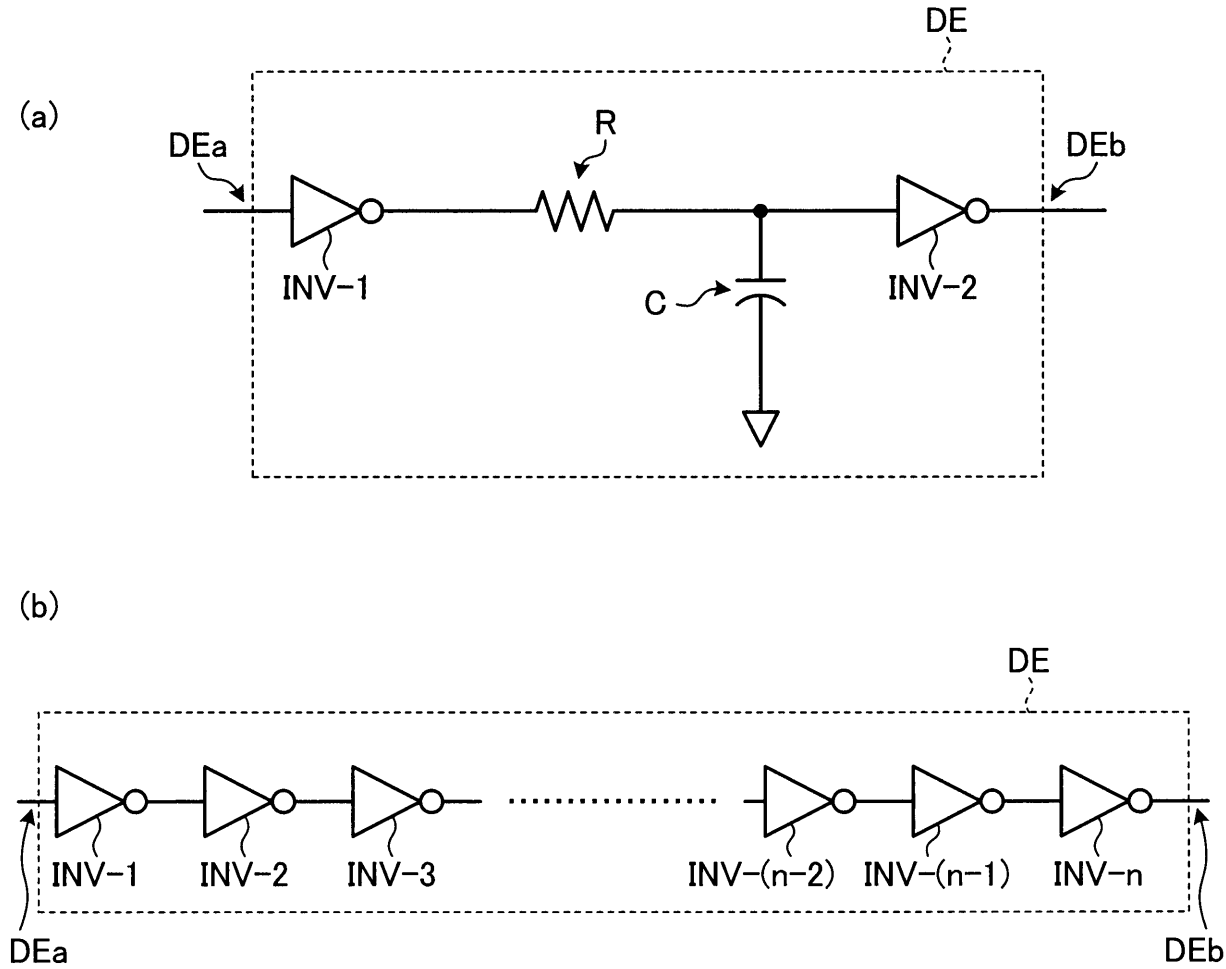
【選択図】 図1

【書類名】 図面  
【図 1】

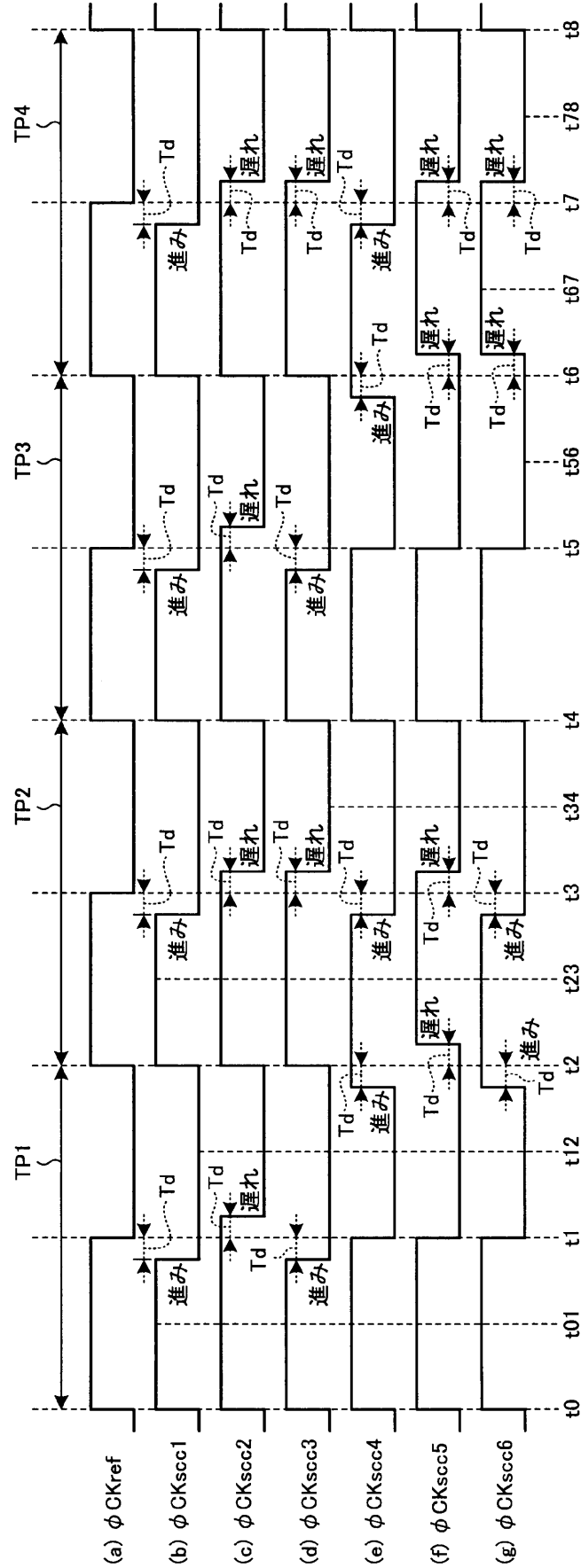




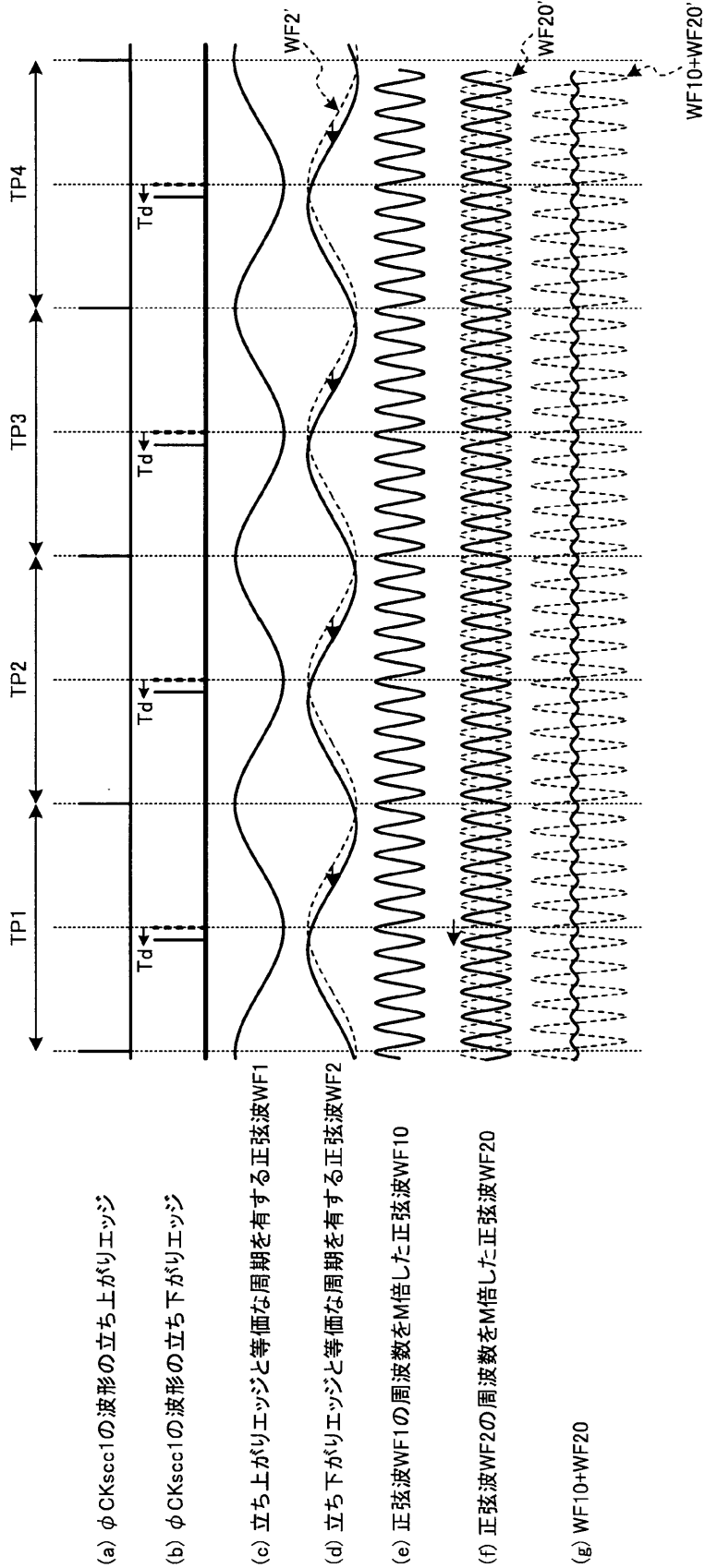
【図 2】



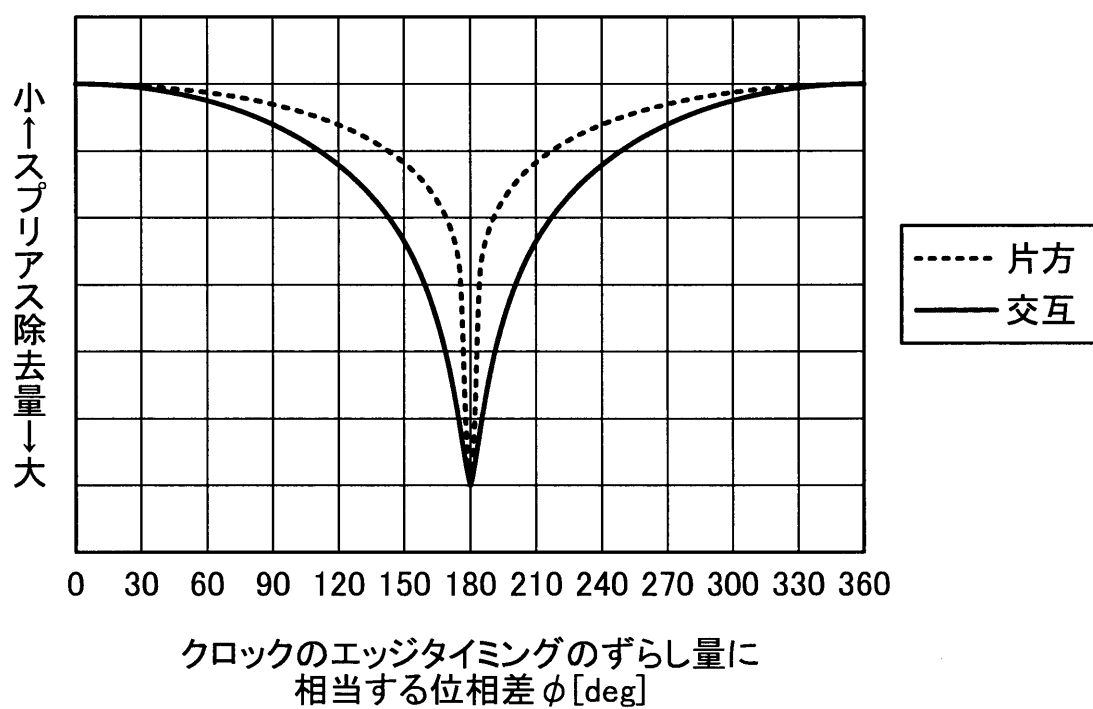
【図 3】



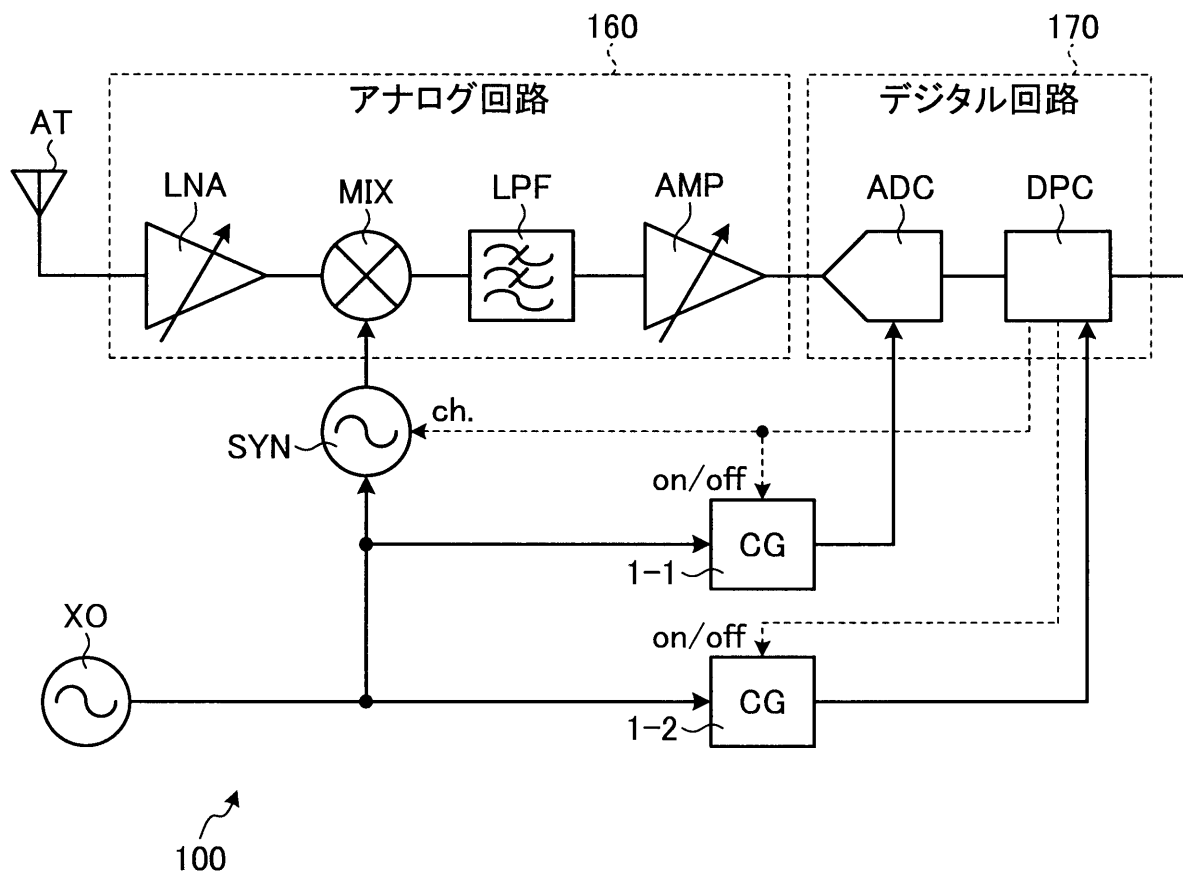
【図 4】



【図 5】

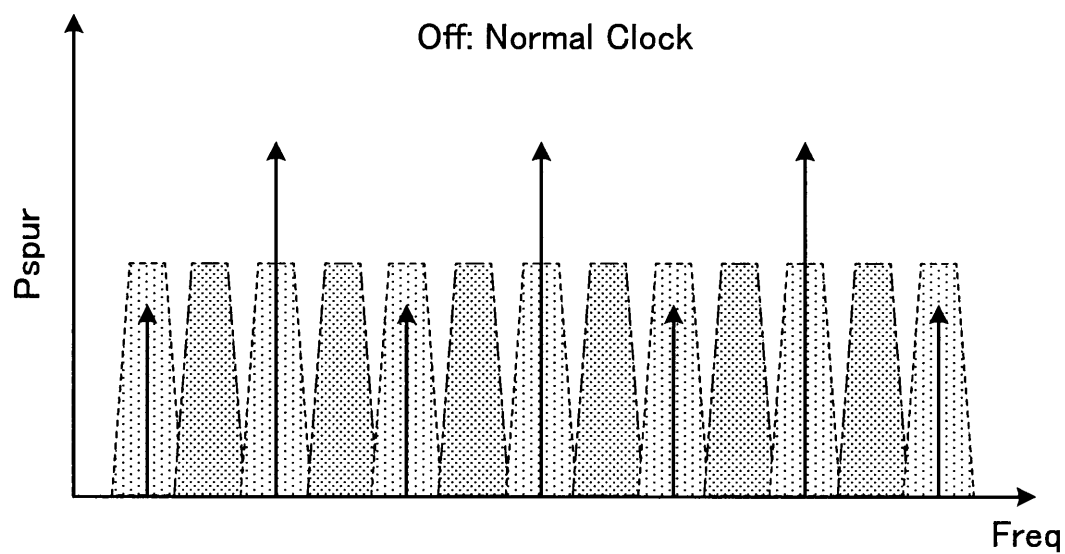


【図 6】

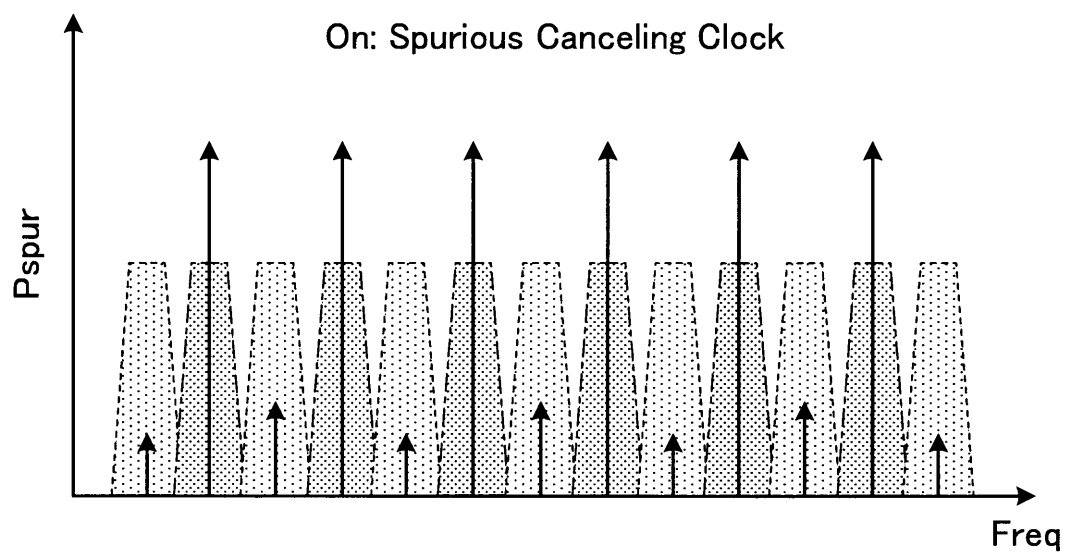


【図 7】

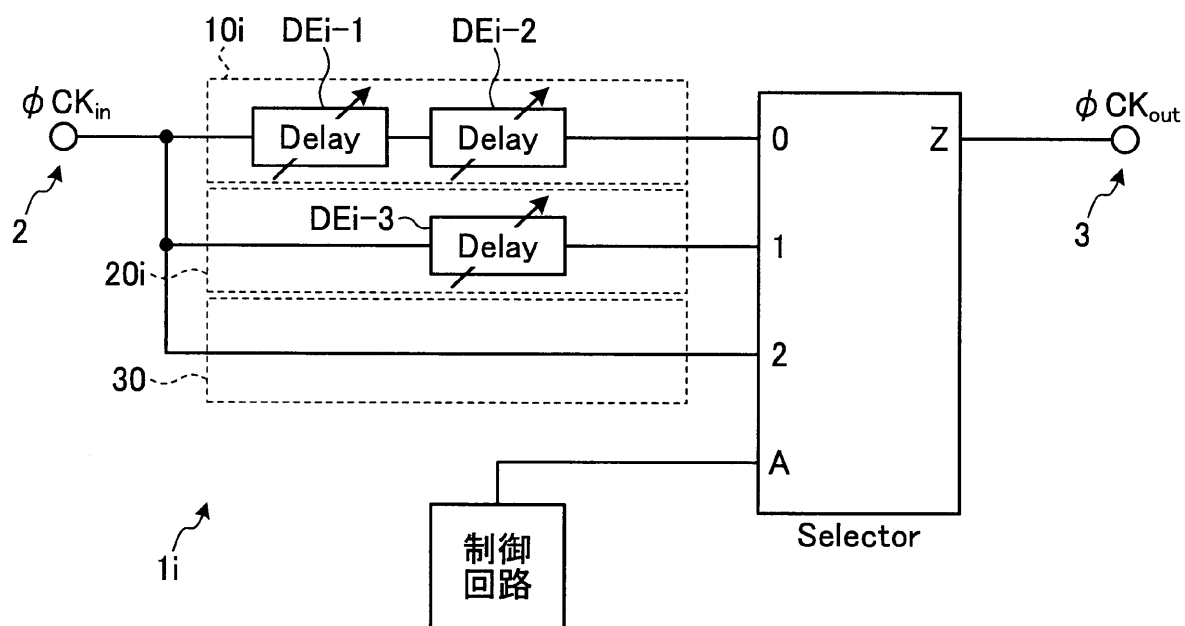
(a)



(b)



【図 8】



【図 9】

