

【書類名】明細書

【発明の名称】固体撮像装置

【技術分野】

【0001】

本実施形態は固体撮像装置に関する。

【背景技術】

【0002】

固体撮像装置は、半導体基板を備え、半導体基板には画素領域と周辺領域が設けられている。画素領域には、光電変換素子を含む画素が行列状に配列されている。周辺領域には、画素を動作させ、画素から出力された信号を処理する素子が設けられている。一般的に固体撮像装置は、画素から出力されたアナログ画素信号をデジタル画素信号に変換し、信号処理回路へ転送している。固体撮像装置では、アナログ画素信号の読み出しは画素の一行ごとに行う。出力されたアナログ画素信号は、画素列ごとに配列された比較器に供給され、参照電圧との比較時間をカウンタで計測することによりデジタル画素信号に変換される。この時、一行方向に配列されたカウンタが同時に動作すると、消費電流が大きくなり電源電圧が降下してしまう。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-166379号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本実施形態は、電源電圧降下を低減できる固体撮像装置を提供する。

【課題を解決するための手段】

【0005】

実施形態の固体撮像装置は、第1光電変換素子を含む第1画素と、第2光電変換素子を含む第2画素と、第1画素から出力された画素信号と、参照電圧とを比較する第1比較器と、第2画素から出力された画素信号と、参照電圧とを比較する第2比較器と、第1比較器及び周波数発生器と接続した第1計測器と、第2比較器及び、遅延回路を介して周波数発生器と接続した第2計測器と、を有する。

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係る固体撮像装置の構成の一部を示す模式的回路図。

【図2】第1実施形態に係る固体撮像装置の動作を示すタイミングチャート。

【図3】第1実施形態に係る固体撮像装置に供給するクロックパルス。

【図4】第1実施形態に係る固体撮像装置の動作を示すタイミングチャート。

【図5】第1実施形態の変形例に係る固体撮像装置の構成の一部を示す模式的回路図。

。

【図6】第2実施形態に係る固体撮像装置の構成の一部を示す模式的回路図。

【発明を実施するための形態】

【0007】

以下、第1実施形態について図面を参照して説明する。なお、各図面において、同様の構成要素については同一の符号を付して詳細な説明は適宜省略する。

【0008】

(第1実施形態)

第1実施形態に係る固体撮像装置を図1から図4を参照して説明する。図1は、第1実施形態に係る固体撮像装置の構成の一部を示す模式的回路図である。図2は、第1実施形態に係る固体撮像装置の動作を示すタイミングチャートである。図3は第1実施形態に係る固体撮像装置に供給するクロックパルスである。図4は第1実施形態に係る固体撮像装

【0009】

第1実施形態に係る固体撮像装置は、光電変換素子を含む画素1が行列状に配置された画素領域2と、垂直方向に画素1の走査を行う垂直走査回路3と、各画素1の列ごとに配置されるカラム型ADC (Analog Digital Converter) 4と、参照電圧供給部9と、水平走査回路11、水平出力線14及び、タイミングジェネレータ8を有している。

【0010】

画素領域2には、画素1が行列状に配列されている。第1実施形態では、画素領域2における1行目の画素1のうち、1列目の画素1を第1画素1aとし、1列目と隣り合う2列目の画素1を第2画素1bとして説明する。画素1は、光電変換素子としてのフォトダイオード及び複数のトランジスタを含む。フォトダイオードは、入射した光を光電変換し、光量に応じた電荷を蓄積する。

【0011】

複数のトランジスタには、フォトダイオードに蓄積され電荷をフローティングディフュージョンに転送する転送トランジスタと、フローティングディフュージョンを所定の電圧にリセットするリセットトランジスタと、フローティングディフュージョンの電圧に応じた電位を出力する増幅トランジスタと、選択信号に従って増幅トランジスタにより伝達された信号を垂直信号線13に出力する選択トランジスタとを含む。尚、トランジスタの詳細な説明については省略する。

【0012】

第1画素1aは第1垂直信号線13aと接続しており、第2画素1bは第2垂直信号線13bと接続している。第1垂直信号線13a及び第2垂直信号線13bの一端は、画素列ごとに配置されたカラム型ADC 4と接続している。これにより第1画素1aから出力されたアナログ画素信号は第1垂直信号線13aを介してカラム型ADC 4へ入力される。第2画素1bから出力されたアナログ画素信号は、第2垂直信号線13bを介してカラム型ADC 4へ入力される。ここで、アナログ画素信号とは、垂直走査回路3がリセット信号を出力することにより画素1から出力されるリセット電位と、垂直走査回路3が転送信号を出力することによりフォトダイオードに蓄積された電荷の量に応じて画素1から出力される画素電位のことである。動作の詳細については後述する。

【0013】

垂直走査回路3は、画素領域2における画素1と接続している。垂直走査回路3は、画素1に含まれる転送トランジスタに転送信号を出力し、リセットトランジスタにはリセット信号を出力し、選択トランジスタには選択信号を出力する。それぞれの信号を画素1へ出力することで画素1に含まれるトランジスタが動作し、画素1からアナログ画素信号が出力される。

【0014】

カラム型ADC 4は、画素1から出力されたアナログ画素信号をデジタル画素信号に変換し、記憶装置7へ転送する。カラム型ADC4は、比較器5と、計測器としてのカウンタ6を有する。転送されたデジタル画素信号は、水平走査回路11で発生する信号により順次読み出され水平出力線14を介して信号処理部12に出力される。

【0015】

周波数発生器としてのタイミングジェネレータ8は、垂直走査回路3、カウンタ6、参照電圧供給部9、遅延回路10及び、水平走査回路11と接続している。タイミングジェネレータ8は、動作基準となるクロック信号や制御信号などを生成し、垂直走査回路3、参照電圧供給部9、カウンタ6及び水平走査回路11に対してクロック信号を供給する。

【0016】

参照電圧供給部9の一端はタイミングジェネレータ8と接続し、他端は比較器5と接続している。参照電圧供給部9はタイミングジェネレータ8から供給されるクロック信号に基づいて参照電圧Vrefを生成する。参照電圧Vrefは例えば、図2に示す電圧の波形が傾斜状に変化するランプ波形等である。参照電圧供給部9は参照電圧Vrefを比較器5に供給す

る。

【0017】

比較器5は、画素1から出力されたアナログ画素信号と参照電圧供給部9から出力された参照電圧Vrefを比較する。

【0018】

比較器5は、画素1列ごとに配置されており、第1画素1aに対応した第1比較器5aと、第2画素1bに対応した第2比較器5bとで構成される。

【0019】

第1比較器5aの入力端には、第1垂直信号線13aと参照電圧供給部9が接続し、出力端には第1カウンタ6aが接続している。

【0020】

第2比較器5bの入力端には、第2垂直信号線13bと参照電圧供給部9が接続し、出力端には、第2カウンタ6bが接続している。

【0021】

カウンタ6は第1比較器5aの出力を入力する第1カウンタ6aと、第2比較器5bの出力を入力する第2カウンタ6b等で構成される。第1カウンタ6aはタイミングジェネレータ8のクロックパルスCLKを入力する。第2カウンタ6bは、遅延回路10を介してタイミングジェネレータ8の遅延クロックパルスDCLKを入力する。第1カウンタ6aは、第1比較器5aでのアナログ画素信号と参照電圧Vrefとを比較している時間を計測する。第2カウンタ6bは、第2比較器5bでのアナログ画素信号と参照電圧Vrefとを比較している時間を計測するが、計測は、第1カウンタ6aより遅れて行う。

【0022】

遅延回路10は、例えばインバータが偶数個直接に連結した回路で構成される。遅延回路10は、偶数個連結したインバータの場合、最終端のインバータから入力信号と同じ信号を出力するため、入力してから出力する出力までの時間を遅らせる役割を有する。第1実施形態において、第1カウンタ6aに輸入されるクロックパルスCLKと第2カウンタ6bに輸入される遅延クロックパルスDCLKとの位相のずれは、例えば図3に示すように、基準となるクロックパルスCLKから、半パルスずれる程度の範囲あればよい。第1実施形態では、遅延回路10としてのインバータが4つ連結されているとして説明するが、インバータを連結される数は、偶数個であれば遅延させる時間に応じて変更可能である。

【0023】

記憶装置7は第1カウンタ6aと接続された第1記憶装置7a及び、第2カウンタ6bと接続された第2記憶装置7bとに分けられる。記憶装置7はそれぞれのカウンタ6で計測された値を記憶する。

【0024】

水平走査回路11は、レジスタ等により構成される(図示しない)。画素列ごとに記憶装置7に記憶されたデジタル画素信号は、水平走査回路11で発生する信号により順次読み出され水平出力線14を介して信号処理部12へ読み出される。

【0025】

次に第1実施形態に係る固体撮像装置の動作について説明する。

【0026】

図4に示すように、垂直走査回路3は選択信号を出力し、1行目の画素1が選択される(図4(c))。選択信号が出力された状態で、垂直走査回路3はリセット信号を出力する(図4(a))。これにより1列目の第1画素1aと2列目の第2画素1bから画素1の基準電位となるリセット電位が出力される。第1画素1aから出力されたりセット電位は、第1垂直信号線13aを介して第1比較器5aに輸入される。また、第2画素1bから出力されたりセット電位は、第2垂直信号線13bを介して第2比較器5bに輸入される。

【0027】

次に垂直走査回路3は転送信号を出力する(図4(b))。これにより1列目の第1画素1aと2列目の第2画素1bから画素1のフォトダイオードに蓄積された電荷に応じた画素

電位が出力される。第1画素1aから出力された画素電位は、第1垂直信号線13aを介して第1比較器5aに入力される。また、第2画素1bから出力された画素電位は、第2垂直信号線13bを介して第2比較器5bに入力される。

【0028】

参照電圧供給部9は、時間の経過とともに電圧値が変化するランプ型の参照電圧Vrefを第1比較器5a及び第2比較器5bに供給する(図4(h))。第1比較器5a及び第2比較器5bでは、例えば1及び2列目の画素から出力されるリセット電位と参照電圧Vrefの比較動作及び、画素電位と参照電圧Vrefの比較動作を行う(図4(g)、(h))。

【0029】

まず1列目の第1比較器5aにリセット電位が入力された動作について説明する。

【0030】

第1比較器5aに入力されたりセット電位が安定した後、参照電圧供給部9が参照電圧Vrefを第1比較器5aに供給する(図4(g)、(h))。参照電圧Vrefが第1比較器5aに供給されると同時に、タイミングジェネレータ8が第1カウンタ6aへクロックパルスCLKを供給する(図4(i)、T1)。第1カウンタ6aがクロックパルスCLKを供給されることにより、第1カウンタ6aは第1比較器5aでのリセット電位と参照電圧Vrefの比較時間をカウントする(図4(k)、T1)。参照電圧Vrefとリセット電位とが一致した時、カウントは停止する(図4(k)、T3)。

【0031】

次に1列目の第1比較器5aに画素電位が入力された動作について説明する。

【0032】

第1比較器5aに入力された画素電位が安定した後、参照電圧供給部9が参照電圧Vrefを第1比較器5aに供給する(図4(g)、(h))。参照電圧Vrefが第1比較器5aに供給されると同時に、タイミングジェネレータ8は第1カウンタ6aへクロックパルスCLKを供給する(図4(i)、T4)。第1カウンタ6aがクロックパルスCLKを供給されることにより、第1カウンタ6aは第1比較器5aでの画素電位と参照電圧Vrefの比較時間をカウントする(図4(k))。参照電圧Vrefと画素電位とが一致した時、カウントは停止する(図4(k)、T6)。第1カウンタ6a内では、2回目のカウント開始からカウントが停止するまでの期間に含まれたクロックパルスの数と、1回目のカウント開始からカウントが停止するまでの期間に含まれたクロックパルスの数の減算処理を行う。このように減算処理が行われることにより、画素1内のノイズを含んだリセット成分電位が除去されるため、画素1ごとのフォトダイオードに蓄積された電荷に応じた信号成分を読み出すことができる。減算処理後、第1カウンタ6aはクロックパルスの数を記憶装置7に転送する。この記憶装置7に記憶されたクロックパルスの数が画素1から読み出されたデジタル画素信号の値として信号処理部12に読み出される。

【0033】

次に2列目の第2比較器5bにリセット電位が入力された動作について説明する。

【0034】

参照電圧供給部9は参照電圧Vrefを第2比較器5bに供給する(図4(h))。参照電圧Vrefが第2比較器5bに供給されると同時に、第2カウンタ6bには、クロックパルスCLKがインバータを介して変換された遅延クロックパルスCLKDが供給される(図4(j))。遅延クロックパルスCLKDが第2カウンタ6bに供給されることにより、第2カウンタ6bは、第2比較器5bでのリセット電位と参照電圧Vrefの比較時間をカウントする(図4(l)、T2)。第2カウンタ6bでのリセット電位と参照電圧Vrefとの比較開始時間は、第1カウンタ6aでの比較開始時間よりパルスの位相が遅れた分遅れて開始される(図4、T2)。参照電圧Vrefとリセット電位とが一致した時、カウンタ6は停止する(図4(l)、T3)。

【0035】

次に2列目の第2比較器5bに画素電位が入力された動作について説明する。

【0036】

第2比較器5bに供給された画素電位が安定した後、参照電圧供給部9が参照電圧Vref

を第2比較器5bに供給する(図4(h))。参照電圧Vrefが第2比較器5bに供給されると同時に、第2カウンタ6bへ遅延クロックパルスCLKDが供給される(図4(j))。遅延クロックパルスCLKDが第2カウンタ6bに供給されることにより、第2カウンタ6bは第2比較器5bでの画素電位と参照電圧Vrefの比較時間をカウントする(図4(l)、T5)。第2カウンタ6bでの画素電位と参照電圧Vrefとの比較開始時間は、第1カウンタ6aでの比較開始時間より遅れて開始される(図4、T5)。参照電圧Vrefと画素電位とが一致した時、カウントは停止する(図4(l)、T6)。第2カウンタ6bでは、第1カウンタ6aと同様にして減算処理を行う。減算処理後、減算された値が記憶装置7に転送され記憶される。

#### 【0037】

尚、上述した第1比較器5aと第2比較器5bの動作は、画素領域2の行ごとに同時に動作する。画素領域2の1行目の動作終了後、水平走査回路11は、記憶装置7に列ごとに記憶されたデジタル画素信号を水平出力線14に読み出す。水平出力線14に読み出されることによりデジタル画素信号は信号処理部12に供給される。

#### 【0038】

第1実施形態では、タイミングジェネレータ8と第2カウンタ6bとの間に遅延回路10であるインバータを設けた。これにより、第2カウンタ6bが第1カウンタ6aに対して遅れて動作する。第1カウンタ6a及び第2カウンタ6bとが同時に動作することにより増大する消費電流を低減できるため、電源電圧が降下することを抑制できる。このため、同一の電源により動作する素子が、電源電圧の降下により発生させる雑音等を低減可能である。

#### 【0039】

尚、第1実施形態では画素領域2の1行目の1列目及び2列目の説明をしたが、他の行、列についても同様である。すなわち、3列目等の奇数列目のカウンタにはタイミングジェネレータ8から直接クロックパルスCLKが供給され、4列目等の偶数列目のカウンタにはインバータを介して出力された遅延クロックパルスCLKDが供給される。このように1列目と3列目のカウンタ6では同じタイミングでカウントし、2列目と4列目のカウンタ6では同じタイミングでカウントする。このように隣り合うカウンタ6でのカウントをずらすことでカウンタ6が同時に動作することにより発生する電圧降下を抑制することができる。

#### 【0040】

第1実施形態では、画素領域の1列目にクロックパルスCLKが供給され、2列目に遅延クロックパルスCLKDが供給されるとして説明したが、1列目に遅延クロックパルスCLKDが供給され2列目にクロックパルスCLKが供給されても実施可能である。

#### 【0041】

次に第1実施形態に係る固体撮像装置の変形例について図5を用いて説明する。図5は第1実施形態の変形例に係る固体撮像装置の構成の一部を示す模式的回路図である。変形例が第1実施形態と異なる点は、第2垂直信号線13bと第2比較器5bとの間に第1スイッチ素子20を設けたこと及び、タイミングジェネレータ8と遅延回路10としてのインバータの間に第2スイッチ素子21を設けたことである。

#### 【0042】

変形例の固体撮像装置はビニング構造である。ビニングとは、画素1を複数個集めてひとつの画素として動作させることである。ビニング構造において、図5に示すように第1画素1aと第2画素1bを画素群50とみなしたとき、例えば、第2画素1bと接続した第2垂直信号線13bと第2比較器5bの間には第1スイッチ素子20が設けられている。また、タイミングジェネレータ8とインバータの間には第2スイッチ素子21が設けられている。第1スイッチ素子20がオン状態の時には、第2画素1bと第2比較器5bとが接続するため、画素1列ごとに出力されるアナログ画素信号が比較器5に入力される。第1スイッチ素子20がオフ状態の時、第1画素1a及び第2画素1bから出力されたアナログ画素信号は第1比較器5aに入力される。この構造では、第1カウンタ6aだけを動作させればよいため、消費電流の増大により電源電圧が降下することを抑制できる。また、第1ス

スイッチ素子 20 をオフ状態としているとき、第 2 比較器 5b にはアナログ画素信号が入力されない為、第 2 比較器 5b に対応した第 2 カウンタ 6b を動作させる必要がない。この時、第 2 スwitch素子 21 をオフ状態にすることでインバータを動作させなくてもよい。このように、第 1 スwitch素子 20 及び第 2 スwitch素子 21 を設けることで、ビニング構造における固体撮像装置でも消費電流の増大を抑制でき電源電圧の降下を抑制することができる。

#### 【0043】

(第 2 実施形態)

第 2 実施形態に係る固体撮像装置を図 6 を用いて説明する。図 6 は、第 2 実施形態に係る固体撮像装置の構成の一部を示す模式的回路図である。

#### 【0044】

第 2 実施形態に係る固体撮像装置が第 2 実施形態と異なる点は、異なる数を連結させた 2 つのインバータを選択器 17 に接続したことである。選択器 17 に入力される選択制御信号により、2 つのインバータから出力された遅延クロックパルス CLKD のいずれかをカウンタ 6 に供給することである。第 2 実施形態に係る固体撮像装置は、上記点を除いて、第 1 実施形態に係る固体撮像装置の構造と同じであるので、同一部分には同一符号を付して詳細な説明は省略する。

#### 【0045】

第 2 実施形態に係る固体撮像装置の構造について説明する。

#### 【0046】

カウンタ 6 は第 1 比較器 5a の出力を入力する第 1 カウンタ 6a と、第 2 比較器 5b の出力を入力する第 2 カウンタ 6b 等で構成される。第 1 カウンタ 6a はタイミングジェネレータ 8 のクロックパルス CLK を入力する。第 2 カウンタ 6b は、遅延回路 10 を介してタイミングジェネレータ 8 の遅延クロックパルス DCLK を入力する。第 1 カウンタ 6a は、第 1 比較器 5a でのアナログ画素信号と参照電圧  $V_{ref}$  とを比較している時間を計測する。第 2 カウンタ 6b は、第 2 比較器 5b でのアナログ画素信号と参照電圧  $V_{ref}$  とを比較している時間を計測するが、計測は、第 1 カウンタ 6a より遅れて行う。

#### 【0047】

遅延回路 10 は、異なる数を連結させた 2 つのインバータが選択器 17 に接続している。第 2 実施形態では、一例として 2 つのインバータが選択器 17 に接続しているとして説明するが、複数のインバータが選択器 17 に接続していても実施可能である。

#### 【0048】

一方側は、インバータが 2 つ連結しており、他方側は、インバータが 4 つ連結している。連結する数は、偶数個のでありかつ、互いに同数でなければこの数に限定しない。これにより基準となるクロックパルス CLK に対して位相のずれた 2 つの遅延クロックパルス CLKD に変換する。

#### 【0049】

選択器 17 は、選択制御信号線 sel と接続している。選択制御信号は選択制御信号線 sel を介して選択器 17 に供給される。選択制御信号は、2 つのインバータから出力された遅延クロックパルス CLKD のうち最適な遅延クロックパルス CLKD を選択する。第 2 カウンタ 6b には、2 つの遅延クロックパルス CLKD のうち選択制御信号により選択されたいずれか一方が供給される。

#### 【0050】

これにより、遅延時間の最適値を選択し第 2 カウンタ 6b に供給できる。第 1 カウンタ 6a と第 2 カウンタ 6b でのカウント時間が異なるため、電源電圧が降下することを抑制できる。このため、同一の電源により動作する素子が、電源電圧の降下により発生させる雑音等を低減可能である。

#### 【0051】

第 2 実施形態では、タイミングジェネレータ 8 と第 2 カウンタ 6b との間に選択器 17 を設け、異なる数を連結させた 2 つのインバータを選択器 17 に接続させた。遅延時間の

最適値を選択し第2カウンタ6bに供給されるため、第2カウンタ6bを第1カウンタ6aに対して遅れて動作させることができる。このため、第1カウンタ6a及び第2カウンタ6bとが同時に動作して消費電流が増大することによる電源電圧が降下することを抑制できる。

【0052】

本発明の実施形態を説明したが、本実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。この新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の趣旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。本実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0053】

- 1・・・画素
- 2・・・画素領域
- 3・・・垂直走査回路
- 4・・・カラム型ADC
- 5・・・比較器
- 5a・・・第1比較器
- 5b・・・第2比較器
- 6・・・カウンタ
- 6a・・・第1カウンタ
- 6b・・・第2カウンタ
- 7・・・記憶装置
- 7a・・・第1記憶装置
- 7b・・・第2記憶装置
- 8・・・タイミングジェネレータ
- 9・・・参照電圧供給器
- 10・・・インバータ
- 11・・・水平走査回路
- 12・・・信号処理部
- 13a・・・第1垂直信号線
- 13b・・・第2垂直信号線
- 14・・・水平出力線
- 17・・・選択器
- 20・・・第1スイッチ素子
- 21・・・第2スイッチ素子
- 50・・・画素群

【書類名】特許請求の範囲

【請求項 1】

第 1 光電変換素子を含む第 1 画素と、  
第 2 光電変換素子を含む第 2 画素と、  
前記第 1 画素から出力された画素信号と、参照電圧とを比較する第 1 比較器と、  
前記第 2 画素から出力された画素信号と、前記参照電圧とを比較する第 2 比較器と、  
前記第 1 比較器及び周波数発生器と接続した第 1 計測器と、  
前記第 2 比較器及び、遅延回路を介して前記周波数発生器と接続した第 2 計測器と、  
を有する固体撮像装置。

【請求項 2】

前記遅延回路は、接続された偶数個接続されたインバータで構成されている請求項 1 に記載の固体撮像装置。

【請求項 3】

前記遅延回路は、インバータが偶数個連結された第 1 インバータと、前記第 1 インバータと連結した数が異なる第 2 インバータとを選択できる選択器を更に有し、

選択制御信号により前記第 1 インバータ又は前記第 2 インバータにより変換される遅延クロックパルスのうちいずれかの一方を前記第 2 比較器に供給する請求項 1 に記載の固体撮像装置。

【請求項 4】

前記第 1 計測器は第 1 カウンタであり、前記第 2 計測器は第 2 カウンタである請求項 1 から 3 のいずれか 1 つに記載の固体撮像装置。

【請求項 5】

前記第 1 画素及び前記第 2 画素には複数のトランジスタが含まれる請求項 1 から 4 のいずれか 1 つに記載の固体撮像装置。

【請求項 6】

前記複数のトランジスタは、転送トランジスタ及びリセットトランジスタを含む請求項 5 に記載の固体撮像装置。

【請求項 7】

前記複数のトランジスタは、選択トランジスタを更に含む請求項 6 に記載の固体撮像装置。

【請求項 8】

前記第 1 画素と前記第 2 画素は、行方向に隣り合うことを特徴とする請求項 1 から 7 のいずれか 1 つに記載の固体撮像装置。



【書類名】要約書

【要約】

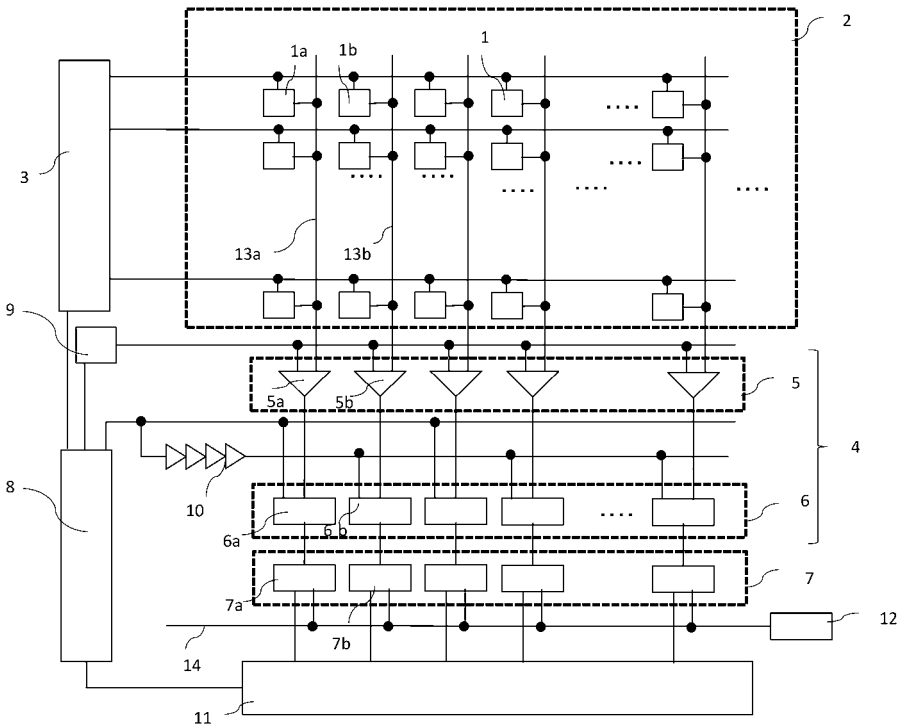
【課題】電源電圧降下を低減できる固体撮像装置を提供する。

【解決手段】

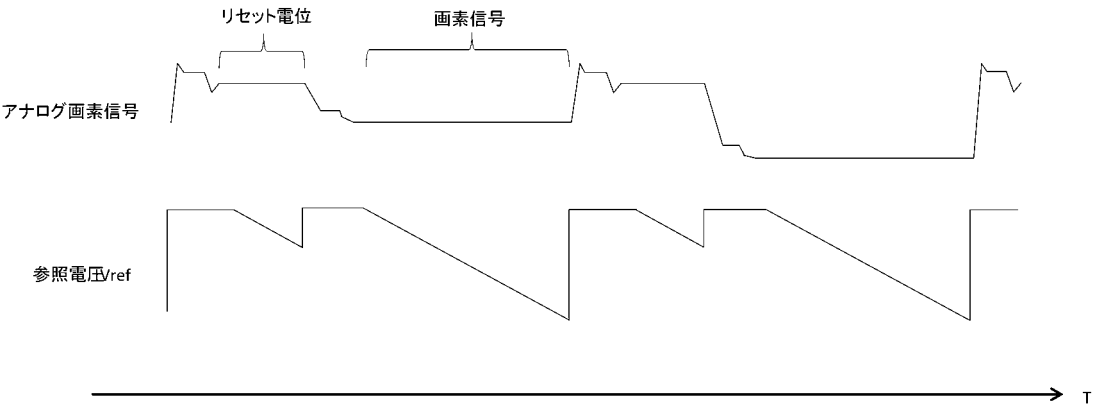
実施形態の固体撮像装置は、第1光電変換素子を含む第1画素と、第2光電変換素子を含む第2画素と、第1画素から出力された画素信号と、参照電圧とを比較する第1比較器と、第2画素から出力された画素信号と、参照電圧とを比較する第2比較器と、第1比較器及び周波数発生器と接続した第1計測器と、第2比較器及び、遅延回路を介して周波数発生器と接続した第2計測器と、を有する。

【選択図】図1

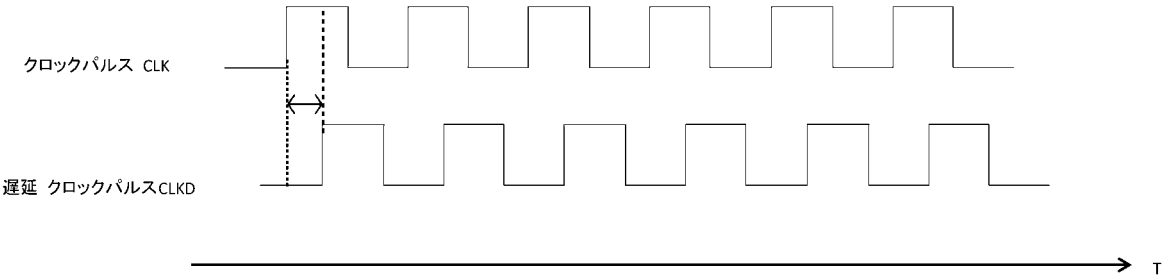
【書類名】図面  
【図 1】



【図 2】



【図 3】



【図 4】

