【書類名】明細書

【発明の名称】制御回路、半導体装置、および定電圧出力方法

【技術分野】

[0001]

本発明の実施形態は、制御回路、半導体装置、および定電圧出力方法に関する。

【背景技術】

[0002]

近年、エアコンや洗濯機などの白物家電に内蔵されるモータには、駆動時の消費電力の 削減だけでなくスタンバイ時の待機電力の削減も求められている。

[0003]

上述したモータは、一般的に、モータ駆動回路によって駆動され、このモータ駆動回路 は制御回路によって制御される。この制御回路には、一般的に、レギュレータ回路、ドラ イブ回路、保護回路等が設けられている。

$[0\ 0\ 0\ 4]$

制御回路が電源部に接続されると、レギュレータ回路は電源部から電圧を供給される。 そのため、モータが駆動していないときにもレギュレータ回路がドライブ回路や保護回路 等に定電圧を供給するので、待機電力が大きくなる。

【先行技術文献】

【特許文献】

[0005]

【特許文献1】特開2005-304146号公報

【発明の概要】

【発明が解決しようとする課題】

[0006]

本発明が解決しようとする課題は、待機電力を削減可能な制御回路、および半導体装置 、および定電圧出力方法を提供することである。

【課題を解決するための手段】

[0007]

本実施形態によれば、スイッチ回路と、定電圧回路と、を備える制御回路が提供される 。前記スイッチ回路は、モータの駆動を制御するためのモータ駆動制御信号の入力電圧が 予め設定されたしきい値を超えたときにオフ状態からオン状態に切り替わる。前記定電圧 回路は、前記スイッチ回路が前記オン状態であるときに、前記スイッチ回路を介して供給 された電圧に基づいて定電圧を生成して出力する。

【図面の簡単な説明】

[0008]

【図1】本発明の一実施形態に係る半導体装置の概略的な回路構成を示すブロック図 である。

【図2】実施形態のレギュレータの概略的な回路構成を示す図である。

【図3】(a)は実施形態の比較例に係る制御回路の定電圧出力動作を示すタイミン グチャートであり、(b)は実施形態に係る制御回路の定電圧出力動作を示すタイミ ングチャートである。

【発明を実施するための形態】

[0009]

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定 するものではない。

[0010]

図1は、本発明の一実施形態に係る半導体装置の概略的な回路構成を示すブロック図で ある。図1には、本実施形態の半導体装置100だけでなく、この半導体装置100でモ ータ500を駆動するために外付けされる電子部品も記載されている。そのため、以下の 実施形態では、半導体装置100をモータ500の駆動に応用した例について説明する。

なお、本実施形態では、モータ 5 0 0 は 3 相 D C ブラシレスモータであるが、3 相 D C ブラシ付きモータ、単相 D C ブラシレスモータ、または単相 D C ブラシ付きモータ等の他の種類のモータであってもよい。

[0011]

図1に示すように、本実施形態の半導体装置100は、モータ駆動回路200と、制御回路300と、充電回路400と、を備える。概略的には、モータ駆動回路200はモータ500を駆動するための回路であり、制御回路300はモータ駆動回路200を制御するための回路であり、充電回路400は半導体装置100に外付けされたブートストラップコンデンサC1~C3を充電するための回路である。以下、各回路の構成について詳しく説明する。

[0012]

[モータ駆動回路200]

図1に示すように、モータ駆動回路200は、制御回路300の制御に基づいてスイッチング動作するスイッチング素子201~206と、スイッチング素子201~206の各々に並列に接続されている還流ダイオード211~216とを備える。本実施形態では、スイッチング素子201~206は、IGBT(Insulated Gate Bipolar Transistor)である。スイッチング素子201~206は、他の種類のスイッチング素子であってもよい。

[0013]

図1に示すように、スイッチング素子201とスイッチング素子204は直列に接続されている。スイッチング素子201のエミッタとスイッチング素子214のコレクタは、U相出力端子18(U端子)に接続されている。同様に、スイッチング素子202とスイッチング素子205も直列に接続されている。スイッチング素子202のエミッタとスイッチング素子205のコレクタは、V相出力端子21(V端子)に接続されている。さらに、スイッチング素子203とスイッチング素子206も直列に接続されている。スイッチング素子203のエミッタとスイッチング素子206のコレクタは、W相出力端子25(W端子)に接続されている。U相出力端子18、V相出力端子21、およびW相出力端子25は、モータ500に接続されている。

[0014]

また、スイッチング素子 201~203のコレクタは、高圧電源端子 23 (VBB端子)に接続されている。スイッチング素子 204、205のエミッタは、エミッタ/アノード端子 20 (IS1端子)に接続されている。スイッチング素子 206のエミッタは、エミッタ/アノード端子 26 (IS2端子)に接続されている。エミッタ/アノード端子 20、26は、外付け抵抗R1を介して接地端子 156 (GND端子)に接続されている。モータ 15000を駆動する際には、高圧電源端子 15003と接地端子 1501、15000間に直流電圧が印加される。

[0015]

「制御回路300]

図1に示すように、制御回路300は、三角波発生部31と、PWM (Pulse Wide Modulation) 部32と、ホールアンプ33と、ドライブ回路34と、過電流保護回路35と、過熱保護回路36と、電源低下保護回路37a~37dと、レギュレータ38と、を備える。

[0016]

(三角波発生部31)

三角波発生部31には、周波数設定信号が外部から入力端子12、13(OS端子、RREF端子)を介して入力される。三角波発生部31は、入力された周波数設定信号に対応する周波数の三角波をPWM部32へ出力する。

[0017]

(PWM部32)

PWM部32には、速度制御信号が外部から速度制御信号入力端子14(VS端子)を

介して入力される。PWM部32は、この速度制御信号と、三角波発生部31から入力された三角波とに基づいてPWM信号を生成し、生成したPWM信号をドライブ回路34へ出力する。速度制御信号入力端子14には、外付け抵抗R2および外付けコンデンサC4が接続されている。速度制御信号は、モータ500の駆動を制御するためのモータ駆動制御信号の一例である。速度制御信号入力端子14に入力された速度制御信号の電圧に基づいて、モータ500の回転数が制御される。

[0018]

また、PWM部32は、速度制御信号の入力電圧がしきい値を超えているか否かを示す 出力制御信号をドライブ回路34およびレギュレータ38へ出力する。

[0019]

(ホールアンプ33)

ホールアンプ33は、外付けホールセンサHC1~HC3の各々から入力された回転位置信号を増幅してドライブ回路34~出力する。回転位置信号は、モータ500の回転位置を示す信号である。外付けホールセンサHC1は、入力端子2、3(HU+端子、HUー端子)を介してホールアンプ33に接続されている。同様に、外付けホールセンサHC2も、入力端子4、5(HV+端子、HV-端子)を介してホールアンプ33に接続されている。さらに、外付けホールセンサHC3も、入力端子6、7(HW+端子、HW-端子)を介してホールアンプ33に接続されている。

[0020]

[0021]

(ドライブ回路34)

ドライブ回路34は、三相分配ロジック34aと、ハイサイドレベルシフトドライバ34bと、ローサイドドライバ34cとを備える。

[0022]

三相分配ロジック34aは、ホールアンプ33から入力された回転位置信号に基づいて、PWM部32から入力されたPWM信号をハイサイドレベルシフトドライバ34bとローサイドドライバ34cとにそれぞれ出力する。

[0023]

また、三相分配ロジック34aは、パルス数切り替え端子8(FGC端子)と回転パルス出力端子9(FG端子)とにそれぞれ接続されている。パルス数切り替え端子8は接地されている。回転パルス出力端子9は、外付け抵抗R5に接続されているとともに、外付け抵抗R6を介してレギュレータ出力端子10に接続されている。パルス数切り替え端子8は、回転パルス出力端子9から出力されるパルス信号の数を設定するための端子である。例えば、パルス数切り替え端子8においてパルス信号の数が「1」に設定されていると、モータ500が1回転する毎に1つのパルス信号回転パルスが出力端子9から出力される。

[0024]

ハイサイドレベルシフトドライバ34bは、三相分配ロジック34aから入力されたPWM信号に基づいてハイサイドのスイッチング素子201~203のスイッチング動作を制御する。ローサイドドライバ34cは、三相分配ロジック34aから入力されたPWM信号に基づいてローサイドのスイッチング素子204~206のスイッチング動作を制御する。

[0025]

(過電流保護回路、過熱保護回路、電源低下保護回路)

過電流保護回路 35、過熱保護回路 36、および電源低下保護回路 $37a\sim37d$ は、いずれもモータ駆動回路 200 を保護するための保護回路である。以下、各保護回路について説明する。

[0026]

過電流保護回路35は、過電流検出端子15を介して外付け抵抗R1の電圧を検出し、 検出した電圧が許容値を超えているか否かを示す電流検出信号を三相分配ロジック34a へ出力する。検出電圧がこの許容値を超えたとき、三相分配ロジック34aは、ハイサイ ドレベルシフトドライバ34bおよびローサイドドライバ34cへのPWM信号の出力を 停止する。

[0027]

過熱保護回路 3.6 は、モータ駆動回路 2.0.0 の温度を検出し、検出した温度が許容値を超えているか否かを示す温度検出信号を三相分配ロジック 3.4 a へ出力する。検出温度がこの許容値を超えたとき、三相分配ロジック 3.4 a は、ハイサイドレベルシフトドライバ 3.4 b およびローサイドドライバ 3.4 c への PWM信号の出力を停止する。

[0028]

電源低下保護回路 3 7 a \sim 3 7 c は、充電回路 4 0 0 を介して制御電源端子 1 1 (VC C端子)に接続されている。電源低下保護回路 3 7 d は、充電回路 4 0 0 を介することなく制御電源端子 1 1 に直接接続されている。制御電源端子 1 1 には、外部の制御電源から直流電圧が供給される。本実施形態では、1 5 V の直流電圧が制御電源端子 1 1 を介して制御回路 3 0 0 に供給される。

[0029]

電源低下保護回路 3 7 a \sim 3 7 c は、充電回路 4 0 0 の出力電圧を検出し、検出した出力電圧が許容値以下になっているか否かを示す電圧検出信号をハイサイドレベルシフトドライバ 3 4 b へ出力する。充電回路 4 0 0 の出力電圧がこの許容値以下になったとき、ハイサイドレベルシフトドライバ 3 4 b はハイサイドのスイッチング素子 2 0 1 \sim 2 0 3 \sim の PWM信号の出力を停止する。

[0030]

電源低下保護回路37dは、制御電源端子11の出力電圧を検出し、検出した出力電圧が許容値以下になっているか否かを示す電圧検出信号を三相分配ロジック34aへ出力する。検出した出力電圧がこの許容値以下になったとき、三相分配ロジック34aは、ローサイドドライバ34cへのPWM信号の出力を停止する。

[0031]

なお、本実施形態の制御回路300は、上述した3種類の保護回路を備えているが、制御回路300は、これらの保護回路の少なくとも1つを備えていてもよい。

[0032]

(レギュレータ回路38)

図2は、レギュレータ38の概略的な回路構成を示す図である。図2には、レギュレータ38だけでなく比較回路39も記載されている。まず、レギュレータ38を説明する前に、この比較回路39を説明する。

[0033]

図 2 に示すように、比較回路 3 9 は、抵抗R 1 1 ~R 1 3 と、定電流源 I A 1 1、I A 1 2 と、MOSトランジスタM 1 1~M 1 4 と、インバータ回路 I N V 1 1、I N V 1 2 と、バンドギャップレギュレータ V B G R 1 とを備える。本実施形態の比較回路 3 9 は上述した P W M 部 3 2 の内部に設けられているが、比較回路 3 9 は P W M 部 3 2 の外部に設けられていてもよい。

[0034]

抵抗R11は、速度制御信号入力端子14に接続されている。抵抗R12は、抵抗R11に直列に接続されている。抵抗R13は、制御電源端子11に接続されている。定電流源IA11は、制御電源端子11に接続されている。定電流源IA12は、抵抗R13を介して制御電源端子11に接続されている。

[0035]

MOSトランジスタM11のゲートは、抵抗R11と抵抗R12との間に接続されている。MOSトランジスタM11のソースは、定電流源 IA11に接続されている。MOSトランジスタM11のドレインは、MOSトランジスタM13のドレインに接続されている。

[0036]

MOSトランジスタM12のゲートは、バンドギャップレギュレータVBGR1に接続されている。MOSトランジスタM12のソースは、定電流源 IA11に接続されている。MOSトランジスタM12のドレインは、MOSトランジスタM14のドレインに接続されている。

[0037]

MOSトランジスタM13のゲートは、MOSトランジスタM14のゲートに接続されている。また、MOSトランジスタM14では、ゲートとドレインが接続されている。これにより、MOSトランジスタM13とMOSトランジスタM14は、カレントミラー回路を構成している。

[0038]

インバータ回路 I N V 1 1 は、MO S トランジスタM 1 1 のドレインとMO S トランジスタM 1 3 のドレインとの間に接続されるとともに、定電流源 I A 1 2 にも接続されている。インバータ回路 I N V 1 1 に直列に接続されている。

[0039]

上記のように構成された比較回路 3 9 では、速度制御信号が速度制御信号入力端子 1 4 に入力されると、速度制御信号の入力電圧は、抵抗R 1 1 と抵抗R 1 2 とで分圧される。そして、この分圧値が、バンドギャップレギュレータ V B G R 1 の電圧以下の場合、M O S トランジスタ M 1 1 はオン状態となり、M O S トランジスタ M 1 2 はオフ状態となっている。この場合、インバータ回路 I N V 1 2 は、速度制御信号の入力電圧がしきい値を超えていないことを示す第 1 の出力制御信号を三相分配ロジック 3 4 a およびレギュレータ 3 8 へ出力する。

$[0\ 0\ 4\ 0]$

一方、速度制御信号の分圧値がバンドギャップレギュレータVGR1の電圧を超えている場合、MOSトランジスタM11はオフ状態となり、MOSトランジスタM12はオフ状態となる。この場合、インバータ回路 INV12は、速度制御信号の入力電圧がしきい値を超えていることを示す第2の出力制御信号を三相分配ロジック34aおよびレギュレータ38へ出力する。

$[0\ 0\ 4\ 1]$

換言すると、上述した比較回路39は、速度制御信号の入力電圧をしきい値と比較し、 当該入力電圧がしきい値を超えているか否かを示す出力制御信号を三相分配ロジック34 a およびレギュレータ38へ出力する。

$[0\ 0\ 4\ 2]$

以上が比較回路39の説明である。次に、レギュレータ38について説明する。図2に示すように、レギュレータ38は、スイッチ回路38aと、定電圧回路38bと、を備える。

$[0\ 0\ 4\ 3]$

スイッチ回路 3 8 a は、MOSトランジスタVS1(第1のスイッチ)と、MOSトランジスタVS2 (第2のスイッチ)とを備える。MOSトランジスタVS1のゲートは、インバータ回路 I NV1 2 に接続されている。MOSトランジスタVS1のソースは、抵抗 R 2 1 を介して制御電源端子 1 1 に接続されている。MOSトランジスタVS1のドレインは、定電圧回路 3 8 b に接続されている。

[0044]

MOSトランジスタVS2のゲートは、インバータ回路INV12に接続されている。 MOSトランジスタVS2のソースは、定電流源IA21を介して制御電源端子11に接 続されている。MOSトランジスタVS2のドレインは、定電圧回路38bに接続されている。

[0045]

上記のように構成されたスイッチ回路 38a では、インバータ回路 INV12 が上述した第1の速度制御信号をMOSトランジスタVS1、VS2のゲートにそれぞれ出力しているとき、MOSトランジスタVS1、VS2はともにオフ状態となる。反対に、インバータ回路 INV12 が上述した第2の速度制御信号をMOSトランジスタVS1、VS2 のゲートにそれぞれ出力しているとき、MOSトランジスタVS1、VS2はともにオン状態となる。

[0046]

なお、本実施形態では、スイッチ回路38aをMOSトランジスタVS1、VS2で構成したが、MOSトランジスタ以外の他の種類のスイッチング素子でスイッチ回路38aを構成することも可能である。

[0047]

次に、定電圧回路38bについて説明する。この定電圧回路38bは、基準電圧回路38b1と、帰還回路38b2とを備える。

[0048]

基準電圧回路38b1は、バイポーラトランジスタB21~23と、抵抗R22、23と、を備える。バイポーラトランジスタB21のコレクタおよびエミッタは、MOSトランジスタVS1のドレインに接続されている。そのため、このバイポーラトランジスタB21は、コレクタおよびエミッタをアノードとするダイオードに相当する。バイポーラトランジスタB22は、バイポーラトランジスタB21のベース(ダイオードのカソード)に接続されている。バイポーラトランジスタB23は、バイポーラトランジスタB22に直列に接続されている。バイポーラトランジスタB22、B23では、ベースとコレクタが接続されている。そのため、これらのバイポーラトランジスタB22、B23は、ベースをアノードとし、エミッタをカソードとするダイオードに相当する。

[0049]

抵抗R22は、MOSトランジスタVS1のドレインに接続されている。抵抗R23は、抵抗R22に直列に接続されている。

[0050]

帰還回路38b2は、MOSトランジスタM21~M25と、抵抗R24、25とを備える。

[0051]

MOSトランジスタM21のゲートは、抵抗R22と抵抗R23との間に接続されている。MOSトランジスタM21のソースは、MOSトランジスタVS2のドレインに接続されている。MOSトランジスタM21のドレインは、MOSトランジスタM23のドレインに接続されている。

$[0\ 0\ 5\ 2]$

MOSトランジスタM22のゲートは、抵抗R24と抵抗R25との間に接続されている。MOSトランジスタM22のソースは、MOSトランジスタVS2のドレインに接続されている。MOSトランジスタM22のドレインは、MOSトランジスタM24のドレインに接続されている。

[0053]

MOSトランジスタM23のゲートは、MOSトランジスタM24のゲートに接続されている。また、MOSトランジスタM24では、ゲートとドレインが接続されている。これにより、MOSトランジスタM23とMOSトランジスタM24は、カレントミラー回路を構成している。

[0054]

抵抗R24は、レギュレータ出力端子10に接続されている。抵抗R25は、抵抗R24に直列に接続されている。

[0055]

上記のように構成された定電圧回路 38bでは、スイッチ回路 38aがオフ状態からオン状態に変化したときに、制御電源端子 11に入力された直流電圧がスイッチ回路 38aを介して基準電圧回路 38b1に供給されると同時に、定電流源 1A21から出力された定電流が帰還回路 38b2に供給される。

[0056]

基準電圧回路38b1は、供給された直流電圧に基づいて基準電圧を生成する。この基準電圧は、レギュレータ出力端子10の電圧、すなわちホールアンプ33、ドライブ回路34、各種保護回路等に供給される定電圧(本実施形態では6V)に対応している。

[0057]

一方、帰還回路38b2は、基準電圧回路38b1で生成された基準電圧とレギュレータ出力端子10の電圧とを比較し、比較結果に基づいてMOSトランジスタM25の出力電流を制御する。これにより、制御電源端子11に入力された直流電圧が変動しても抵抗R24、25を流れる電流が調整されるので、レギュレータ出力端子10の電圧が定電圧に維持される。

[0058]

「充電回路400]

再び図1に戻って、充電回路400は、ダイオードD41~D43と、抵抗R41~43と、を備える。ダイオードD41~D43のアノードは、制御電源端子11にそれぞれ接続されている。ダイオードD41のカソードは、抵抗R41を介してU相ブートストラップコンデンサ接続端子17(BSU端子)に接続されている。U相ブートストラップコンデンサ接続端子17は、ブートストラップコンデンサC1に接続されている。ダイオードD42のカソードは、抵抗R42を介してV相ブートストラップコンデンサ接続端子22(BSV端子)に接続されている。V相ブートストラップコンデンサ接続端子22は、ブートストラップコンデンサC2に接続されている。ダイオードD43のカソードは、抵抗R43を介してW相ブートストラップコンデンサ接続端子24(BSW端子)に接続されている。W相ブートストラップコンデンサ接続端子24は、ブートストラップコンデンサC3に接続されている。

[0059]

次に、図3を参照して、本実施形態に係る制御回路300の定電圧出力動作について説明する。図3(a)は、本実施形態の比較例に係る制御回路の定電圧出力動作を示すタイミングチャートである。図3(b)は、本実施形態に係る制御回路の定電圧出力動作を示すタイミングチャートである。本比較例に係る制御回路の構成は、上述したスイッチ回路38aを備えていない点を除いて本実施形態に係る制御回路300と同様である。

[0060]

図3(a)、(b)においてVCC電圧は、制御回路に供給された直流電圧を示す。VREG(レギュレータ電圧)は、定電圧回路の出力電圧を示す。VS(速度制御電圧)は、速度制御信号の入力電圧を示す。ICC(消費電流)は、制御回路の消費電流を示す。(typ)は、標準値を示す。例えば、VSの波形に記載された1.3 Vは標準値であり、1.1 V~1.5 V0変動が許容される。

$[0\ 0\ 6\ 1]$

図3 (a) に示すように、比較例に係る制御回路では、スイッチ回路38aが設けられていないので、VREGはVCC電圧に連動する。そのため、VCC電圧が制御回路に供給されると直ちに定電圧回路に電圧が供給される。つまり、速度制御信号の入力電圧が1.3Vを超える前に定電圧回路に電圧が供給される。

[0062]

また、速度制御信号の入力電圧が1.3 Vを超えた後、再び1.3 V以下になっても定電圧回路には引き続き電圧が供給されている。その結果、速度制御信号の入力電圧が1.3 V以下に下がっても、定電圧回路は、ホールアンプ、ドライブ回路、種々各種の保護回路等に定電圧を供給し続ける。そして、VCC電圧が降圧するのに連動してVREGも降

[0063]

しかし、比較例の制御回路では、速度制御信号の入力電圧が1.3 Vを超えるまでスイッチング素子はスイッチング動作を行わない。つまり、比較例に係る制御回路では、モータ500が停止しているにも関わらず、定電圧回路がホールアンプ33、ドライブ回路34、各種保護回路等に定電圧を供給する。

[0064]

一方、図3(b)に示すように、本実施形態に係る制御回路300では、速度制御信号の入力電圧が1.3 V以下となっているとき、比較回路39のインバータ回路INV12は、上述した第1の出力制御信号をスイッチ回路38aへ出力する。このとき、スイッチ回路38aはオフ状態であり、定電圧回路38bには電圧が供給されない。その結果、VREGは0となる。このとき、三相分配ロジック34aは、PWM信号をハイサイドレベルシフトドライバ34bとローサイドドライバ34cのいずれにも出力しない。つまり、第1の出力制御信号は、全てのスイッチング素子201~206をオフさせるオールオフ信号に相当する。

[0065]

その後、速度制御信号の入力電圧が1.3 Vを超えたとき、インバータ回路 I N V 1 2 は、上述した第2の出力制御信号をスイッチ回路38aに出力する。このとき、スイッチ回路38aはオフ状態からオン状態に変化する。これにより、定電圧回路38bには、スイッチ回路38aを介して電圧が供給される。その結果、VREGは、時間の経過に伴って上昇して定電圧(6V)となる。この定電圧が、ホールアンプ33、ドライブ回路、各種保護回路等に供給される。

[0066]

また、速度制御信号の入力電圧が1. 3 V を超えたとき、三相分配ロジック 3 4 a は、 P W M 信号をローサイドドライバ 3 4 c に出力する。ローサイドドライバ 3 4 c は、この P W M 信号に基づいてローサイドのスイッチング素子 2 0 4 \sim 2 0 6 をオンさせる。これにより、充電回路 4 0 0 がブートストラップコンデンサ C 1 \sim C 3 を充電する。つまり、本実施形態に係る制御回路 3 0 0 では、モータ 5 0 0 が駆動し始めるタイミングで、定電圧回路 3 8 b が定電圧をホールアンプ 3 3、ドライブ回路、種々の保護回路等に供給する

[0067]

その後、速度制御信号の入力電圧が、再び1.3 V以下に下がったとき、インバータ回路 I N V 1 2 が、第1 の出力制御信号をスイッチ回路 3 8 a へ再び出力する。このとき、スイッチ回路 3 8 a はオン状態からオフ状態に変化する。これにより、定電圧回路 3 8 b への電圧供給が遮断される。その結果、定電圧回路 3 8 b レギュレータ 3 8 からホールアンプ 3 3、ドライブ回路、各種保護回路等への電圧供給も遮断される。

[0068]

以上説明したように、本実施形態の制御回路 300 は、スイッチ回路 38a と定電圧回路 38b とを備える。スイッチ回路 38a は、速度制御信号の入力電圧がしきい値を超えたときにオフ状態からオン状態に切り替わる。定電圧回路 38b は、スイッチ回路 38a がオン状態であるときにスイッチ回路 38a を介して供給された電圧に基づいて定電圧を生成して出力する。そのため、モータ 500 が停止しているときに定電圧回路 38b への電圧供給を停止できる。これにより、モータ 500 が停止しているときに、この定電圧回路 38b から定電圧の供給を受ける回路等の動作も停止するので、待機電力を削減することが可能となる。

[0069]

特に本実施形態の制御回路 300では、定電圧回路 38bが、ホールアンプ 33だけでなく外付けホールセンサHC 1~HC 3にも定電圧を供給可能な構成となっている。そのため、モータ 500の停止時に定電圧回路 38bへの電圧供給を遮断することによって、ホールアンプ 33の待機電力だけでなく外付けホールセンサHC 1~HC 3の待機電力も

[0070]

また、本実施形態の半導体装置100によれば、PWM信号を生成するための速度制御信号が、スイッチ回路38aをオン状態またはオフ状態に切り替える信号として用いられている。すなわち、このスイッチ回路38aを制御するために新たな制御信号を生成する必要がない。よって、簡易な回路構成で待機電力を削減することが可能となる。

[0071]

さらに、本実施形態のスイッチ回路38aでは、速度制御信号の入力電圧が1.3V以下のとき(モータ500が停止しているとき)に、MOSトランジスタVS1が基準電圧回路38b1への電圧供給を遮断するとともに、MOSトランジスタVS2が帰還回路38b2への電圧供給を遮断する。これにより、定電圧回路38bを構成する2つの回路への電圧供給をより確実に遮断することが可能となる。

[0072]

本発明の実施形態を説明したが、この実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。この実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。この実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

[0073]

- 100 半導体装置
- 200 モータ駆動回路
- 300 制御回路
- 33 ホールアンプ
- 34 ドライブ回路
- 35 過電流保護回路
- 36 過熱保護回路
- 3 7 a ~ 3 7 d 電源低下保護回路
- 38a スイッチ回路
- 38b 定電圧回路
- 38b1 基準電圧回路
- 38b2 帰還回路
- 39 比較回路

【書類名】特許請求の範囲

【請求項1】

モータの駆動を制御するためのモータ駆動制御信号の入力電圧が予め設定されたしきい値を超えたときにオフ状態からオン状態に切り替わるスイッチ回路と、

前記スイッチ回路が前記オン状態であるときに、前記スイッチ回路を介して供給された電圧に基づいて定電圧を生成して出力する定電圧回路と、 を備える制御回路。

【請求項2】

前記入力電圧を前記しきい値と比較し、前記入力電圧が前記しきい値を超えているか否かを示す出力制御信号を前記スイッチ回路へ出力する比較回路をさらに備える、請求項1に記載の制御回路。

【請求項3】

前記モータ駆動制御信号は、前記入力電圧に基づいて前記モータの回転数を制御する速 度制御信号である、請求項1または2に記載の制御回路。

【請求項4】

前記モータ駆動制御信号および前記出力制御信号に基づいて、前記モータを駆動可能なモータ駆動回路を制御するドライブ回路をさらに備え、

前記比較回路は、前記出力制御信号を前記スイッチ回路とともに前記ドライブ回路にも 出力する、請求項1から3のいずれかに記載の制御回路。

【請求項5】

前記モータの回転位置を検出する外付けホールセンサから前記回転位置を示す回転位置信号が入力され、前記回転位置信号を増幅して前記ドライブ回路に出力するホールアンプをさらに備え、

前記定電圧回路は、前記定電圧を前記ホールアンプとともに前記外付けホールセンサに も出力する、請求項4に記載の制御回路。

【請求項6】

前記定電圧回路から前記定電圧の供給を受けて前記モータ駆動回路を保護する保護回路をさらに備える、請求項4または5のいずれかに記載の制御回路。

【請求項7】

前記定電圧回路は、前記定電圧に対応する基準電圧を生成する基準電圧回路と、前記定電圧回路の出力端子の電圧を前記基準電圧と比較し、比較結果に基づいて前記出力端子の電圧を前記定電圧に維持する帰還回路と、を備え、

前記スイッチ回路が、前記基準電圧回路に接続された第1のスイッチと、前記帰還回路に接続された第2のスイッチとを、備え、前記第1のスイッチおよび前記第2のスイッチがオンしたときに前記スイッチ回路が前記オン状態となり、前記第1のスイッチおよび前記第2のスイッチがオフしたときに前記スイッチ回路が前記オフ状態となる、請求項1から6のいずれかに記載の制御回路。

【請求項8】

モータを駆動するためのモータ駆動回路と、

前記モータ駆動回路を制御する制御回路と、を備え、

前記制御回路は、

モータの駆動を制御するためのモータ駆動制御信号の入力電圧が予め設定されたしきい値を超えている場合にオフ状態からオン状態となるスイッチ回路と、

前記スイッチ回路が前記オン状態であるときに、前記スイッチ回路を介して供給された 制御電圧に基づいて定電圧を生成して出力する定電圧回路と、 を備える半導体装置。

【請求項9】

モータの駆動を制御するためのモータ駆動制御信号の入力電圧が予め設定されたしきい値を超えている場合にスイッチ回路がオフ状態からオン状態となるステップと、

前記スイッチ回路が前記オン状態であるときに、前記スイッチ回路を介して供給された

【書類名】要約書

【要約】

【課題】待機電力を削減可能な制御回路を提供する。

【解決手段】実施形態によれば、制御回路は、スイッチ回路と、定電圧回路と、を備える 。スイッチ回路は、モータの駆動を制御するためのモータ駆動制御信号の入力電圧が予め 設定されたしきい値を超えたときにオフ状態からオン状態に切り替わる。定電圧回路は、 スイッチ回路がオン状態であるときに、スイッチ回路を介して供給された電圧に基づいて 定電圧を生成して出力する。

【選択図】図2

【書類名】図面

【図1】





