

【書類名】 明細書

【発明の名称】 DC/DCコンバータ

【技術分野】

【0001】

本発明の実施形態は、DC/DCコンバータに関する。

【背景技術】

【0002】

DC/DCコンバータでは、ハイサイドトランジスタとローサイドトランジスタを交互にスイッチングさせてインダクタを駆動し、電気エネルギーを損失なく磁気エネルギーに変換させた後、出力コンデンサにて再び電気エネルギーに変換させて、直流電圧レベルの変換を行っている。

【0003】

ハイサイドトランジスタとしてNMOSトランジスタを用いる場合、ハイサイドトランジスタのゲートを制御するゲート制御回路には、入力電圧よりも高い電圧が印加されるため、ゲート制御回路の2つの電源供給ノード間にブートストラップコンデンサを接続することが多い。

【0004】

DC/DCコンバータの負荷が小さい軽負荷状態では、ハイサイドトランジスタとローサイドトランジスタを間欠動作させて、消費電力の削減を図るのが一般的である。この場合、ブートストラップコンデンサの充電電圧が低くなりすぎないように、ブートストラップコンデンサの充電電圧をモニタして、充電電圧が予め定めた所定電圧以下になると、ローサイドトランジスタを強制的にオンさせて、ブートストラップコンデンサを再充電することが考えられる。ところが、間欠動作の最中に、軽負荷状態であるにもかかわらず、ローサイドトランジスタをオンさせるのは、無駄に消費電力を増やすことになる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】 特開2014-23269号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本実施形態は、軽負荷時に低消費電力でブートストラップコンデンサを充電可能なDC/DCコンバータを提供するものである。

【課題を解決するための手段】

【0007】

~~本実施形態によれば、入力電圧のノードとインダクタの一端との間に接続される第1トランジスタと、~~

~~前記インダクタの一端と基準電圧ノードとの間に接続される第2トランジスタと、~~

~~前記第1トランジスタのゲート電圧を制御する第1ゲート制御回路と、~~

~~前記第1ゲート制御回路の第1および第2電源供給ノード間に接続されるキャパシタと~~

~~、~~  
~~前記入力電圧と前記インダクタの他端側電圧との電圧差が第1電圧以下か否かを検出する第1検出回路と、~~

~~前記第1検出回路により前記第1電圧より大きいと検出された場合には、前記キャパシタの充電電圧が所定電圧以下になると、前記第2トランジスタをオフのままで前記キャパシタの充電を行う第1充電制御回路と、を備えるDC/DCコンバータが提供される。~~

【図面の簡単な説明】

【0008】

【図1】 一実施形態によるDC/DCコンバータ1の回路図。

【図2】 図1のDC/DCコンバータ1の通常動作時のタイミング図。

【図3】軽負荷時かつ入力電圧 $V_{in}$ が出力電圧 $V_{out}$ より第1電圧より大きい場合のタイミング図。

【図4】軽負荷時かつ入力電圧 $V_{in}$ が出力電圧 $V_{out}$ より第1電圧以下の場合のタイミング図。

【発明を実施するための形態】

【0009】

以下、図面を参照して本発明の実施形態を説明する。以下の実施形態では、DC/DCコンバータ内の特徴的な構成および動作を中心に説明するが、DC/DCコンバータには以下の説明で省略した構成および動作が存在しうる。ただし、これらの省略した構成および動作も本実施形態の範囲に含まれるものである。

【0010】

図1は一実施形態によるDC/DCコンバータ1の回路図である。図1のDC/DCコンバータ1は、ブートストラップコンデンサ（キャパシタ） $C_{boot}$ と、ハイサイドトランジスタ（第1トランジスタ） $Q_1$ と、ローサイドトランジスタ（第2トランジスタ） $Q_2$ と、第1ゲート制御回路2と、第2ゲート制御回路3と、低電圧検出回路（第3検出回路）4と、電圧差検出回路（第1検出回路）5と、軽負荷判定回路（判定回路）6と、第1充電制御回路7と、誤差電圧検出回路（第2検出回路）8と、第2充電制御回路9とを備えている。

【0011】

ハイサイドトランジスタ $Q_1$ は、DC/DCコンバータ1の入力電圧 $V_{in}$ のノード $n_1$ とインダクタ $L_1$ の一端 $LX$ との間に接続されている。ハイサイドトランジスタ $Q_1$ は、例えばNMOSトランジスタである。ハイサイドトランジスタ $Q_1$ をNMOSトランジスタにすることで、PMOSトランジスタにするよりも、オン抵抗を低くでき、効率がよくなる。ただし、NMOSトランジスタを完全にオンさせるには、ゲートソース間電圧を大きくしなければならず、NMOSトランジスタのゲート電圧をドレイン電圧よりも高くする必要がある。ドレイン電圧は、DC/DCコンバータ1の入力電圧 $V_{in}$ であるため、入力電圧 $V_{in}$ よりも高いゲート電圧を生成する必要がある。そこで、図1のDC/DCコンバータ1では、ハイサイドトランジスタ $Q_1$ のゲート電圧を制御する第1ゲート制御回路2のハイサイド電源ノード（第1電源供給ノード） $n_2$ とハイサイド接地ノード（第2電源供給ノード） $n_3$ との間にブートストラップコンデンサ $C_{boot}$ を接続して、第1ゲート制御回路2に入力電圧 $V_{in}$ よりも高い電源電圧を供給するようにしている。

【0012】

第1ゲート制御回路2は、レベルシフト回路11と、レベルシフト回路11の出力電圧を反転出力するインバータ $IV_1$ とを有し、インバータ $IV_1$ の出力電圧がハイサイドトランジスタ $Q_1$ のゲート電圧となる。

【0013】

ローサイドトランジスタ $Q_2$ は、インダクタ $L_1$ の一端 $LX$ とローサイド接地ノード（基準電圧ノード） $GND$ との間に接続されている。ローサイドトランジスタ $Q_2$ は、例えばNMOSトランジスタである。

【0014】

ローサイドトランジスタ $Q_2$ のゲートには、第2ゲート制御回路3が接続されている。第2ゲート制御回路3は、論理演算部12と、信号処理部13と、インバータ $IV_2$ とを有する。論理演算部12については後述する。信号処理部13は、第1ゲート制御回路2と第2ゲート制御回路3の双方に対する制御信号を生成する。インバータ $IV_2$ は、制御信号を反転して、ローサイドトランジスタ $Q_2$ のゲート電圧を生成する。また、信号処理部13で生成された第1ゲート制御回路2用の制御信号は、第1ゲート制御回路2内のレベルシフト回路11でレベルシフトされた後、インバータ $IV_1$ に入力される。

【0015】

インダクタ $L_1$ の他端側には、出力電圧 $V_{out}$ を出力するDC/DCコンバータ1の出力端子 $OUT$ が接続されており、この出力端子 $OUT$ とローサイド接地ノード $GND$ との

間には出力コンデンサC<sub>out</sub>と負荷R<sub>load</sub>が接続されている。負荷R<sub>load</sub>の大きさは種々変動することを想定している。

#### 【0016】

電圧差検出回路5は、DC/DCコンバータ1の入力電圧V<sub>in</sub>と出力電圧V<sub>out</sub>との電圧差が第1電圧以下か否かを検出し、第1電圧以下か否かを示す検出信号を出力する。第1電圧とは、例えば5Vである。電圧差検出回路5から出力された検出信号は、論理演算部12の他方の入力ノードに供給される。例えば、検出信号は、電圧差が第1電圧以下になると、ハイ電位になる。

#### 【0017】

低電圧検出回路4は、ブートストラップコンデンサC<sub>boot</sub>の両電極間に接続されており、ブートストラップコンデンサC<sub>boot</sub>の充電電圧が第2電圧以下か否かを検出し、第2電圧以下か否かを示す検出信号を、上述した論理演算部12の一方の入力ノードに供給する。例えば、ブートストラップコンデンサC<sub>boot</sub>の充電電圧が第2電圧以下になると、低電圧検出回路4は、検出信号をハイ電位にする。ここで、第2電圧とは、ブートストラップコンデンサC<sub>boot</sub>の再充電が必要となる電圧であり、より具体的には、ブートストラップコンデンサC<sub>boot</sub>を再充電しないと、ハイサイドトランジスタQ1のオン動作が保証されなくなる電圧であり、実際にはハイサイドトランジスタQ1の特性等によって決まる電圧である。

#### 【0018】

論理演算部12は、例えば、2つの入力ノードの論理積信号を出力するANDゲートである。論理演算部12の出力がハイ電位になるのは、DC/DCコンバータ1の入力電圧V<sub>in</sub>と出力電圧V<sub>out</sub>との電圧差が第1電圧以下で、かつブートストラップコンデンサC<sub>boot</sub>の充電電圧が第2電圧以下の場合である。論理演算部12の出力信号は信号処理部13に入力される。

#### 【0019】

なお、論理演算部12は、必ずしもANDゲートで構成する必要はない。種々の論理ゲートを組み合わせて構成してもよい。

#### 【0020】

誤差電圧検出回路8は、インダクタL1の他端側電圧V<sub>out</sub>と予め定めた基準出力電圧との電圧差を示す誤差電圧を検出する。誤差電圧が小さい場合には、DC/DCコンバータ1の出力電圧V<sub>out</sub>が基準出力電圧に近いことを示しており、負荷R<sub>load</sub>が軽いと判断することができる。

#### 【0021】

軽負荷判定回路6は、誤差電圧に基づいて、負荷R<sub>load</sub>が軽いことを示す軽負荷状態か否かを判定する。より具体的には、軽負荷判定回路6は、誤差電圧が予め定めた所定電圧以下の場合には、軽負荷状態と判定する。

#### 【0022】

信号処理部13は、インダクタL1の一端L<sub>X</sub>側電圧と、論理演算部12の出力信号と、軽負荷判定回路6の出力信号と、誤差電圧とに基づいて、ハイサイドトランジスタQ1用の制御信号と、ローサイドトランジスタQ2用の制御信号とを生成する。例えば、信号処理部13は、軽負荷判定回路6にて軽負荷状態と判定されると、ハイサイドトランジスタQ1とローサイドトランジスタQ2がともにオフするような制御信号を生成する。

#### 【0023】

このように、軽負荷時には、ハイサイドトランジスタQ1とローサイドトランジスタQ2がともにオフさせて、消費電力の低減を図る。ただし、ブートストラップコンデンサC<sub>boot</sub>の充電電圧が低くなると、後述するように、第1充電制御回路7または第2充電制御回路9を利用して、ブートストラップコンデンサC<sub>boot</sub>の充電を行う。第2充電制御回路9では、瞬間的にローサイドトランジスタQ2をオンする。

#### 【0024】

第1充電制御回路7は、電圧差検出回路5により電圧差が第1電圧より大きいと判定さ

【0025】

第1充電制御回路7は、より具体的な一例では、電流源21と、ツェナーダイオード（定電圧源）22と、第3トランジスタQ3とを有する。電流源21は、入力電圧 $V_{in}$ の印加ノードと、第3トランジスタQ3のゲートとの間に接続されている。ツェナーダイオード22は、第3トランジスタQ3のゲートと、ハイサイド接地ノードn3との間に接続されている。すなわち、電流源21とツェナーダイオード22は、入力電圧 $V_{in}$ の印加ノードとハイサイド接地ノードn3との間に直列接続されている。第3トランジスタQ3は例えばNMOSトランジスタであり、そのドレインは入力電圧 $V_{in}$ の印加ノードに接続され、そのソースはハイサイド電源ノードn2に接続されている。後述するように、第3トランジスタQ3は、能動領域で動作する。第3トランジスタQ3は、入力電圧 $V_{in}$ の印加ノードとハイサイド電源ノードn2との電圧差が所定電圧以上になると、入力電圧 $V_{in}$ の印加ノードからハイサイド電源ノードn2に電流を流して、ブートストラップコンデンサ $C_{boot}$ の充電を行う。

【0026】

第2充電制御回路9は、ハイサイド電源ノードn2とローサイド接地ノードGNDとの間に接続されている。第2充電制御回路9は、ローサイドトランジスタQ2がオンのときにキャパシタを充電する。第2充電制御回路9は、ハイサイド電源ノードn2とローサイド接地ノードGNDとの間に直列接続されたダイオードD1と直流電源23とを有する。ダイオードD1のアノードは直流電源23に接続され、ダイオードD1のカソードはハイサイド電源ノードn2に接続されている。

【0027】

直流電源23の電圧レベル $V_{s1}$ は、ツェナーダイオード22の電圧レベル $V_{cboot1}+V_{gs}$ よりも高くしている。これにより、ブートストラップコンデンサ $C_{boot}$ の充電電圧 $V_{cboot1}$ がツェナーダイオード22の電圧レベルまで下がると、第1充電制御回路7を用いて、ブートストラップコンデンサ $C_{boot}$ の再充電が行われる。

【0028】

図2は図1のDC/DCコンバータ1の通常動作時のタイミング図である。ここで、通常動作とは、軽負荷状態よりも負荷 $R_{load}$ が重いことを意味する。

【0029】

図2は、時刻 $t_1$ で、すでにブートストラップコンデンサ $C_{boot}$ が充電されている例を示している。時刻 $t_1 \sim t_2$ では、ハイサイドトランジスタQ1がオンし、ローサイドトランジスタQ2がオフする。これにより、インダクタL1の一端LX側電圧 $V_{LX}$ は入力電圧 $V_{in}$ とほぼ同電位にまで上昇し、インダクタL1に流れる電流 $I_{LX}$ は、線形に上昇する。時刻 $t_1 \sim t_2$ では、ブートストラップコンデンサ $C_{boot}$ への充電は行われないため、ブートストラップコンデンサ $C_{boot}$ の充電電圧は徐々に低下する。

【0030】

時刻 $t_2 \sim t_3$ は、ハイサイドトランジスタQ1とローサイドトランジスタQ2の双方がオフするデッドタイムである。デッドタイムを設けるのは、貫通電流を防止するためである。この期間内では、インダクタL1の一端LX側電圧は急峻に低下し、また、ブートストラップコンデンサ $C_{boot}$ の充電電圧も徐々に低下する。インダクタL1は、急激には電流の方向を切り替えることができないため、時刻 $t_2$ 以降、徐々に電流が低下していく。

【0031】

時刻 $t_3 \sim t_4$ では、ハイサイドトランジスタがオフで、ローサイドトランジスタQ2がオンする。これにより、インダクタL1の一端LX側電圧は接地レベル（例えば0V）となる。インダクタL1の電流は、引き続き、徐々に低下していく。ローサイドトランジスタQ2がオンすると、インダクタL1の一端LX側電圧が接地レベルになる影響で、電荷保存の法則により、ブートストラップコンデンサ $C_{boot}$ の一端側であるハイサイド電源ノードn2の電圧も低下する。これにより、第2充電制御回路9を介して、ブートストラップ

プコンデンサCbootの充電が行われて満充電状態となり、ブートストラップコンデンサCbootの充電電圧はほぼ一定になる。

#### 【0032】

時刻  $t_4 \sim t_5$  は、ハイサイドトランジスタQ1とローサイドトランジスタQ2の双方がオフするデッドタイムである。この期間内では、ブートストラップコンデンサCbootの充電電圧は徐々に低下する。その後、時刻  $t_5$  以降は、時刻  $t_1 \sim t_5$  と同様の動作が繰り返される。

#### 【0033】

このように、図1のDC/DCコンバータ1は、通常動作時には、ハイサイドトランジスタQ1とローサイドトランジスタQ2を交互にオンさせて、入力電圧 $V_{in}$ とは異なる電圧レベルの出力電圧 $V_{out}$ を生成する。ハイサイドトランジスタQ1とローサイドトランジスタQ2のオン期間の比率を制御することで、出力電圧 $V_{out}$ の電圧レベルを調整できる。

#### 【0034】

図3は、軽負荷時で、かつ入力電圧 $V_{in}$ と出力電圧 $V_{out}$ との電位差が第1電圧より大きい場合のタイミング図である。この場合、電圧差検出回路5は、入力電圧 $V_{in}$ が出力電圧 $V_{out}$ よりの第1電圧より大きいことを示すロー電位の検出信号を出力する。

#### 【0035】

時刻  $t_{11} \sim t_{14}$  では、図2の時刻  $t_1 \sim t_4$  と同様の動作が行われる。時刻  $t_{14}$  の時点で、軽負荷判定回路6により軽負荷と判定されると、時刻  $t_{14}$  以降、ハイサイドトランジスタQ1とローサイドトランジスタQ2はともにオフする。これにより、ブートストラップコンデンサCbootの充電電圧は徐々に低下する。

#### 【0036】

時刻  $t_{14}$  の時点では、インダクタL1の一端LXはハイインピーダンスとなるが、インダクタL1の他端側は、出力コンデンサCoutの充電電圧に応じた出力電圧 $V_{out}$ となる。このため、インダクタL1の一端LX側電圧は、時刻  $t_{14}$  では大きく振動し、徐々に振動振幅が小さくなり、やがて他端側の出力電圧 $V_{out}$ と同電位になる。

#### 【0037】

時刻  $t_{15}$  で、ブートストラップコンデンサCbootの充電電圧が所定電圧 $V_{boot1}$ まで低下すると、ハイサイド電源ノードn2の電圧が下がるため、第1充電制御回路7内の第3トランジスタQ3のゲートソース間電圧が高くなり、入力電圧 $V_{in}$ の印加ノードから第3トランジスタQ3を介してハイサイド電源ノードn2に電流が流れて、ブートストラップコンデンサCbootの充電が行われる。第3トランジスタQ3は、飽和領域ではなく、能動領域で動作する。よって、時刻  $t_{15}$  以降、ハイサイドトランジスタQ1がオンになる時刻  $t_{16}$  までの間、第1充電制御回路7は、継続してブートストラップコンデンサCbootの充電を行い、ハイサイド電源ノードn2の電圧はほぼ $V_{boot1}$ に保持される。時刻  $t_{16}$  以降は、時刻  $t_{11} \sim t_{16}$  の動作と同様の動作が繰り返される。

#### 【0038】

第1充電制御回路7は、第3トランジスタQ3を介して、僅かな充電電流を継続してブートストラップコンデンサCbootに供給して、ブートストラップコンデンサCbootの充電を行う。すなわち、第1充電制御回路7は、ブートストラップコンデンサCbootの充電に必要な量の電流を流すだけであり、ローサイドトランジスタQ2をオンしてブートストラップコンデンサCbootを充電するよりも、大幅に消費電力を削減できる。

#### 【0039】

このように、本実施形態では、軽負荷時で、かつ入力電圧 $V_{in}$ と出力電圧 $V_{out}$ との電位差第1電圧より大きい場合には、ローサイドトランジスタQ2をオフにしたまま、第1充電制御回路7を用いてブートストラップコンデンサCbootの充電が行われる。

#### 【0040】

図4は、軽負荷時で、かつ入力電圧 $V_{in}$ と出力電圧 $V_{out}$ との電圧差が第1電圧以下の場合のタイミング図である。この場合、電圧差検出回路5は、入力電圧 $V_{in}$ と出力電圧 $V_{out}$

outとの電圧差が第1電圧以下であることを示すハイ電位の検出信号を出力する。この状態で、低電圧検出回路4がブートストラップコンデンサCbootの充電電圧が第2電圧以下になったことを検出すると、論理演算部12の出力はハイになる。これにより、信号処理部13は、ローサイドトランジスタQ2のオフ固定を解除する。

#### 【0041】

時刻t21～t24では、時刻t11～t14と同様の動作が行われる。時刻t24で、ハイサイドトランジスタQ1とローサイドトランジスタQ2がともにオフすると、ブートストラップコンデンサCbootの充電電圧が徐々に低下する。その後、時刻t25で、低電圧検出回路4は、ブートストラップコンデンサCbootの充電電圧が第2電圧以下になったことを検出する。これにより、論理演算部12の出力はハイ電位になる。このとき、軽負荷判定回路6も軽負荷状態であると判定した場合には、信号処理部13は、ロー電位の制御信号を出力する。この制御信号は、インバータで反転されて、ローサイドトランジスタQ2のゲートはハイ電位になる。よって、ローサイドトランジスタQ2は一瞬だけオンし、インダクタL1の一端LX側電圧VLXが低下する。電荷保存の法則により、ブートストラップコンデンサCbootの一端側、すなわちハイサイド電源ノードn2の電圧も低下する。よって、第2充電制御回路9内の直流電源23からダイオードD1を介してブートストラップコンデンサCbootの充電が行われる。これにより、ブートストラップコンデンサCbootの充電電圧は急激に持ち上げられる。その後、時刻t25以降は、時刻t21～t25の動作が繰り返される。

#### 【0042】

なお、時刻t25のローサイドトランジスタQ2のオン切替は、ブートストラップコンデンサCbootの充電のためであり、ローサイドトランジスタQ2をオンさせるのは一瞬だけである。ローサイドトランジスタQ2をオンさせる期間が長いと、インダクタL1からローサイドトランジスタQ2側に大電流が流れて、出力電圧Voutも下がってしまうためである。

#### 【0043】

また、入力電圧Vinと出力電圧Voutとの電圧差が第1電圧以下の場合に、第1充電制御回路7にてブートストラップコンデンサCbootを充電しない理由は、入力電圧Vinと出力電圧Voutとの電圧差が小さい場合には、入力電圧Vinのノードn1の電圧に対して、ハイサイド電源ノードn2の電圧をあまり下げられないため、第2充電制御回路9内の第3トランジスタQ3のゲート電圧に対してソース電圧をあまり低くできなくなり、第3トランジスタQ3を介してブートストラップコンデンサCbootに十分な充電電流を流せないおそれがあるためである。

#### 【0044】

このように、本実施形態では、軽負荷時で、かつ入力電圧Vinが出力電圧Voutよりも第1電圧より大きい場合には、ブートストラップコンデンサCbootの充電電圧が所定電圧以下になると、ローサイドトランジスタQ2をオフのままで、第1充電制御回路7を用いて前記ブートストラップコンデンサCbootの充電を行う。これにより、ローサイドトランジスタQ2をオンにしてブートストラップコンデンサCbootの充電を行うよりも、はるかに低消費電力でブートストラップコンデンサCbootの充電を行える。

#### 【0045】

また、入力電圧Vinと出力電圧Voutとの電位差が第1電圧以下の場合には、ブートストラップコンデンサCbootの充電電圧が第2電圧以下になると、ローサイドトランジスタQ2をオンにしてブートストラップコンデンサCbootの充電を行うため、ブートストラップコンデンサCbootを迅速に充電できる。

#### 【0046】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や

。  
【符号の説明】  
【0047】  
1 DC/DCコンバータ、2 第1ゲート制御回路、3 第2ゲート制御回路、4  
低電圧検出回路、5 電圧差検出回路、6 軽負荷判定回路、7 第1充電制御回路、8  
誤差電圧検出回路、9 第2充電制御回路、11 レベルシフト回路、12 論理演算  
部、13 信号処理部

【書類名】 特許請求の範囲

【請求項 1】

入力電圧のノードとインダクタの一端との間に接続される第 1 トランジスタと、  
前記インダクタの一端と基準電圧ノードとの間に接続される第 2 トランジスタと、  
前記第 1 トランジスタのゲート電圧を制御する第 1 ゲート制御回路と、  
前記第 1 ゲート制御回路の第 1 および第 2 電源供給ノード間に接続されるキャパシタと

、  
前記入力電圧と前記インダクタの他端側電圧との電圧差が第 1 電圧以下か否かを検出する第 1 検出回路と、

前記第 1 検出回路により前記第 1 電圧より大きいと検出された場合には、前記キャパシタの充電電圧が所定電圧以下になると、前記第 2 トランジスタをオフのままで前記キャパシタの充電を行う第 1 充電制御回路と、を備える DC/DC コンバータ。

【請求項 2】

前記インダクタの他端側電圧と予め定めた基準出力電圧との電圧差を検出する第 2 検出回路と、

前記第 2 検出回路で検出された電圧差に基づいて、軽負荷状態か否かを判定する判定回路と、

前記キャパシタの充電電圧が第 2 電圧以下か否かを検出する第 3 検出回路と、

前記判定回路により前記軽負荷状態と判定された場合には前記第 1 トランジスタおよび前記第 2 トランジスタをオフさせ、その後、前記第 3 検出回路により前記第 2 電圧以下と検出され、かつ前記第 1 検出回路により前記電圧差が前記第 1 電圧以下と検出された場合には前記第 2 トランジスタをオンさせる第 2 ゲート制御回路と、

前記キャパシタの一端と前記基準電圧ノードとの間に接続され、前記第 2 トランジスタがオンのときに前記キャパシタを充電する第 2 充電制御回路と、を備える請求項 1 に記載の DC/DC コンバータ。

【請求項 3】

前記第 1 充電制御回路は、前記入力電圧のノードと前記第 1 電源供給ノードとの電圧差が所定電圧以上になると、前記入力電圧のノードから前記第 1 電源供給ノードを介して前記キャパシタを充電する第 3 トランジスタを有する請求項 1 または 2 に記載の DC/DC コンバータ。

【請求項 4】

前記第 1 充電制御回路は、

前記入力電圧のノードと前記トランジスタのゲートとの間に接続される電流源と、

前記第 3 トランジスタのゲートと前記第 2 電源供給ノードとの間に接続される定電圧源と、を有する請求項 3 に記載の DC/DC コンバータ。

【請求項 5】

前記定電圧源は、ツェナーダイオードである請求項 4 に記載の DC/DC コンバータ。

【請求項 6】

前記第 3 トランジスタは、能動領域で動作する請求項 3 乃至 5 のいずれかに記載の DC/DC コンバータ。

【請求項 7】

前記第 1 充電制御回路が前記キャパシタを連続して充電する期間は、前記第 3 検出回路により前記第 2 電圧以下と検出され、かつ前記第 1 検出回路により前記電圧差が前記第 1 電圧以下と検出された場合に前記第 2 トランジスタがオンする期間よりも長い請求項 1 乃至 4 のいずれかに記載の DC/DC コンバータ。



【書類名】 要約書

【要約】

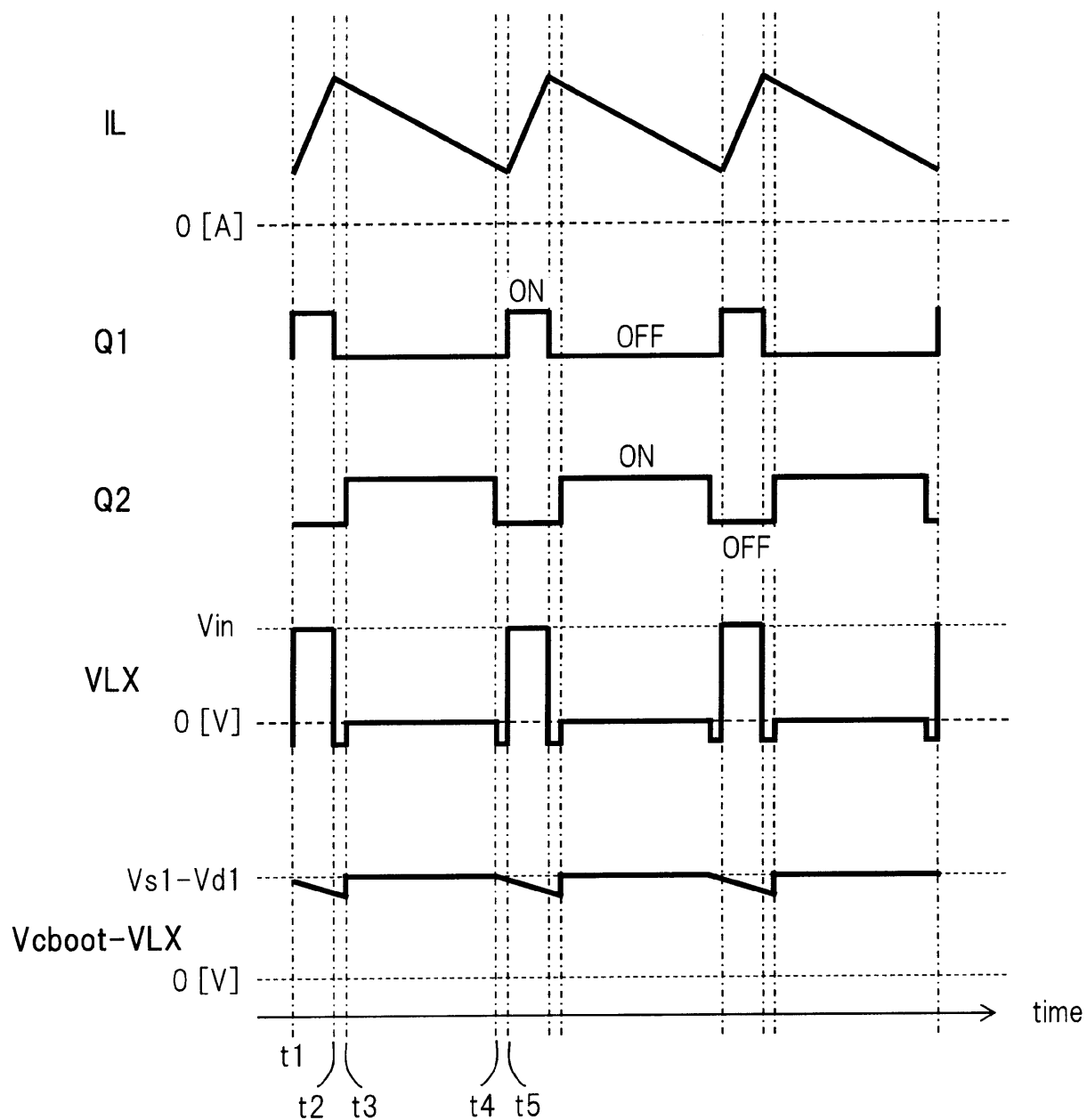
【課題】 軽負荷時に低消費電力でブートストラップコンデンサを充電可能なDC/DCコンバータを提供する。

【解決手段】 DC/DCコンバータは、入力電圧のノードとインダクタの一端との間に接続される第1トランジスタと、インダクタの一端と基準電圧ノードとの間に接続される第2トランジスタと、第1トランジスタのゲート電圧を制御する第1ゲート制御回路と、第1ゲート制御回路の第1および第2電源供給ノード間に接続されるキャパシタと、入力電圧とインダクタの他端側電圧との電圧差が第1電圧以下か否かを検出する第1検出回路と、第1検出回路により第1電圧より大きいと検出された場合には、キャパシタの充電電圧が所定電圧以下になると、第2トランジスタをオフのままでキャパシタの充電を行う第1充電制御回路と、を備える。

【選択図】 図1



【図 2】



【図3】

