

【書類名】明細書

【発明の名称】ゲート駆動回路

【技術分野】

【0001】

本発明の実施形態は、ゲート駆動回路に関する。

【背景技術】

【0002】

I G B Tなどの高電流をスイッチするパワー半導体素子は、10V以上の高電圧をゲートに印加する必要がある。よって、パワー半導体素子のゲートは、高耐圧のハイサイド側MOSトランジスタとローサイド側MOSトランジスタとで駆動されることが多い。ハイサイド側MOSトランジスタとローサイド側MOSトランジスタは、電源電圧ノードと接地ノードとの間に直列接続される。このため、両トランジスタが同タイミングでオンしてしまうと、電源電圧ノードと接地ノード間に貫通電流が流れてしまい、電力の損失になる。よって、ハイサイド側MOSトランジスタとローサイド側MOSトランジスタが同時にオンしないような制御が必要となる。

【0003】

また、ハイサイド側MOSトランジスタとローサイド側MOSトランジスタのそれぞれを制御するゲート駆動回路の内部でも、貫通電流が流れないような制御が必要となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-101217号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の実施形態は、貫通電流が流れないように制御するゲート駆動回路を提供するものである。

【課題を解決するための手段】

【0006】

本実施形態によれば、第1基準電圧ノードと第1出力ノードとの間に接続される第1PMOSトランジスタと、

前記第1出力ノードと、前記第1基準電圧ノードより電圧レベルが低い第2基準電圧ノードと、の間に接続される第1NMOSトランジスタと、

前記第1基準電圧ノードと第2出力ノードとの間に接続される第2PMOSトランジスタと、

前記第2出力ノードと前記第2基準電圧ノードとの間に接続される第2NMOSトランジスタと、

入力信号に基づいて、前記第1PMOSトランジスタ、前記第1NMOSトランジスタ、前記第2PMOSトランジスタおよび前記第2NMOSトランジスタの各ゲート信号を生成するゲート制御回路と、を備え、

前記ゲート制御回路は、

前記第1出力ノードがハイ電位からロー電位に下がる前に、前記第2出力ノードをハイ電位からロー電位に下げ、前記第2出力ノードがロー電位からハイ電位に上がる前に、前記第1出力ノードをロー電位からハイ電位に上げる第1タイミング制御部と、

前記第1PMOSトランジスタおよび前記第1NMOSトランジスタのうち一方がオフからオンに変化する前に他方をオンからオフに変化させ、前記他方がオフからオンに変化する前に前記一方をオンからオフに変化させる第2タイミング制御部と、

前記第2PMOSトランジスタおよび前記第2NMOSトランジスタのうち一方がオフからオンに変化する前に他方をオンからオフに変化させ、前記一方がオンからオフに変化した後に前記他方をオフからオンに変化させる第3タイミング制御部と、を有するゲート

【図面の簡単な説明】

【0007】

【図1】 第1の実施形態によるゲート駆動回路1のブロック図。

【図2】 第1～第3タイミング制御部3～5の内部構成の一例を示す回路図。

【図3】 第1の実施形態によるゲート駆動回路1の信号波形図。

【図4】 第2の実施形態による第1～第3タイミング制御部3～5の内部構成を示す回路図。

【図5】 第2の実施形態によるゲート駆動回路1の信号波形図。

【図6】 第3の実施形態による第1タイミング制御部3の内部構成を示す回路図。

【図7】 第4の実施形態によるゲート制御回路2のブロック図。

【図8】 過電流検出回路31の内部構成を示す回路図。

【図9】 ソフトターンオフ回路32およびミラーランプ回路33の内部構成の一例を示す回路図。

【図10】 リスタート回路34と第1～第3タイミング制御部3～5との内部構成の一例を示す回路図。

【図11】 第3タイミング制御部5との内部構成の一例を示す回路図

【図12】 第4の実施形態によるゲート駆動回路の信号波形図。

【発明を実施するための形態】

【0008】

以下、図面を参照して本発明の実施形態を説明する。以下の実施形態では、ゲート駆動回路内の特徴的な構成および動作を中心に説明するが、ゲート駆動回路には以下の説明で省略した構成および動作が存在しうる。ただし、これらの省略した構成および動作も本実施形態の範囲に含まれるものである。

【0009】

(第1の実施形態)

図1は第1の実施形態によるゲート駆動回路1のブロック図である。図1のゲート駆動回路1は、ハイサイド側PMOSトランジスタ(第3トランジスタ)Q1を駆動する第1PMOSトランジスタQ2および第1NMOSトランジスタQ3と、ローサイド側NMOSトランジスタ(第4トランジスタ)Q4を駆動する第2PMOSトランジスタQ5および第2NMOSトランジスタQ6と、これらトランジスタQ2、Q3、Q5およびQ6の各ゲート信号を生成するゲート制御回路2とを備えている。

【0010】

ハイサイド側PMOSトランジスタQ1とローサイド側NMOSトランジスタQ4は、通常はゲート駆動回路1のICに外付けされる。ただし、ゲート駆動回路1のIC内に、ハイサイド側PMOSトランジスタQ1とローサイド側NMOSトランジスタQ4を内蔵してもよい。

【0011】

ハイサイド側PMOSトランジスタQ1とローサイド側NMOSトランジスタQ4は、IGBT等のパワー半導体素子(第5トランジスタ)Q7を駆動するために用いられる。このパワー半導体素子Q7も、ゲート駆動回路1のICに外付けされる。

【0012】

ハイサイド側PMOSトランジスタQ1は、電源電圧V_{CC}Hノードとパワー半導体素子Q7のゲートとの間に接続されている。また、ローサイド側NMOSトランジスタQ4は、接地ノードとパワー半導体素子Q7のゲートとの間に接続されている。図1では、ハイサイド側PMOSトランジスタQ1のドレインとパワー半導体素子Q7のゲートとの間に抵抗素子R1を接続し、同様に、ローサイド側NMOSトランジスタQ4のドレインとパワー半導体素子Q7のゲートとの間に抵抗素子R2を接続しているが、これら抵抗素子R1、R2は省略してもよい。

【0013】

ハイサイド側PMOSトランジスタQ1とローサイド側NMOSトランジスタQ4は、例えばLDMOS (Laterally Diffused Metal Oxide Semiconductor) トランジスタである。これらトランジスタは、ゲート耐圧が例えば6V以下で、ドレインソース間耐圧が例えば40Vである。

【0014】

第1PMOSトランジスタQ2は、電源電圧V_{CC}Hノードとハイサイド側PMOSトランジスタQ1のゲートとの間に接続されている。第1NMOSトランジスタQ3は、ハイサイド側PMOSトランジスタQ1のゲートと接地ノードとの間に接続されている。

【0015】

同様に、第2PMOSトランジスタQ5は、電源電圧V_{CC}Hノードとローサイド側NMOSトランジスタQ4のゲートとの間に接続されている。第2NMOSトランジスタQ6は、ローサイド側NMOSトランジスタQ4のゲートと接地ノードとの間に接続されている。

【0016】

図1では、第1PMOSトランジスタQ2および第1NMOSトランジスタQ3の各ドレインとハイサイド側PMOSトランジスタQ1のゲートとの間に抵抗素子R3、R4を接続し、第2PMOSトランジスタQ5および第2NMOSトランジスタQ6の各ドレインとローサイド側NMOSトランジスタQ4のゲートとの間に抵抗素子R5、R6を接続しているが、これら抵抗素子R3～R6は省略してもよい。

【0017】

ゲート制御回路2は、ゲート駆動回路1の入力信号PWMに同期して、第1PMOSトランジスタQ2、第1NMOSトランジスタQ3、第2PMOSトランジスタQ5および第2NMOSトランジスタQ6の各ゲート電圧を制御する信号を生成する。入力信号PWMは、パルス幅変調されたPWM (Pluse Width Modulation) 信号である。これらトランジスタのオンまたはオフにより、ハイサイド側PMOSトランジスタQ1およびローサイド側NMOSトランジスタQ4もオンまたはオフし、これにより、入力信号PWMに同期した電圧信号V_{IGBT_GATE}がハイサイド側PMOSトランジスタQ1とローサイド側NMOSトランジスタQ2の各ドレイン側から出力されて、パワー半導体素子Q7のゲートIGBT_GATEに入力される。

【0018】

図1に示すように、ゲート制御回路2は、第1タイミング制御部3と、第2タイミング制御部4と、第3タイミング制御部5とを有する。

【0019】

第1タイミング制御部3は、ハイサイド側PMOSトランジスタQ1のゲートがハイ電位からロー電位に下がる前に、ローサイド側NMOSトランジスタQ4のゲートをハイ電位からロー電位に下げ、ローサイド側NMOSトランジスタQ4のゲートがロー電位からハイ電位に上がる前に、ハイサイド側PMOSトランジスタQ1のゲートをロー電位からハイ電位に上げるタイミング制御を行う。

【0020】

第2タイミング制御部4は、第1PMOSトランジスタQ2および第1NMOSトランジスタQ3のうち一方がオフからオンに変化する前に他方をオンからオフに変化させ、他方がオフからオンに変化する前に一方をオンからオフに変化させるタイミング制御を行う。

。

【0021】

第3タイミング制御部5は、第2PMOSトランジスタQ5および第2NMOSトランジスタQ6のうち一方がオフからオンに変化する前に他方をオンからオフに変化させ、一方がオンからオフに変化した後に他方をオフからオンに変化させるタイミング制御を行う。

。

【0022】

図2は第1～第3タイミング制御部3～5の内部構成の一例を示す回路図である。第1

タイミング制御部3は、インバータI V 1～I V 4と、第1遅延回路6とを有する。インバータI V 1, I V 2は縦続接続されている。インバータI V 1は入力信号PWMを反転出力し、インバータI V 2は入力信号PWMと同論理の信号を出力する。インバータI V 2の出力信号は第3タイミング制御部5に入力される。インバータI V 3は、インバータI V 1の出力信号を反転出力して、第1遅延回路6に入力する。

【0023】

第1遅延回路6は、インバータI V 3の出力信号を第1の時間 td_master 遅延させて出力する。第1の時間 td_master の時間長さは、任意に調整可能としてもよいし、予め定めた固定時間だけ遅延させてもよい。インバータI V 4は、第1遅延回路6の出力信号を反転出力する。

【0024】

後述するように、ハイサイド側PMOSトランジスタQ1とローサイド側NMOSトランジスタQ4のオンタイミングは、第1遅延回路6により遅延される第1の時間 td_master だけずらされる。これにより、電源電圧 V_{CC} ノードから、ハイサイド側PMOSトランジスタQ1とローサイド側NMOSトランジスタQ4を通して、接地ノードまで貫通電流が流れなくなる。第2タイミング制御部4および第3タイミング制御部5は、第1の時間 td_master を用いて、ハイサイド側PMOSトランジスタQ1のゲート電圧とローサイド側PMOSトランジスタQ4のゲート電圧とが変化するタイミングをずらす。

【0025】

第2タイミング制御部4は、第2遅延回路7と、第3遅延回路8と、第1NMOSゲート制御回路9と、第1PMOSゲート制御回路10とを有する。

【0026】

第2遅延回路7は、第1PMOSトランジスタQ2のゲート信号の立ち上がりタイミングから第2の時間 t_{d1} 遅延させた後に、第1NMOSトランジスタQ3のゲート信号を立ち上げるタイミング制御を行う。

【0027】

第2遅延回路7は、第2遅延回路7への入力信号の立ち下がりタイミングを第2の時間 t_{d1} 遅延させて、反転出力する。第2遅延回路7への入力信号の立ち上がりタイミングは変化させずに反転出力する。

【0028】

第3遅延回路8と、その後段側のNANDゲートG1およびインバータI V 5とは、第1NMOSトランジスタQ3のゲート信号の立ち下がりタイミングから第3の時間 t_{d2} 遅延させた後に、第1PMOSトランジスタQ2のゲート信号を立ち下げるタイミング制御を行う。

【0029】

第3遅延回路8も、第3遅延回路8への入力信号の立ち下がりタイミングを第3の時間遅延させて、反転出力する。第3遅延回路8への入力信号の立ち上がりタイミングは変化させずに反転出力する。

【0030】

第1NMOSゲート制御回路9は、NANDゲートG2と、インバータI V 6, I V 7と、ORゲートG3とを有する。第1NMOSゲート制御回路9は、第1NMOSトランジスタQ3のゲート電圧を制御する。第1NMOSゲート制御回路9内のインバータI V 7の出力信号が第1NMOSトランジスタQ3のゲート電圧となる。

【0031】

第2PMOSゲート制御回路2は、レベルアップ回路11と、レベルダウン回路12と、NOR回路G4と、インバータI V 8とを有する。第1PMOSゲート制御回路10は、第1PMOSトランジスタQ2のゲート電圧を制御する。第1PMOSゲート制御回路10内のインバータI V 8の出力信号が第1PMOSトランジスタQ2のゲート電圧となる。

【0032】

第3 タイミング制御部5は、第4遅延回路13と、第2 NMOS ゲート制御回路14と、第5遅延回路15と、第2 PMOS ゲート制御回路16とを有する。

【0033】

第4遅延回路13は、入力信号PWMと同論理の信号、具体的にはインバータIV2の出力信号を第4の時間DT1遅延させる。

【0034】

第2 NMOS ゲート制御回路14は、NANDゲートG5と、インバータIV9とを有する。NANDゲートG5は、第4遅延回路13の入出力信号を論理積反転した信号を出力する。インバータIV9は、NANDゲートの出力信号を反転出力して、第2 NMOS トランジスタQ6のゲートに供給する。

【0035】

第5遅延回路15は、レベルアップ回路11の出力信号を第5の時間DT2遅延させる。第2 PMOS ゲート制御回路16は、ANDゲートG6と、インバータIV10とを有する。ANDゲートG6は、第5遅延回路15の入出力信号の論理積信号を出力する。インバータIV10は、ANDゲートG6の出力信号を反転出力して、第2 PMOS トランジスタQ5のゲートに供給する。

【0036】

図3は第1の実施形態によるゲート駆動回路1の信号波形図である。図3以降の信号波形図では、各信号経路の電位を「ロー」または「ハイ」として説明し、電位を表す縦軸方向の信号振幅を同じにしているが、実際には各信号の電圧振幅はそれぞれ異なっている。

【0037】

まず、時刻t1で入力信号PWMの電圧VPWMがローからハイになると、図2に示す第1遅延回路6の出力は、時刻t1から第1の時間td_master後に、ハイからローになる。これにより、NANDゲートG1の出力はハイ、その後段のインバータIV5の出力はローになり、第1 PMOS ゲート制御回路10の出力であるインバータIV8の出力VGP1はローからハイになる（時刻t2）。

【0038】

また、インバータIV5の出力がローになると、第5遅延回路15の入力がローになる。よって、ANDゲートG6の出力はロー、インバータIV10の出力VGP2はハイになる（時刻t2）。

【0039】

また、入力信号PWMがローからハイになると、第1 タイミング制御部3内のインバータIV2の出力がハイになり、第4遅延回路13の出力は、時刻t1から第4の時間DT1遅れてハイになる。これにより、第4遅延回路13の後段側のNANDゲートG5はローになり、第2 NMOS トランジスタQ6のゲートはハイになる。よって、第2 NMOS トランジスタQ6はオンする（時刻t3）。

【0040】

一方、第1 PMOS トランジスタQ2と第2 PMOS トランジスタQ5のゲート電位VGP1、VGP2のいずれかがハイになると、NORゲートG4のローになり、第2遅延回路7の入力もローになる。第2遅延回路7の出力は、その入力がハイからローに変化してから第2の時間td1遅れてハイになる。これにより、NANDゲートG2の出力はロー、その後段のインバータIV7の出力VGN1はハイになり、第1 NMOS トランジスタQ3はオンする（時刻t4）。

【0041】

以上をまとめると、第1 PMOS トランジスタQ2と第2 PMOS トランジスタQ5のゲート電位VGP1、VGP2は、時刻t1からほぼ第1の時間td_master遅れてハイになる。また、第2 NMOS トランジスタQ6のゲート電位VGN2は、時刻t1から第4の時間DT1遅れてハイになる。第4の時間DT1は、第1の時間td_masterよりも長い。ため、第2 NMOS トランジスタQ6は、第1 PMOS トランジスタQ2と第2 PMOS トランジスタQ5がオフした後にオンする。さらに、第1 NMOS トランジスタQ3は、

第1 PMOS トランジスタQ 2がオフした時刻から、第2の時間 t_d1 遅れてオンする。

【0042】

その後、時刻 t_2 で入力信号PWMがハイからローに変化すると（時刻 t_5 ）、第1タイミング制御部3内のインバータIV2の出力がハイからローに変化する。よって、NANDゲートG5がハイになり、その後段側のインバータIV9の出力電位VGN2はローになる。これにより、第2 NMOS トランジスタQ6はオフする（時刻 t_5 ）。

【0043】

また、時刻 t_2 から第1の時間 t_{d_master} の経過後に第1遅延回路6の出力がハイになる。よって、インバータIV6の出力がロー、その後段側のNANDゲートG2の出力がハイ、その後段側のインバータIV7の出力電位VGN1がローになる。これにより、第1 NMOS トランジスタQ3はオフする（時刻 t_6 ）。

【0044】

また、インバータIV7の出力電位VGN1がローになると、ORゲートG3の出力である第3遅延回路8の入力がローになる。第3遅延回路8は、その入力がローになってから、第3の時間 t_d2 だけ遅れてハイになる。よって、その後段のNANDゲートG1の出力はロー、その後段のインバータIV5の出力はハイ、その後段のレベルアップ回路11の出力はハイ、その後段のインバータIV8の出力電位VGP1はローになる。これにより、第1 PMOS トランジスタQ2はオンする（時刻 t_7 ）。

【0045】

また、レベルアップ回路11の出力がハイになると、第5遅延回路15の入力もハイになる。第5遅延回路15の出力は、その入力がハイになってから第5の時間DT2だけ遅れてハイになり、その後段のANDゲートG6もハイになり、その後段のインバータIV10もローになる。これにより、第2 PMOS トランジスタQ5はオンする（時刻 t_8 ）。

。

【0046】

以上をまとめると、入力信号PWMが時刻 t_5 でハイからローになると、すぐに第2 NMOS トランジスタQ6がオフになり、時刻 t_5 から第1の時間 t_{d_master} 遅れて第1 NMOS トランジスタQ3がオフする。続いて、第1 NMOS トランジスタQ3がオフしてから第3の時間 t_d2 遅れて第1 PMOS トランジスタQ2がオフし、第1 PMOS トランジスタQ2がオフしてから第5の時間DT2遅れて第2 PMOS トランジスタQ5がオフする。

【0047】

このように、第1の実施形態では、入力信号PWMがローからハイになるときは、第1遅延回路6、第2遅延回路7および第4遅延回路13を用いて、トランジスタQ2、Q3、Q5、Q6のゲート電圧をずらして変化させ、入力信号PWMがハイからローになるときは、第1遅延回路6、第3遅延回路8および第5遅延回路15を用いて、トランジスタQ2、Q3、Q5、Q6のゲート電圧をずらして変化させる。これにより、ハイサイド側PMOS トランジスタQ1とローサイド側NMOS トランジスタQ4とを貫通する電流と、第1 PMOS トランジスタQ2と第1 NMOS トランジスタQ3を貫通する電流と、第2 PMOS トランジスタQ5と第2 NMOS トランジスタQ6が同時にオンしなくなり、第2 PMOS トランジスタQ5と第2 NMOS トランジスタQ6を貫通する電流とが、いずれも生じなくなる。

【0048】

また、本実施形態のゲート駆動回路1は、ゲート耐圧の小さい低価格のハイサイド側PMOS トランジスタQ1とローサイド側NMOS トランジスタQ4を駆動することで、これらトランジスタQ1、Q4にて駆動されるパワー半導体素子Q7のゲートIGBT_GATEをフルスイングさせることができる。これにより、パワー半導体素子Q7の駆動効率の向上が図れる。

【0049】

（第2の実施形態）

第2の実施形態は、第1の実施形態よりもゲート制御回路2の回路構成を簡略化したものである。

【0050】

第2の実施形態によるゲート制御回路2は、図2と同様に、第1タイミング制御部3と、第2タイミング制御部4と、第3タイミング制御部5とを有する。このうち、第1タイミング制御部3と第3タイミング制御部5の回路構成が第1の実施形態と大きく異なっている。

【0051】

図4は第2の実施形態による第1～第3タイミング制御部3～5の内部構成を示す回路図である。図4の第1タイミング制御部3は、第1遅延回路6と、ANDゲートG11と、インバータIV11とを有する。

【0052】

第1遅延回路6は、入力信号PWMを第1の時間DT遅延させる。ANDゲートG11は、第1遅延回路6の入出力信号の論理積信号を出力する。インバータIV11は、ANDゲートG11の出力を反転出力する。

【0053】

図4の第2タイミング制御部4は、図1の第2タイミング制御部4とほぼ同じ回路で構成されている。また、図4の第3タイミング制御部5は、第2タイミング制御部4とほぼ同じ回路で構成されている。より具体的には、第3タイミング制御部5は、第2タイミング制御部4内の第2遅延回路7に対応する第4遅延回路21と、第3遅延回路8に対応する第5遅延回路22と、第2NMOSゲート制御回路14と、第2PMOSゲート制御回路16とを有する。第2NMOSゲート制御回路14は、NANDゲートG13、G14と、インバータIV14、IV17、IV18とを有する。第2PMOSゲート制御回路16は、レベルアップ回路23と、レベルダウン回路24と、インバータIV15、IV16とを有する。第2および第3タイミング制御部4、5内の第2および第4遅延回路21は、入力がハイからローになると、同じ時間（第2および第4の時間） t_{d1} 遅れてハイになる。また、第3および第5遅延回路8、22は、入力がハイからローになると、同じ時間（第3および第5の時間） t_{d2} 遅れてハイになる。

【0054】

図5は第2の実施形態によるゲート駆動回路1の信号波形図である。まず、時刻 t_1 で入力信号PWMがローからハイになると、第3タイミング制御部5内のORゲートG12の出力がロー、その後段側のインバータIV12の出力がローになる。よって、その後段側のNANDゲートG13の出力がハイ、その後段側のインバータIV14の出力がローになり、続いてレベルアップ回路23の出力がロー、インバータIV15の出力電位VGP2がハイになり、第2PMOSトランジスタQ5がオフする。

【0055】

インバータIV15の出力がハイになると、インバータIV16の出力がロー、レベルダウン回路24の出力である第4遅延回路21の入力がローになる。第4遅延回路21の出力は、その入力がローになってから第4の時間 t_{d1} 遅れてハイになる。よって、NANDゲートG14の出力はローになり、その後段側のインバータIV17の出力電位VGN2はハイになる。これにより、第2NMOSトランジスタQ6はオンする（時刻 t_2 ）。

【0056】

第1遅延回路6の出力は、入力信号PWMがローからハイに変化してから第1の時間DT遅れてハイになり、同様に、ANDゲートG11も入力信号PWMがローからハイに変化してから第1の時間遅れてハイになり、その後段側のインバータIV11の出力はローになる。よって、図2の第2タイミング制御部4と同様に、第1PMOSトランジスタQ2のゲート電位VGP1はハイになり、第1PMOSトランジスタQ2はオフする（時刻 t_3 ）。その後、図3の第2タイミング制御部4と同様に、第1PMOSトランジスタQ2がオフしてから第2の時間 t_{d1} 遅れて第2PMOSトランジスタQ5がオフする（時

【0057】

その後、時刻 t 5 で入力信号 PWM がハイからローになると、AND ゲート G 1 1 の出力がロー、その後段側のインバータ I V 1 1 の出力がハイになる。よって、インバータ I V 6 の出力がロー、その後段側の NAND ゲート G 2 の出力がハイになり、その後段側のインバータ I V 7 の出力電位 V G N 1 がローになる。よって、第 1 NMOS トランジスタ Q 3 はオフする (時刻 t 5)。

【0058】

インバータ I V 7 の出力がローになると、第 3 遅延回路 8 の出力は、第 3 の時間 t d 2 遅れてハイになる。よって、図 2 の第 2 タイミング制御部 4 と同様に、第 1 PMOS トランジスタ Q 2 のゲート電位 V G P 1 はローになり、第 1 PMOS トランジスタ Q 2 はオンする (時刻 t 6)。

【0059】

また、時刻 t 2 で入力信号 PWM がハイからローになると、第 1 遅延回路 6 の出力は、第 1 の時間 D T 遅れてローになる。よって、OR ゲート G 1 2 の出力はロー、その後段側のインバータ I V 1 3 の出力はハイ、その後段側のインバータ I V 1 8 の出力はローになる。よって、NAND ゲート G 1 4 の出力はハイ、その後段側のインバータ I V 1 7 の出力電位 V G N 2 はローになる。よって、第 2 NMOS トランジスタ Q 6 はオフする (時刻 t 7)。

【0060】

インバータ I V 1 7 の出力電位 V G N 2 がローになると、第 5 遅延回路 2 2 の出力は、第 5 の時間 t d 2 遅れてハイになる。よって、NAND ゲート G 1 3 の出力はロー、その後段側のインバータ I V 1 4 の出力はハイ、その後段側のレベルアップ回路 2 3 の出力はハイ、その後段側のインバータ I V 1 5 の出力電位 V G P 2 はローになる。これにより、第 2 PMOS トランジスタ Q 5 はオンする (時刻 t 8)。

【0061】

このように、第 2 の実施形態では、第 1 遅延回路 6 により、ハイサイド側 PMOS トランジスタ Q 1 とローサイド側 NMOS トランジスタ Q 4 とが同時にオンしないようにゲート電圧を制御する。また、第 2 ～第 5 遅延回路 7, 8, 2 1, 2 2 により、第 1 PMOS トランジスタ Q 2 と第 1 NMOS トランジスタ Q 3 が同時にオンしないようにゲート電圧を制御し、同様に、第 2 PMOS トランジスタ Q 5 と第 2 NMOS トランジスタ Q 6 が同時にオンしないようにゲート電圧を制御する。

【0062】

第 2 の実施形態は、第 1 の実施形態よりも簡易な回路で構成されていながら、第 1 の実施形態と同様に貫通電流を抑制できる。

【0063】

(第 3 の実施形態)

第 3 の実施形態は、第 1 タイミング制御部 3 の内部構成だけが第 2 の実施形態と相違している。

【0064】

図 6 は第 3 の実施形態による第 1 タイミング制御部 3 の内部構成を示す回路図である。図 6 の第 1 タイミング制御部 3 は、図 4 の回路構成に加えて、論理決定部 2 5 を有する。論理決定部 2 5 は、論理選択信号 S E L に基づいて、入力信号 PWM と、ゲート駆動回路 1 により駆動されるパワー半導体素子 Q 7 のゲート信号 V I G B T _ G A T E との信号論理を同じにするか、逆にするかを決定する。例えば、論理選択信号 S E L がハイであれば、入力信号 PWM とパワー半導体素子 Q 7 のゲート信号 V I G B T _ G A T E との信号論理を同じにし、論理選択信号はローであれば、入力信号 PWM とパワー半導体素子 Q 7 のゲート信号 V I G B T _ G A T E との信号論理を逆にする。

【0065】

論理選択信号 S E L をローにした場合、例えば、図 7 に示したハイサイド側トランジス

タQ 1をN型にして、ローサイド側トランジスタQ 4をP型にし、それに伴って、ソフトターンオフ回路3 2とミラークランプ回路3 3の出力論理も逆にする必要がある。これにより、第3の実施形態によれば、論理選択信号SELの論理を切り替えるだけで、入力信号PWMを反転させた論理でパワー半導体素子Q 7を駆動することができる。

【0066】

なお、論理決定部2 5は、図2に示した第1タイミング制御部3に追加してもよいし、また、後述する第4の実施形態の第1タイミング制御部3に追加してもよい。

【0067】

(第4の実施形態)

第4の実施形態は、第2の実施形態によるゲート制御回路2に、過電流検出機能と、ソフトターンオフ機能と、ミラークランプ機能と、リスタート機能とを追加したものである。

【0068】

図7は第4の実施形態によるゲート制御回路2のブロック図である。図7のゲート制御回路2は、第1タイミング制御部3、第2タイミング制御部4および第3タイミング制御部5の他に、過電流検出回路3 1と、ソフトターンオフ回路3 2と、ミラークランプ回路3 3と、リスタート回路3 4とを有する。

【0069】

図8は過電流検出回路3 1の内部構成を示す回路図である。図8の過電流検出回路3 1は、第1比較器3 5と、第8遅延回路3 6と、NANDゲートG 2 1と、インバータIV 2 1、IV 2 2と、ORゲートG 2 2、G 2 3と、第2比較器3 7と、ANDゲートG 2 4と、S/Rフリップフロップ3 8と、を有する。

【0070】

第1比較器3 5には過電流検出信号VSENが入力される。この過電流検出信号は、例えばパワー半導体素子Q 7のエミッタ電圧である。パワー半導体素子Q 7のエミッタ電流が過電流状態になると、エミッタ電圧は高くなる。よって、このエミッタ電圧を過電流検出信号として過電流検出回路3 1に帰還させることで、過電流状態か否かを検出することができる。

【0071】

第1比較器3 5は、過電流検出信号の電圧レベルが例えば0. 75 Vより高ければ、5 Vを出力し、0. 75 V以下であれば、0 Vを出力する。第8遅延回路3 6は、第1比較器3 5の出力信号を第8の遅延時間（例えば1 μ 秒）遅らせて出力する。

【0072】

NANDゲートG 2 1は、第1比較器3 5の出力信号と第8遅延回路3 6の出力信号との論理積反転信号を出力し、インバータIV 2 1はNANDゲートG 2 1の出力の反転信号を出力し、この信号はORゲートG 2 2を介してS/Rフリップフロップ3 8のセット端子に入力される。また、ORゲートG 2 2は、パワーオンリセット信号PORと、後述するリスタート回路3 4内のインバータ4 2の出力信号との論理和信号を出力し、この信号はS/Rフリップフロップ3 8のリセット端子に入力される。

【0073】

第2比較器3 7は、パワー半導体素子Q 7のゲート電圧VIGBT_GATEが3. 5 V未満なら5 Vを出力し、3. 5 V以上なら0 Vを出力する。なお、第2比較器3 7で比較する2. 5 Vの電圧値は一例であり、2～3. 5 Vの範囲内の任意の電圧でよい。

【0074】

ANDゲートG 2 4は、S/Rフリップフロップ3 8のQ出力信号と第2比較器3 7の出力信号との論理積信号を過電流エラー信号2dan_err_Hとして出力し、インバータIV 2 2はその反転信号2dan_err_Lを出力する。

【0075】

このように、図8の過電流検出回路3 1は、パワー半導体素子Q 7のエミッタ電圧をモニタ過電流状態か否かを判断し、過電流状態になると、過電流信号VSC_Hをハイ電位にす

る。また、その後、パワー半導体素子Q 7のゲート電圧が3. 5 V以上である間は信号2dan_err_Hをハイ電位にし、ゲート電圧が3. 5 V未満になると、信号2dan_err_Hをロー電位にする。

【0076】

図9はソフトターンオフ回路3 2およびミラークランプ回路3 3の内部構成の一例を示す回路図である。図9のソフトターンオフ回路3 2は、インバータIV 3 1と、パワー半導体素子Q 7のゲートIGBT_GATEと接地ノードとの間に直列接続される抵抗素子R 1 1と、NMOSトランジスタQ 1 1とを有する。

【0077】

ミラークランプ回路3 3は、インバータIV 3 2と、第9遅延回路3 9と、NANDゲートG 3 1と、インバータIV 3 3と、第3比較器4 0と、NANDゲートG 3 2と、インバータIV 3 4と、NMOSトランジスタQ 1 2とを有する。

【0078】

インバータIV 3 1には、図8の過電流検出回路3 1内のS/Rフリップフロップ3 8の/Q出力信号が入力される。この/Q出力信号は、過電流検出時にローになる。よって、インバータIV 3 1の出力はハイになり、NMOSトランジスタQ 1 1はオンし、パワー半導体素子Q 7のゲート電圧VIGBT-GATEは、抵抗素子R 1 1とNMOSトランジスタQ 1 1の容量とで決まる時定数により、ゆっくりと低下する。このように、パワー半導体素子Q 7のゲート電圧VIGBT-GATEをゆっくりと下げる理由は、パワー半導体素子Q 7のゲート電圧VIGBT-GATEを急激に下げると、パワー半導体素子Q 7がラッチアップを起こすおそれがあるためである。

【0079】

一方、ミラークランプ回路3 3内のインバータIV 3 2には、第2 PMOSトランジスタQ 5のゲート電圧VGN 2（インバータIV 1 6の出力信号）が入力される。第9遅延回路3 9は、インバータIV 3 2の出力信号を第8の時間遅延させる。NANDゲートG 3 1は、インバータIV 3 2の出力信号と第9遅延回路3 9の出力信号との論理積反転信号を出力する。インバータIV 3 3は、NANDゲートG 3 1の出力信号を反転出力する。

【0080】

第3比較器4 0は、パワー半導体素子Q 7のゲート電圧VIGBT-GATEが2. 5 V未満であれば5 Vを出力し、2. 5 V以上であれば0 Vを出力する。インバータIV 3 4は、NANDゲートG 3 2の出力信号を反転出力してNMOSトランジスタQ 1 2のゲートに入力する。なお、第3比較器4 0で比較する2. 5 Vの電圧値は一例であり、2～3. 5 Vの範囲内の任意の電圧でよい。

【0081】

NMOSトランジスタQ 1 2のドレインはパワー半導体素子Q 7のゲートIGBT_GATEに接続され、ソースは接地ノードに接続されている。NMOSトランジスタQ 1 2は、パワー半導体素子Q 7のゲート電圧VIGBT_GATEが2. 5 V未満になるとオンし、パワー半導体素子Q 7のゲート電圧VIGBT_GATEを急峻に接地電位まで落とす。

【0082】

このように、過電流時に、まずはソフトターンオフ回路3 2が動作して、パワー半導体素子Q 7のゲート電圧VIGBT-GATEをゆっくりと下げ、ゲート電圧が2. 5 V未満になると、ミラークランプ回路3 3が動作して、パワー半導体素子Q 7のゲート電圧VIGBT-GATEを急峻に下げる動作を行う。

【0083】

このような動作を行う理由は、パワー半導体素子Q 7のゲート電圧VIGBT-GATEが2. 5 Vまで下がった場合は、ラッチアップを起こすおそれはないため、ゲート電圧を迅速に下げてオフに要する時間を短縮するためである。

【0084】

図1 0および図1 1は第4の実施形態によるリスタート回路3 4と第1～第3タイミン

グ制御部3～5との内部構成の一例を示す回路図である。図10に示すリスタート回路34は、オアゲートG33と、S/Rフリップフロップ41と、インバータIV35とを有する。

【0085】

オアゲートG33は、パワーオンリセット信号PORとリスタート信号RESTARTとの論理和信号を出力する。S/Rフリップフロップ41は、過電流状態のときにセットされ、また、オアゲートG33の出力信号がハイのときにリセットされる。

【0086】

図10に示す第1タイミング制御部3は、図4の第1タイミング制御部3の二入力ANDゲートG11を、三入力のANDゲートG40に置換したものである。このANDゲートG40は、入力信号PWMと同論理の信号と、入力信号PWMを第1遅延回路6により第1の時間遅延させた信号と、図10のリスタート回路34内のS/Rフリップフロップ41の出力信号との論理積信号を出力する。

【0087】

図10に示す第2タイミング制御部4は、図4の第2タイミング制御部4の回路構成に加えて、インバータIV41と、NANDゲートG41と、ORゲートG42とを有する。インバータIV41の出力は、過電流時にローになる。NANDゲートG41は、ANDゲートG41の出力とインバータIV41の出力との論理積反転信号を出力する。NANDゲートG41の出力は、NANDゲートG1とインバータIV6に入力される。ORゲートG42は、図9に示すミラークランプ回路33内のNMOSトランジスタのゲート信号CL_GATEとレベルダウン回路12の出力信号との論理和信号を出力する。ORゲートG42の出力信号は、第2遅延回路7に入力される。

【0088】

図10および図11に示す第3タイミング制御部5の内部構成を示す回路図である。図10および図11の第3タイミング制御部5は、図4の第3タイミング制御部5の回路構成に、ORゲートG43、G45と、インバータIV42、IV43と、ANDゲートG44と、図4の二入力のNANDゲートG14の代わりに三入力のNANDゲートG46とを設けたものである。

【0089】

ORゲートG45は、インバータIV14の出力信号と図8の過電流検出回路31内の信号2dan_err_Hとの論理和信号を出力する。NANDゲートG46は、第4遅延回路21の出力信号と、インバータIV18の出力信号と、図8の過電流検出回路31内の信号2dan_err_Lとの論理積反転信号を出力する。

【0090】

図12は第4の実施形態によるゲート駆動回路の信号波形図である。時刻t11～t12の間に、パワー半導体素子Q7のコレクタ電流Ixは徐々に上昇する。時刻t12でコレクタ電流Ixはいったん0になるが、時刻t13～t14の間は、時刻t12のコレクタ電流Ixを起点として徐々にコレクタ電流Ixが上昇する。同様に、時刻t15以降も、時刻t14のコレクタ電流Ixを起点として徐々にコレクタ電流Ixが上昇する。ところが、時刻t16になると、過電流検出回路31が過電流状態になったことを検出し、過電流検出回路31内のS/Rフリップフロップ38のQ出力信号VSC_Hはハイになる。これにより、オン状態だったハイサイド側PMOSトランジスタQ1のゲート電圧はハイになり、ハイサイド側PMOSトランジスタQ1はオフする。なお、過電流検出時には、ローサイド側NMOSトランジスタQ4はオフ状態であるため、そのままオフ状態を保持する。

【0091】

また、ソフトターンオフ回路32内のNMOSトランジスタQ11のゲート電圧はローになる。よって、パワー半導体素子Q7のゲート電圧VIGBT-GATEは、ソフトターンオフ回路32により、徐々に低下する(時刻t16～t17)。

【0092】

パワー半導体素子Q 7のゲート電圧VIGBT-GATEが3. 5 V未満になると、過電流検出回路3 1内の出力信号2dan_err_Hがローに、出力信号2dan_err_Lがハイになる。これにより、第1 PMOS トランジスタQ 2のゲート電圧がローになり、第1 PMOS トランジスタQ 2はオンする。よって、ローサイド側NMOS トランジスタQ 4がオンし、パワー半導体素子Q 7のゲート電圧VIGBT-GATEを下げる力が増強する。その後、パワー半導体素子Q 7のゲート電圧VIGBT-GATEが2. 5 V未満になると、ミラークランプ回路3 3内のNMOS トランジスタQ 1 2がオンし、パワー半導体素子Q 7のゲート電圧VIGBT-GATEは急峻に接地電位まで下がる(時刻 t 1 8)。

【0093】

その後、時刻 t 2 0で再び入力信号PWMがハイになっても、図8の過電流検出回路3 1内のS/Rフリップフロップ3 8と図1 4のリスタート回路3 4内のS/Rフリップフロップ4 1はセット状態を維持する。よって、パワー半導体素子Q 7のオン駆動は行われない。

【0094】

その後、時刻 t 2 2でリスタート信号がハイになると、図1 0のリスタート回路3 4内のS/Rフリップフロップ4 1がリセット状態になり、このS/Rフリップフロップ4 1のQ出力はローに、／Q出力はハイになる。よって、インバータIV 3 5の出力はローになる。このとき、入力信号PWMがローであれば、OR回路G 4 3の出力はローになり、その後段側のインバータIV 4 2の出力はハイになる。よって、図8の過電流検出回路3 1内のORゲートG 2 2の出力はハイになり、S/Rフリップフロップ3 8はリセット状態になり、過電流検出信号SC__Hがローになり、過電流状態がリセットされる。

【0095】

これにより、その後、入力信号PWMがハイになった時点(時刻 t 2 3)で、パワー半導体素子Q 7をオン駆動する動作が行われる。ただし、時刻 t 2 3の直後の時刻 t 2 4で過電流が検出されると、時刻 t 1 6～t 1 9と同様に、ソフトターンオフ回路3 2によって、パワー半導体素子Q 7のゲート電圧VIGBT-GATEは徐々に下げられ(時刻 t 2 4～t 2 5)、その後、ミラークランプ回路3 3によりゲート電圧は急峻に下げられる(時刻 t 2 5～t 2 6)。

【0096】

このように、第4の実施形態によるゲート駆動回路は、パワー半導体素子Q 7のコレクタ電流I_xが過電流状態になると、パワー半導体素子Q 7のゲート電圧VIGBT-GATEを徐々に下げて、ゲート電圧がラッチアップを起こさない電圧レベルまで下がると、急峻にゲート電圧を下げる。これにより、ラッチアップを防止しつつオフ時間の短縮化を図ることができる。また、過電流状態が検出されると、いったんパワー半導体素子Q 7のオン駆動を停止し、その後、リスタート信号がハイになると、パワー半導体素子Q 7のオン駆動を開始するようにしたため、パワー半導体素子Q 7を安全に駆動できる。

【0097】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0098】

1 ゲート駆動回路、2 ゲート制御回路、3 第1 タイミング制御部、4 第2 タイミング制御部、5 第3 タイミング制御部、6 第1 遅延回路、7 第2 遅延回路、8 第3 遅延回路、9 第1 NMOS ゲート制御回路、1 0 第1 PMOS ゲート制御回路、1 1 レベルアップ回路、1 2 レベルダウン回路、1 3、2 1 第4 遅延回路、1 4、2 2 第2 NMOS ゲート制御回路、1 5 第5 遅延回路、1 6 第2 PMOS ゲート制

【書類名】 特許請求の範囲

【請求項 1】

第 1 基準電圧ノードと第 1 出力ノードとの間に接続される第 1 PMOS トランジスタと、
前記第 1 出力ノードと、前記第 1 基準電圧ノードより電圧レベルが低い第 2 基準電圧ノードと、の間に接続される第 1 NMOS トランジスタと、
前記第 1 基準電圧ノードと第 2 出力ノードとの間に接続される第 2 PMOS トランジスタと、
前記第 2 出力ノードと前記第 2 基準電圧ノードとの間に接続される第 2 NMOS トランジスタと、
入力信号に基づいて、前記第 1 PMOS トランジスタ、前記第 1 NMOS トランジスタ、前記第 2 PMOS トランジスタおよび前記第 2 NMOS トランジスタの各ゲート信号を生成するゲート制御回路と、を備え、
前記ゲート制御回路は、
前記第 1 出力ノードがハイ電位からロー電位に下がる前に、前記第 2 出力ノードをハイ電位からロー電位に下げ、前記第 2 出力ノードがロー電位からハイ電位に上がる前に、前記第 1 出力ノードをロー電位からハイ電位に上げる第 1 タイミング制御部と、
前記第 1 PMOS トランジスタおよび前記第 1 NMOS トランジスタのうち一方がオフからオンに変化する前に他方をオンからオフに変化させ、前記他方がオフからオンに変化する前に前記一方をオンからオフに変化させる第 2 タイミング制御部と、
前記第 2 PMOS トランジスタおよび前記第 2 NMOS トランジスタのうち一方がオフからオンに変化する前に他方をオンからオフに変化させ、前記一方がオンからオフに変化した後に前記他方をオフからオンに変化させる第 3 タイミング制御部と、を有するゲート駆動回路。

【請求項 2】

前記第 1 タイミング制御部は、前記入力信号を第 1 の時間遅延させる第 1 遅延回路を有し、
前記第 2 タイミング制御部および前記第 3 タイミング制御部は、前記第 1 の時間を用いて、前記第 1 出力ノードおよび前記第 2 出力ノードの電位が変化するタイミングをずらす請求項 1 に記載のゲート駆動回路。

【請求項 3】

前記第 2 タイミング制御部は、
前記第 1 PMOS トランジスタのゲート信号の立ち上がりタイミングから第 2 の時間遅れて、前記第 1 NMOS トランジスタのゲート信号を立ち上げる第 2 遅延回路と、
前記第 1 NMOS トランジスタのゲート信号の立ち下がりタイミングから第 3 の時間遅れて、前記第 1 PMOS トランジスタのゲート信号を立ち下げる第 3 遅延回路と、を有し、
前記第 3 タイミング制御部は、
前記第 2 PMOS トランジスタのゲート信号の立ち上がりタイミングから第 4 の時間遅れて、前記第 2 NMOS トランジスタのゲート信号を立ち上げる第 4 遅延回路と、
前記第 2 NMOS トランジスタのゲート信号の立ち下がりタイミングから第 5 の時間遅れて、前記第 2 PMOS トランジスタのゲート信号を立ち下げる第 5 遅延回路と、を有する請求項 1 または 2 に記載のゲート駆動回路。

【請求項 4】

前記第 1 出力ノードの電圧により制御される第 3 トランジスタと、前記第 2 出力ノードの電圧により制御される第 4 トランジスタと、によって制御される第 5 トランジスタの出力電流が過電流状態か否かを検出する過電流検出回路を備え、
前記ゲート制御回路は、前記過電流状態であることが検出されると、前記第 1 出力ノードをハイ電位かつ前記第 2 出力ノードをロー電位に設定する請求項 1 乃至 3 のいずれかに記載のゲート駆動回路。

【請求項5】

前記第5トランジスタのゲートと前記第2基準電圧ノードとの間に直列接続されたインピーダンス素子および第6トランジスタを備え、

前記ゲート制御回路は、前記過電流状態であることが検出されると、前記第6トランジスタをオンする請求項4に記載のゲート駆動回路。

【請求項6】

前記第5トランジスタのゲート電圧が第1電圧以下になったか否かを検出する第1電圧検出回路を備え、

前記ゲート制御回路は、前記過電流状態であることが検出された状態で、前記第1電圧検出回路にて前記第1電圧以下になったことが検出されると、前記第2出力ノードをロー電位からハイ電位に変化させる請求項4または5に記載のゲート駆動回路。

【請求項7】

前記第5トランジスタのゲート電圧が前記第1電圧より低い第2電圧になったか否かを検出する第2電圧検出回路と、

前記ゲート制御回路は、前記過電流状態であることが検出された状態で、前記第2電圧検出回路にて前記第2電圧以下になったことが検出されると、前記第5トランジスタのゲート電圧をロー電圧まで引き下げる第7トランジスタと、を備える請求項6に記載のゲート駆動回路。

【請求項8】

前記ゲート制御回路は、いったん前記過電流状態になると、第1信号または第2信号が所定論理になるまで、前記第1出力ノードのハイ電位と前記第2出力ノードのロー電位とを保持し、前記第1信号または第2信号が前記所定論理になると、前記入力信号の論理に応じて、前記第1出力ノードおよび前記第2出力ノードの電位を変化させるリスタート回路を備える請求項4乃至7のいずれかに記載のゲート駆動回路。

【請求項9】

第1基準電圧ノードと第1出力ノードとの間に接続される第1PMOSトランジスタと、

前記第1出力ノードと、前記第1基準電圧ノードより電圧レベルが低い第2基準電圧ノードと、の間に接続される第1NMOSトランジスタと、

前記第1基準電圧ノードと第2出力ノードとの間に接続される第2PMOSトランジスタと、

前記第2出力ノードと前記第2基準電圧ノードとの間に接続される第2NMOSトランジスタと、を備え、

前記第1出力ノードの電位は、ハイ電位からロー電位に第1変化し、前記第2出力ノードの電位は、前記第1変化の前にハイ電位からロー電位に変化し、前記第2出力ノードの電位はロー電位からハイ電位に第2変化し、前記第1出力ノードの電位は、前記第2変化の前にロー電位からハイ電位に変化し、

前記第1PMOSトランジスタおよび前記第1NMOSトランジスタのうち一方がオフからオンに変化する前に他方がオンからオフに変化し、前記他方がオフからオンに変化する前に前記一方がオンからオフに変化し、

前記第2PMOSトランジスタおよび前記第2NMOSトランジスタのうち一方がオフからオンに変化する前に他方がオンからオフに変化し、前記一方がオンからオフに変化した後に前記他方がオフからオンに変化するゲート駆動回路。

【書類名】 要約書

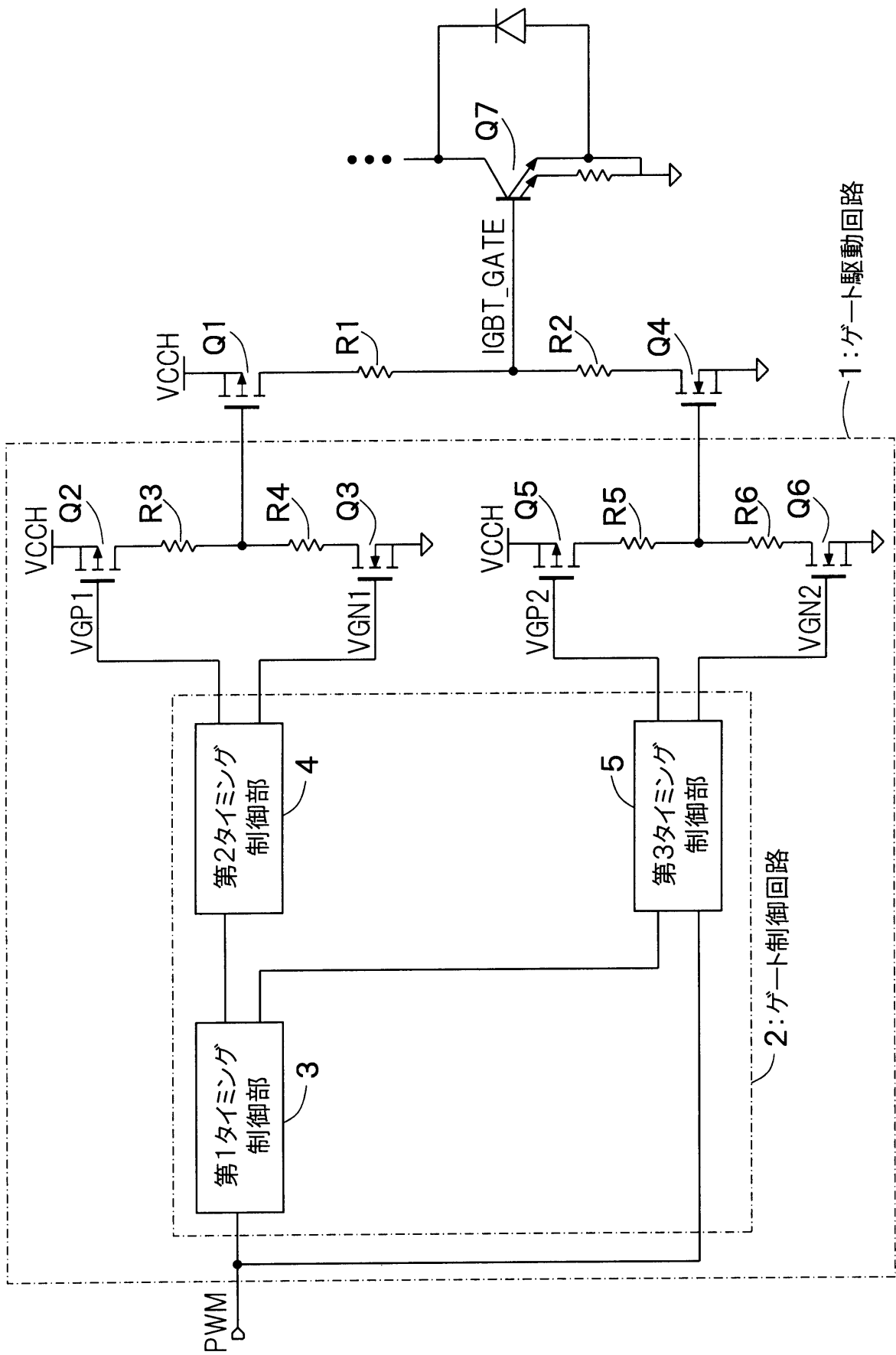
【要約】

【課題】 低消費電力で、ラッチアップのような不具合を起こすことがなく、低価格で実現可能なゲート駆動回路を提供する。

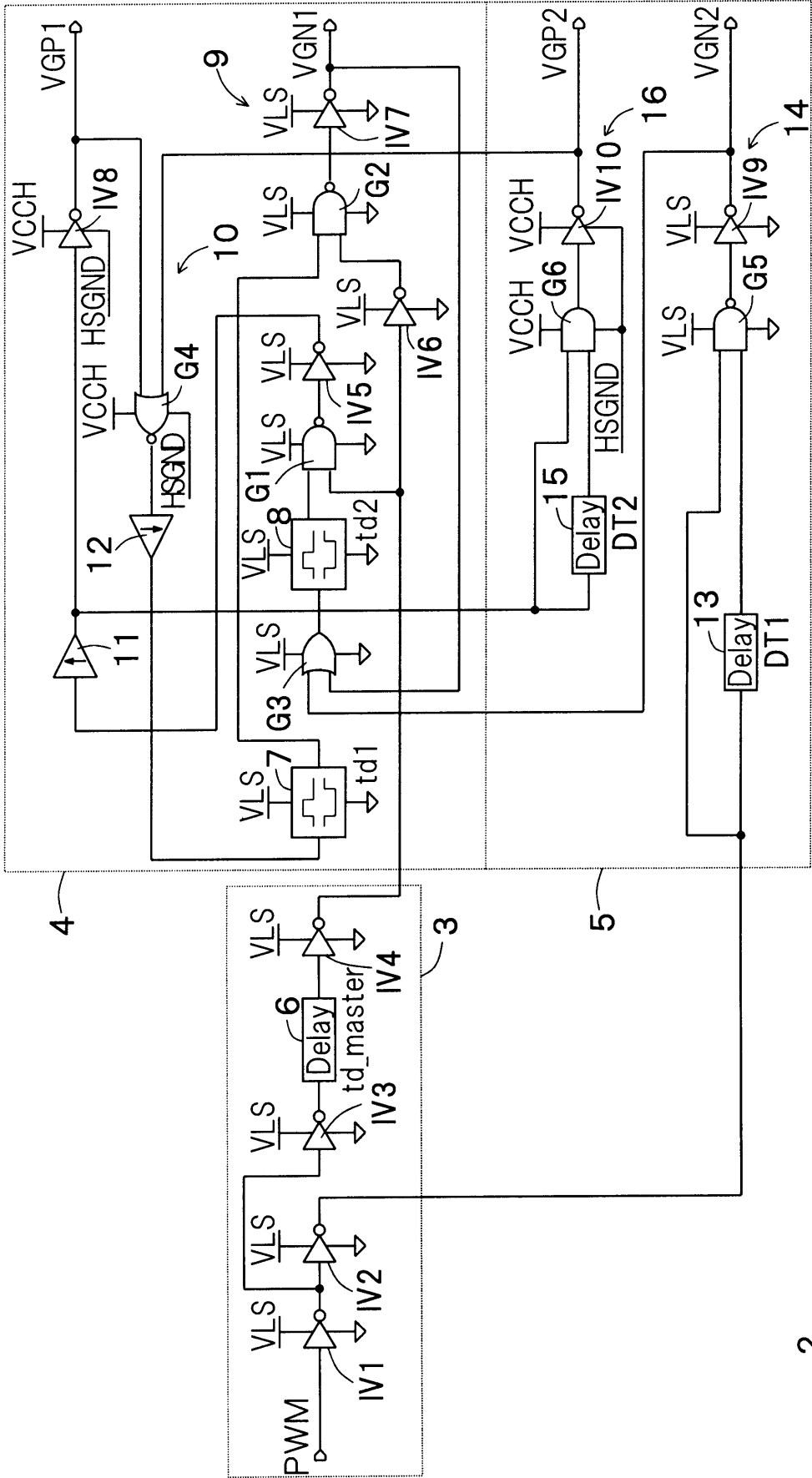
【解決手段】 ゲート駆動回路内のゲート制御回路は、第1出力ノードがハイ電位からロー電位に下がる前に、第2出力ノードをハイ電位からロー電位に下げ、第2出力ノードがロー電位からハイ電位に上がる前に、第1出力ノードをロー電位からハイ電位に上げる第1タイミング制御部と、第1PMOSトランジスタおよび第1NMOSトランジスタのうち一方がオフからオンに変化する前に他方をオンからオフに変化させ、他方がオフからオンに変化する前に一方をオンからオフに変化させる第2タイミング制御部と、第2PMOSトランジスタおよび第2NMOSトランジスタのうち一方がオフからオンに変化する前に他方をオンからオフに変化させ、一方がオンからオフに変化した後に他方をオフからオンに変化させる第3タイミング制御部と、を有する。

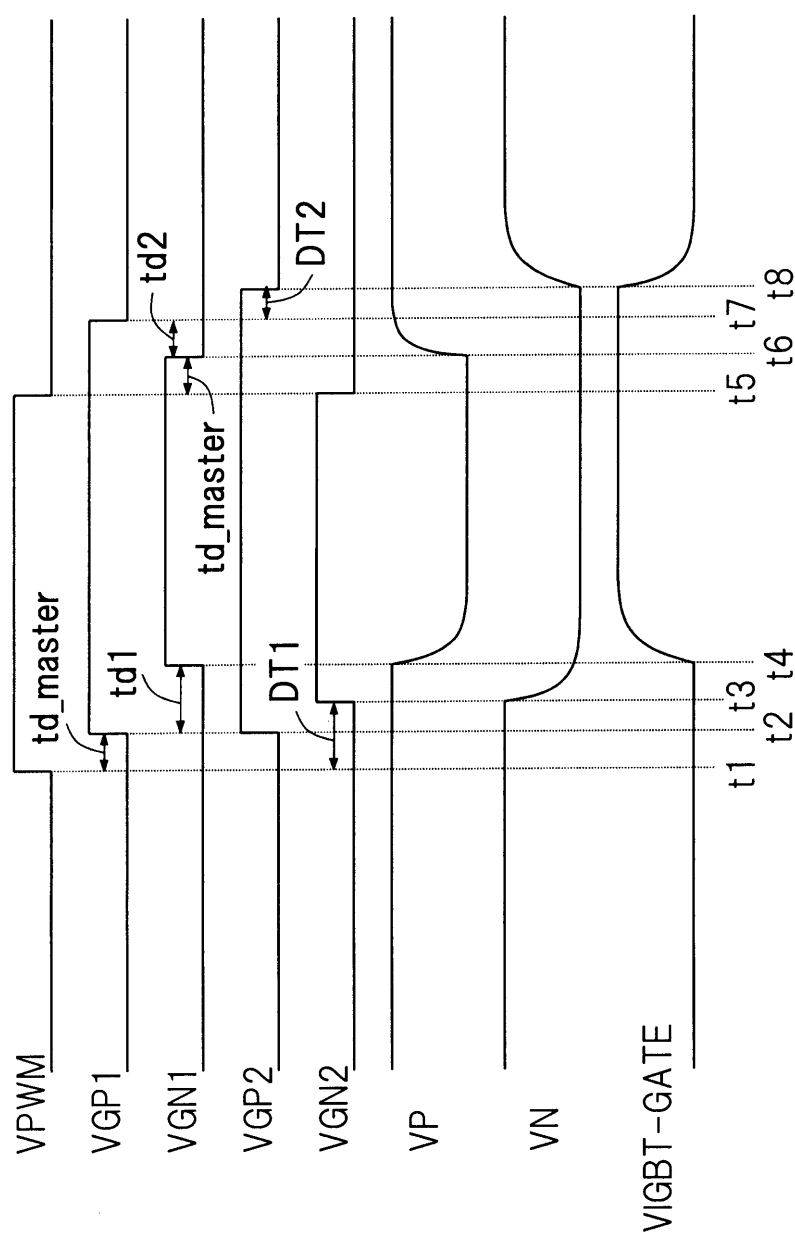
【選択図】 図1

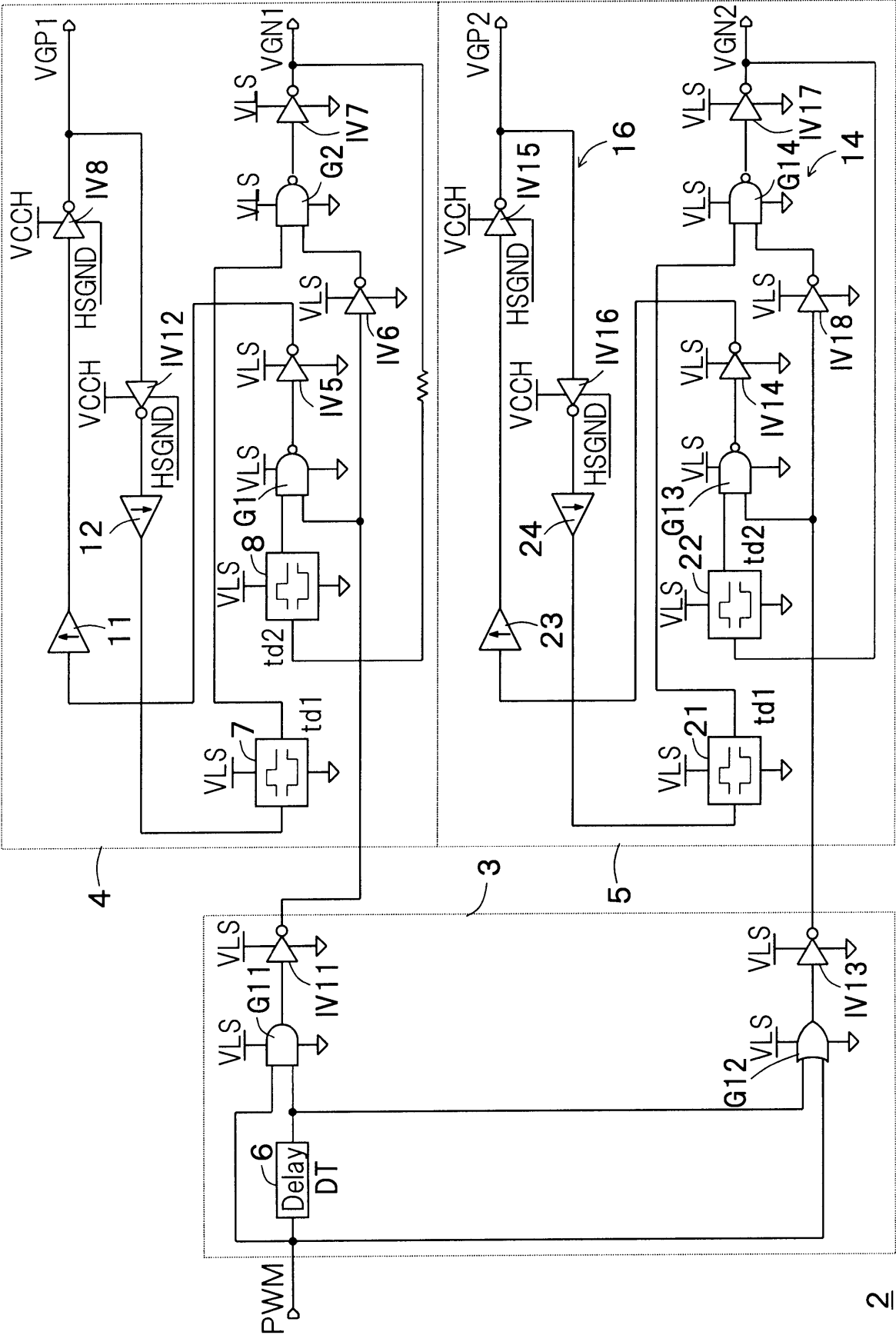
【書類名】 図面
【図 1】

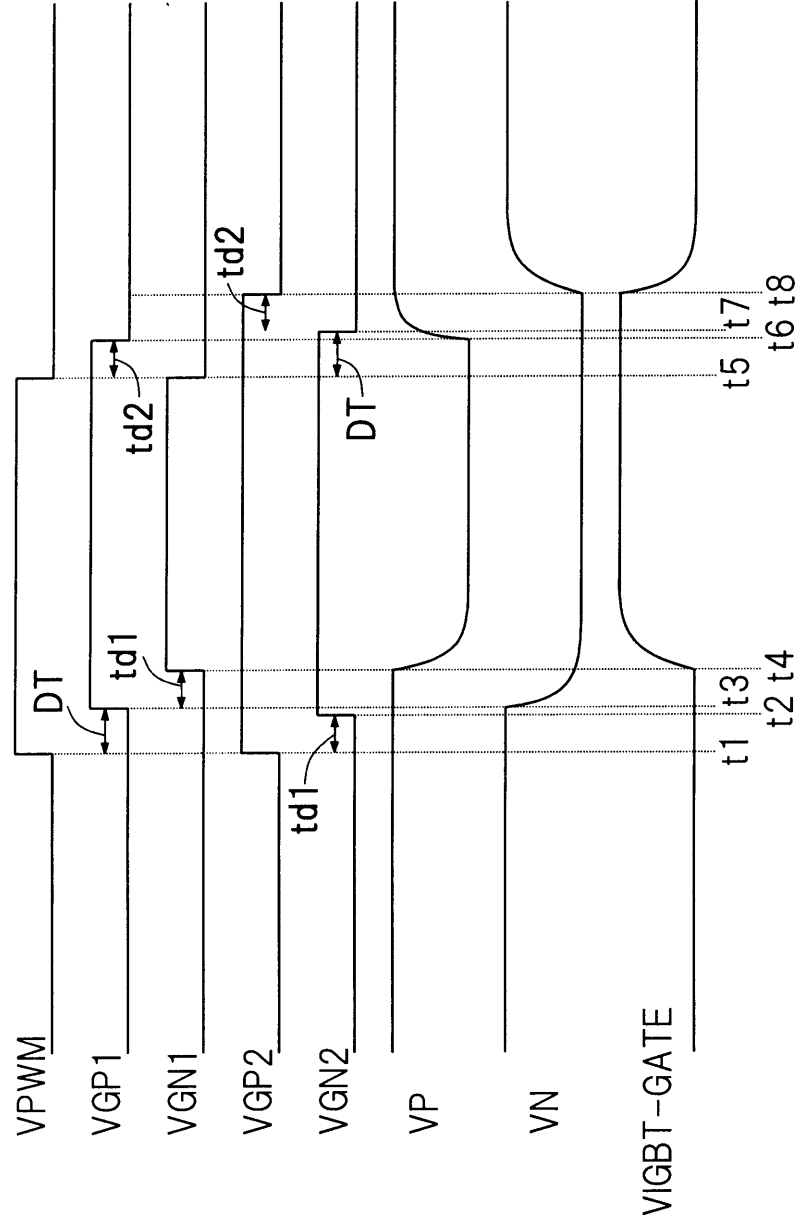


【図 2】

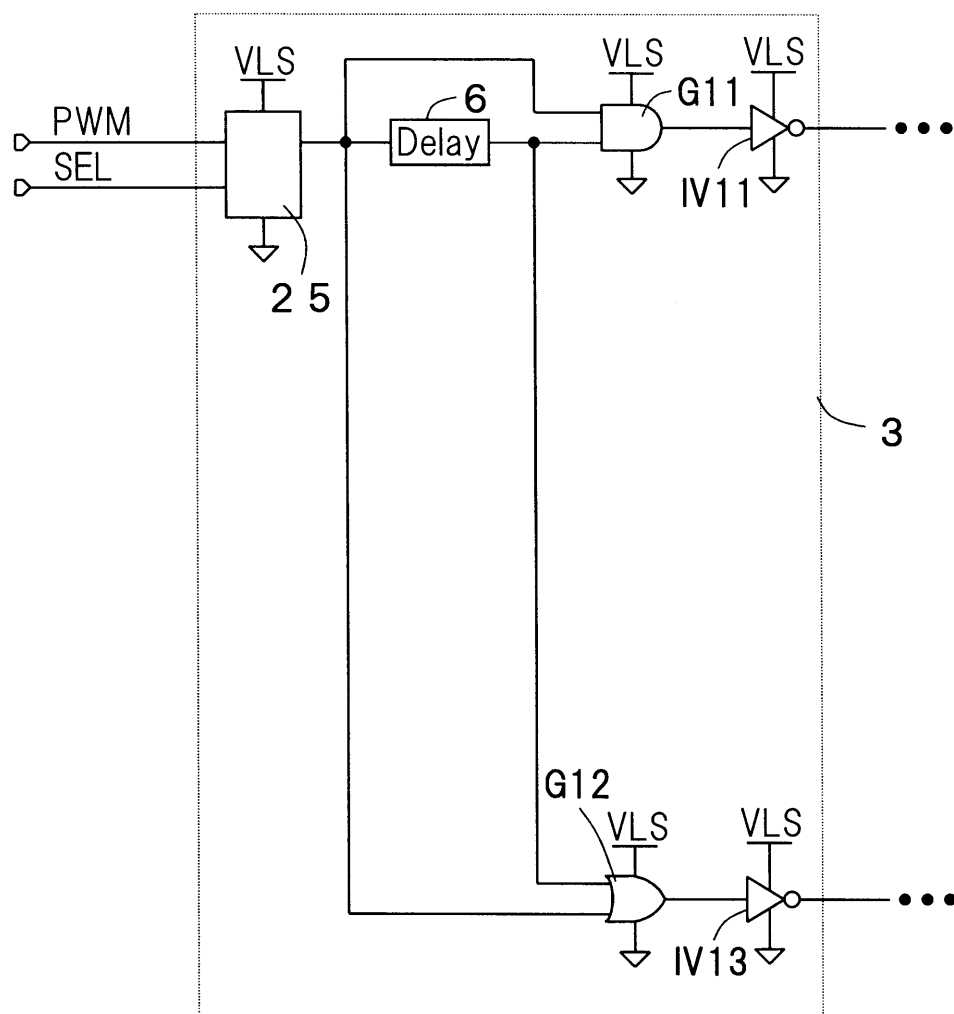




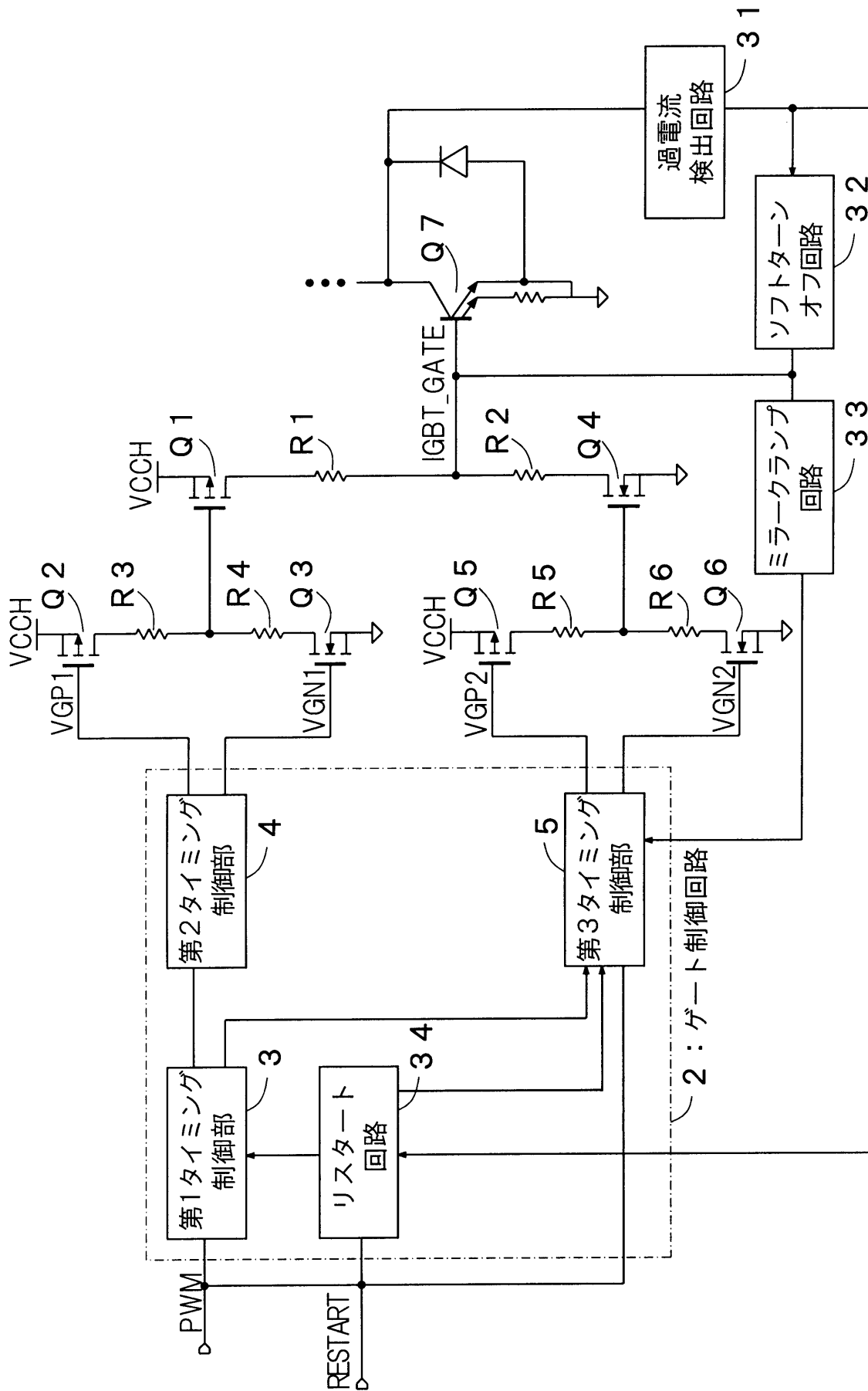


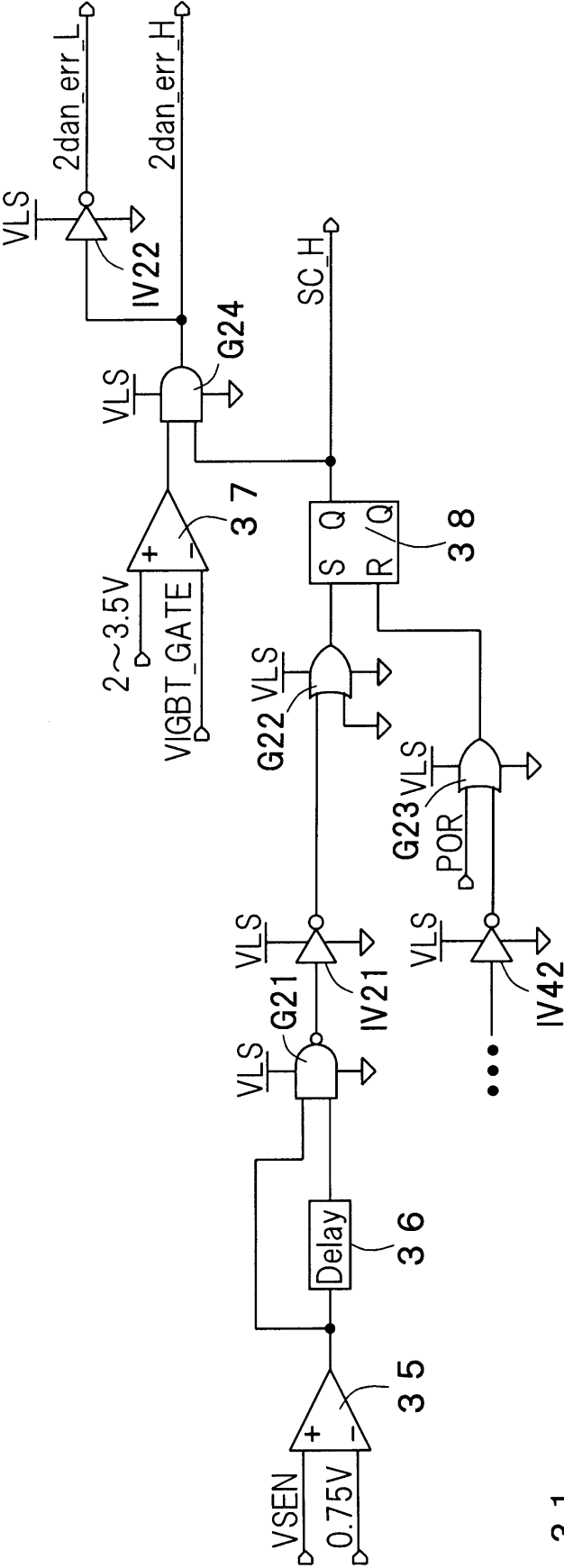


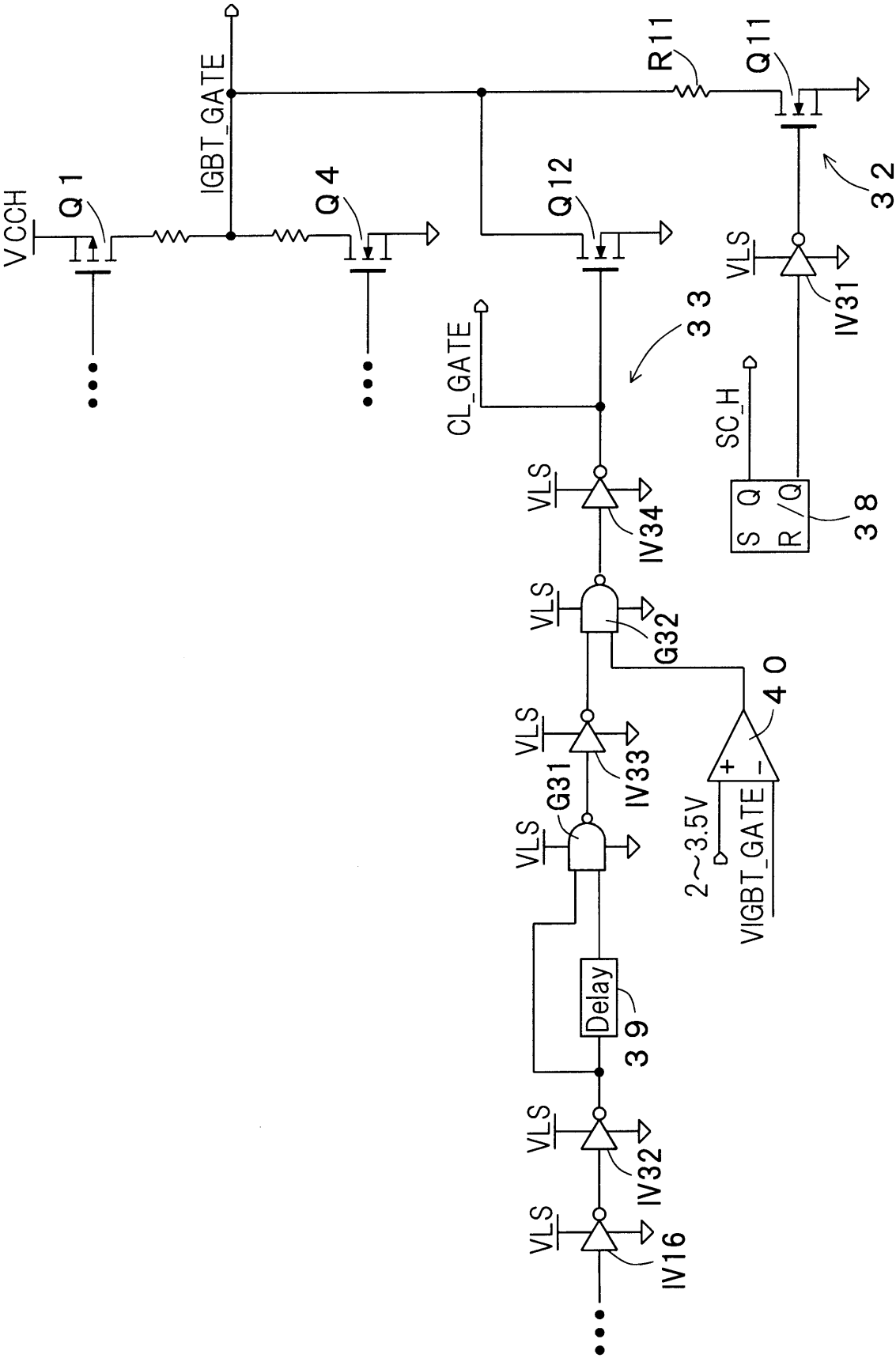
【図 6】



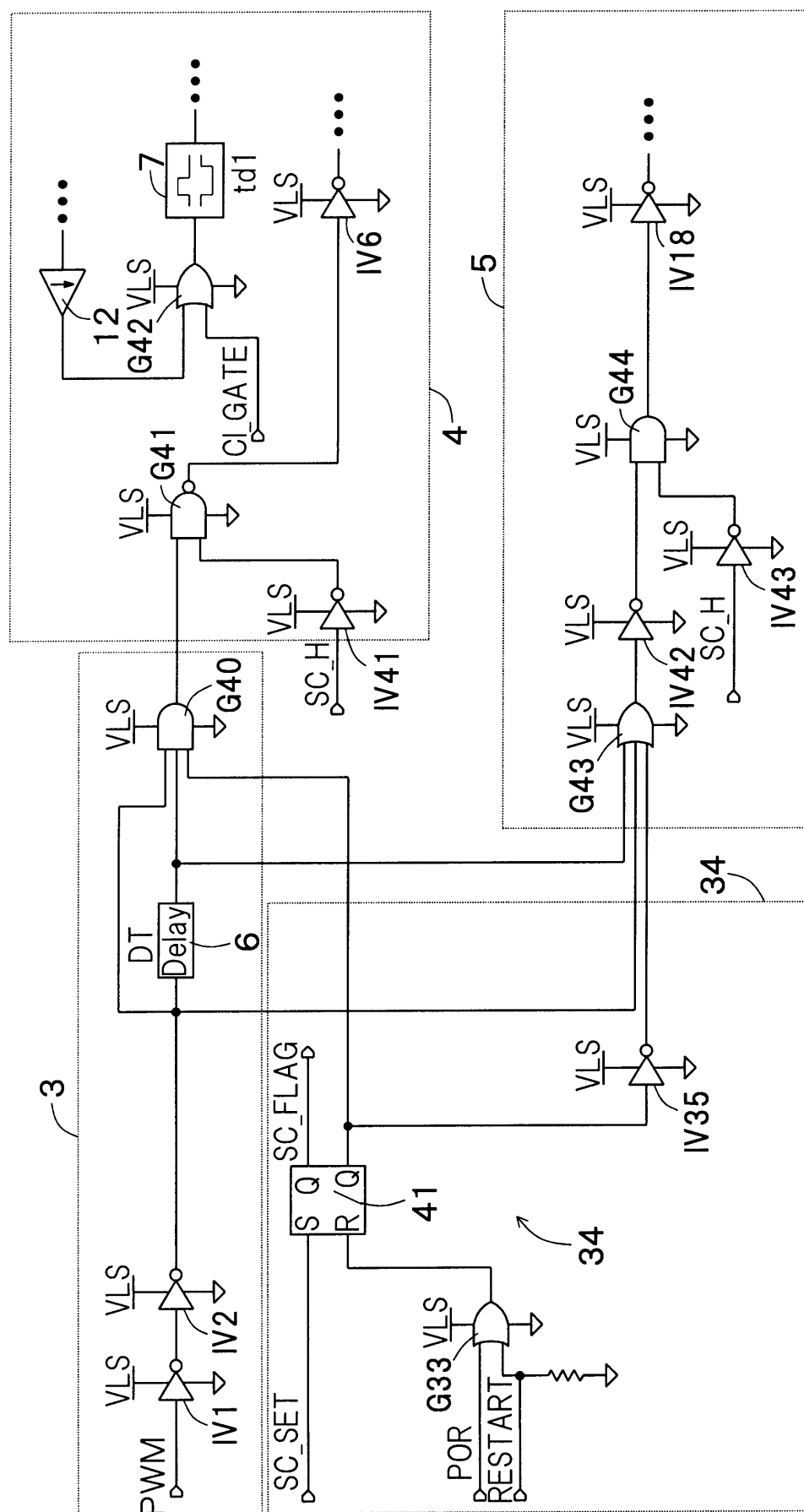
【図 7】







【図 10】



【図 1 1】

