

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

高い耐圧と低いオン抵抗を両立させる電力制御用半導体装置として、n型（あるいはp型）半導体層にp型（あるいはn型）半導体層を埋め込み、n型領域とp型領域を交互に配列させたスーパージャンクション構造（以下「SJ構造」とも称する）を備える縦型MOSFET（Metal Oxide Semiconductor Field Effect Transistor）がある。SJ構造では、n型領域に含まれるn型不純物量とp型領域に含まれるp型不純物量を等しくすることで、疑似的にノンドープ領域を作り高い耐圧を実現する。半導体装置の耐圧向上により、半導体層の不純物濃度を高くすることが可能になるため、耐圧の向上と同時に、低いオン抵抗を実現できる。

【0003】

SJ構造を形成する一方法として、例えば、n型の半導体層にトレンチを形成し、そのトレンチ内をp型の半導体で埋め込みp型の半導体層を設ける方法がある。しかしながら、この方法では、p型の半導体層内に空洞部（ボイド、空孔）が形成されやすい。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2014-075402号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、スーパージャンクション構造の特性劣化を抑制することを可能とする半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、第1導電型半導体層と、半導体層の第1方向において、半導体層の一部と交互に位置し、第2導電型不純物領域が設けられた複数の第1領域と、第1方向において第1領域の間に位置し、第1導電型不純物領域と、第1導電型不純物領域と半導体層との間に位置する第1絶縁体材料とが設けられた第2領域と、第1領域と第2領域の間に設けられ、第2絶縁体材料が設けられた第3領域と、を備える。

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置の模式断面図である。

【図2】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図3】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図4】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図5】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図6】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図7】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図 8】第 1 の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図 9】第 1 の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図 10】第 1 の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図 11】第 1 の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図 12】第 1 の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図 13】第 1 の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図 14】第 1 の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図 15】第 1 の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図 16】第 1 の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図 17】第 1 の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図 18】第 2 の実施形態の半導体装置の模式断面図である。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0009】

本明細書中、部品等の位置関係を示すために、図面の上方向を「上」、図面の下方向を「下」と記述する。本明細書中、「上」、「下」の概念は、必ずしも重力の向きとの関係を示す用語ではない。

【0010】

(第 1 の実施形態)

本実施形態の半導体装置は、第 1 導電型半導体層と、半導体層の第 1 方向において、半導体層の一部と交互に位置し、第 2 導電型不純物領域が設けられた複数の第 1 領域と、第 1 方向において第 1 領域の間に位置し、第 1 導電型不純物領域と、第 1 導電型不純物領域と半導体層との間に位置する第 1 絶縁体材料とが設けられた第 2 領域と、第 1 領域と第 2 領域の間に設けられ、第 2 絶縁体材料が設けられた第 3 領域と、を備える。

【0011】

図 1 は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置 100 は、スーパージャンクション構造を備えるトレンチゲート型縦型 MOSFET である。

【0012】

半導体装置 100 は、第 1 導電型半導体層 8 と、第 1 領域 10 と、第 2 導電型第 7 半導体領域 12 と、第 8 半導体領域 14 と、空孔 16 と、第 2 導電型第 3 半導体領域 18 と、第 2 領域 20 と、第 1 導電型第 4 半導体領域 22 と、第 1 絶縁体材料 24 と、第 3 領域 30 と、第 2 絶縁体材料 32 と、第 1 導電型第 5 半導体領域 34 と、第 1 導電型第 1 半導体領域 42 と、第 2 導電型第 2 半導体領域 44 と、第 2 導電型第 6 半導体領域 46 と、第 3 絶縁体材料 50 と、バリアメタル 52 と、ソース電極 54 と、ドレイン電極 56 を備える。

【0013】

以下、第 1 導電型が n 型、第 2 導電型が p 型である場合を例に説明する。また、n⁺型、n 型、n⁻型の順で、第 1 導電型の不純物濃度が低くなっていることを意味する。同様

【0014】

n型半導体層8は、例えば、n型不純物を含む単結晶シリコンを含む。n型半導体層8は、半導体装置100のドリフト領域である。n型不純物は、例えば、リン(P)又はヒ素(As)である。n型半導体層8は、スーパージャンクション構造のn型領域の部分である。

【0015】

複数の第1領域10は、半導体層8の第1方向において、n型半導体層8の一部と交互に設けられている。複数の第1領域10には、p型不純物領域と半導体材料が設けられる。p型不純物は、例えば、ボロン(B)である。半導体材料は、例えば、シリコン(Si)である。複数の第1領域10は、スーパージャンクション構造のp型領域の部分である。

【0016】

複数の第1領域10は、内部に空孔16を有する第8半導体領域14と、第8半導体領域14の周囲に設けられたp型の第7半導体領域12と、第8半導体領域14(第1領域10)上に設けられたp⁺型第3半導体領域18を含む。第7半導体領域12、及び第8半導体領域14はn型半導体層8内に位置し、第3半導体領域18はn型半導体層8の一方の面に位置している。第8半導体領域14は、i型(ノンドープ型)のSiを含む。空孔16の下部の径d₁は、空孔16上部の径d₂より大きい。すなわち、空孔16は、n型半導体層8側に位置する内径よりも、第3半導体領域18側に位置する内径の方が小さくなるように設けられる。第7半導体領域12は、例えば、半導体層8及び第8半導体領域14及び後述する第6半導体領域46に接している。

【0017】

第2領域20は、第1方向において隣り合う第1領域10の間に設けられている。第2領域20には、n型不純物領域と半導体材料と第1絶縁体材料が設けられる。半導体材料は、例えばSiである。第1絶縁体材料は、例えば、酸化シリコン(SiO₂)である。

【0018】

第2領域20は、n⁺型第4半導体領域22と、第4半導体領域22の周囲に設けられた第1絶縁体材料24を含む。第4半導体領域22は、n型不純物と上記の半導体材料を含む。第4半導体領域22は、ゲート電極として動作する。第1絶縁体材料24は、半導体層8及び第4半導体領域22と接している。

【0019】

第3領域30は、第1領域10と第2領域20の間に設けられている。例えば、第3領域30には、n⁺型第5半導体領域34と、第5半導体領域34の周囲に位置する第2絶縁体材料32が設けられる。第2絶縁体材料32はn型半導体層8の一方の面に位置しており、第7半導体領域12、及び第3半導体領域18に接している。第2絶縁体材料は、例えば、酸化シリコン(SiO₂)である。第2絶縁体材料32は、例えば、第5半導体領域34と接している。

【0020】

n⁺型第1半導体領域42は、第2領域20と第3領域30の間に位置する、n型半導体層8の一方の面上に設けられている。第1半導体領域42は、第1絶縁体材料24と接しており、半導体装置100のソース領域として動作する。

【0021】

p⁺型第2半導体領域44は、第3領域30と第1半導体領域42の間に設けられている。第2半導体領域44aは、半導体装置100のチャネルコンタクト領域(ベースコンタクト領域)として動作する。

【0022】

p型第6半導体領域46は、第2領域20と第3領域30の間の、第1半導体領域42と第2半導体領域44の下方に設けられている。すなわち、第6半導体領域46はn型半

導体層8と、第1半導体領域42及び第2半導体領域44との間に位置している。第6半導体領域46は、第1絶縁体材料24と接しており、半導体装置100のチャンネル領域(ベース領域)として動作する。

【0023】

第3絶縁体材料50は、第2領域20におけるn型半導体層8上に設けられている。第3絶縁体材料50は、後述するソース電極54とn型の第4半導体領域22との絶縁性を担保する。第3絶縁体材料50は、例えばNSG(Non-doped Silicate Glass)又はBPSG(Borophosphosilicate glass)を含む。

【0024】

バリアメタル52は、第1領域10、第2領域20、第3領域30、第1半導体領域42、第2半導体領域44、及び第3絶縁体材料50上に設けられている。バリアメタル52は、後述するソース電極54に用いられるアルミニウム(Al)とシリコンが直接接することによりアルミニウムとシリコンが互いに拡散する事を防ぐ。バリアメタル52は、例えば、窒化チタン(TiN)、チタン(Ti)、チタンタングステン(TiW)を含む。

【0025】

ソース電極54は、バリアメタル52上方に設けられている。ドレイン電極56は、n型半導体層8の下方に設けられており、n型半導体層8と電氣的に接続されている。

【0026】

次に、本実施形態の半導体装置100の製造方法を述べる。図2乃至図17は、本実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【0027】

本実施形態の半導体装置100の製造方法は、n型半導体層上に第1酸化膜を形成し、半導体層上の第1方向に複数の第1領域を形成し、第1領域内にp型第7半導体領域を形成し、第1領域内に第8半導体領域を形成し、第1領域内に空孔を形成し、第1酸化膜上に形成された余剰の第8半導体領域を除去し、第1酸化膜を除去し、半導体層及び第8半導体領域上に第2酸化膜を形成し、第2酸化膜を、第8半導体領域側面に形成されたサイドウォールを残して除去し、半導体層及び第8半導体領域及びサイドウォール上にp型第9半導体領域を形成し、サイドウォール上に形成された第9半導体領域を除去し、第9半導体領域上に第3酸化膜を形成し、第3酸化膜上にCVD膜Mを形成し、半導体層上に、底部を第9半導体領域上に有する第1開口部及び底部を半導体層内に有する第2開口部を形成し、第2開口部の面取をし、CVD膜と第3酸化膜を除去して第3領域となる第3開口部を形成し、第2開口部内及び第3開口部内及び第9半導体領域上に第4酸化膜を形成し、第2開口部内及び第3開口部内に多結晶シリコンを形成し、多結晶シリコン中にn型不純物をドーピングすることにより、第2領域内にn型の第4半導体領域を、第3領域内にn型第5半導体領域を形成し、第4酸化膜上、第4半導体領域上、第5半導体領域上に第5酸化膜を形成し、第8半導体領域上にp+型第3半導体領域を形成し、第1領域と第2領域の間にp+型第2半導体領域を形成し、p型不純物を拡散させ、第1領域と第2領域の間にn+型の第1半導体領域を形成し、第1半導体領域と第2半導体領域の下にp型の第6半導体領域を形成し、n型不純物を拡散させ、フィルムを第5酸化膜上に形成し、熱処理し、フィルムの一部を除去することにより第2領域上に第3絶縁体材料を形成し、バリアメタルを第1領域、第2領域、第3領域、第1半導体領域、第2半導体領域、第3絶縁体材料上に形成し、バリアメタル上にソース電極を形成し、半導体層8の下にドレイン電極を形成する。

【0028】

まず、図2に示すように、n型の半導体層8上に第1酸化膜60を例えば熱酸化法により形成し、半導体層8上の第1方向に複数の第1領域10を例えばRIE(Reactive Ion Etching)により形成し、第1領域10内にp型第7半導体領域12を例えばエピタキシャル成長により形成する。次に、第1領域10内に第8半導体領域

14を形成する。このとき第1領域10内に下部の径 d_1 が上部の径 d_2 より大きい空孔16が形成される。

【0029】

次に、図3に示すように、第1酸化膜60上に形成された余剰の第8半導体領域14を、第1酸化膜60をCMPストップパとしてCMP (Chemical Mechanical Polishing) により除去する。

【0030】

次に、図4に示すように、例えばフッ酸と過酸化水素水の混合液を用いて第1酸化膜60を除去する。

【0031】

次に、図5に示すように、例えば熱酸化法又はCVD (Chemical Vapor Deposition) 法により、半導体層8及び第8半導体領域14上に、第2酸化膜62を形成する。

【0032】

次に、図6に示すように、例えばRIEにより、第2酸化膜62を、第7半導体領域12側面に形成されたサイドウォール62を残して除去する。

【0033】

次に、図7に示すように、例えばエピタキシャル成長法により、半導体層8及び第8半導体領域14及び第7半導体領域14及びサイドウォール62上に、p型の第9半導体領域46を形成する。

【0034】

次に、図8に示すように、サイドウォール62及び第7半導体領域12上に形成されたp型の第9半導体領域46を、サイドウォール62をCMPストップパとしてCMP (Chemical Mechanical Polishing) により除去する。

【0035】

次に、図9に示すように、p型の第9半導体領域46上に、熱酸化法により第3酸化膜64を形成し、第3酸化膜64上に例えばCVD法によりCVD膜Mを形成する。

【0036】

次に、図10に示すように、例えばフォトリソグラフィによるパターニングと酸化膜RIEにより半導体層8上に、底部を第9半導体領域46上に有する第1開口部70を形成する。次に、シリコンRIEにより、底部を半導体層8内に有する第2開口部72を形成する。次に、ゲート電極ソース電極間リーク防止のため、CDE (Chemical Dry Etching) により、第2開口部72の面取をする。第2開口部72は、第2領域20となる。

【0037】

次に、図11に示すように、CVD膜Mと第3酸化膜64を除去する。これにより、第3開口部74が形成される。第3開口部74は、後に述べるように、第3領域30となる。

【0038】

次に、図12に示すように、例えば熱酸化法により第2開口部72内及び第3開口部74内及びp型の第9半導体領域46上に第4酸化膜66を形成し、第2開口部72内及び第3開口部74内に例えばCVD法により多結晶シリコンを形成し、例えば塩化ホスホリル POCl_3 を用いてn型不純物であるリン(P)を多結晶シリコン中にドーピングする。これにより、第2領域20内にn型の第4半導体領域22を、第3領域30内にn型の第5半導体領域34を形成する。

【0039】

次に、図13に示すように、第4酸化膜66上、第4半導体領域22上、第5半導体領域34上に、例えば熱酸化法により、第5酸化膜68を形成する。

【0040】

次に、図14に示すように、イオン注入法により、第8半導体領域14上に p^+ 型の第

3半導体領域18を、また第1領域10aと第2領域20aの間にp⁺型の第2半導体領域44を形成する。その後、例えば900℃以上1100℃以下での第1熱処理により、p型不純物を拡散させる。第3半導体領域18内のp型不純物と第7半導体領域内のp型不純物は第8半導体領域14に拡散する。また、第6半導体領域46のp型不純物が下方に拡散することにより第6半導体領域46は下方に拡大する。

【0041】

次に、図15に示すように、イオン注入法により、第1領域10と第2領域20の間にn⁺型の第1半導体領域42を形成する。これにより、第1半導体領域42と第2半導体領域44の下にp型の第6半導体領域46が形成される。その後、例えば900℃以上1100℃以下での第2熱処理によりn型不純物を拡散させる。第6半導体領域46のp型不純物が下方に拡散することにより第6半導体領域46は下方に拡大する。

【0042】

第1熱処理又は第2熱処理により、第6半導体領域46内のp型不純物は第8半導体領域14に拡散する。

【0043】

次に、図16に示すように、NSGとBPSGを含むフィルム50を第5酸化膜68上に形成し、熱処理を行う。

【0044】

次に、図17に示すように、フィルム50の一部を除去することにより、第2領域20上に第3絶縁体材料50を形成する。

【0045】

次に、バリアメタル52を第1領域10、第2領域20、第3領域30、n型の第1半導体領域42、p型の第2半導体領域44、第3絶縁体材料50の上に形成し、バリアメタル52上にソース電極54を形成し、半導体層8の下にドレイン電極56を形成し、半導体装置100を得る。

【0046】

次に、本実施形態の半導体装置100の作用効果を記載する。

【0047】

後述するように、本実施形態の半導体装置100は、サイドウォール62を用いることによって、空孔16上部の開放が抑制され、製造プロセスに用いられる薬液等が空孔16内に入ることのないように製造される。製造工程においてサイドウォール62が形成されていた部分は、半導体装置100の第3領域30である。すなわち、第3領域を有する半導体装置100は、空孔16上部の開放を抑制して製造されたものであることから、半導体装置100の信頼性（安定性）を向上させることが可能であると考えられる。さらに、第3領域30が第2絶縁体材料32を含むため、第3領域30付近における電気抵抗は高くなると考えられ、第1領域10と第2領域20の間における意図しない電氣的導通を抑制することが可能となる。

【0048】

また、第6の半導体領域をエピタキシャル成長により形成することで、従来のイオン注入と高温拡散によるベース領域を作成することに比べ、スーパージャンクションの濃度が熱により相殺されることを抑制することができる。よって、低オン抵抗の半導体装置を作成することができる。

【0049】

第1領域上に設けられた第2導電型不純物を含む第3半導体領域をさらに備えることにより、第1領域の下方及び側方に配置された第7半導体領域のみならず半導体装置100の上方からもまた第2導電型不純物が注入されるため、さらに安定した特性を有する半導体装置100の提供が可能となる。

【0050】

第3絶縁体材料50をさらに備えることにより、ソース電極54とn型の第4半導体領域22との絶縁が担保される。

【0051】

次に、本実施形態の半導体装置100の製造方法の作用効果を記載する。

【0052】

p型の第7半導体領域12における空孔16の形成を許容することにより、第8半導体領域14をより急速に形成することが出来る。しかし、例えば図4に示した製造途中の半導体装置の模式断面図の直後にCMP等を行って第8半導体領域14を研磨すると、空孔16の上部が開放されるおそれがある。この場合、レジストや、CMPに用いるスラリー等が空孔16内部に滞留してしまい、製造工程を継続することができなくなるおそれがある。

【0053】

本実施形態の半導体装置100の製造方法においては、サイドウォール62を形成し、その後にサイドウォール62をCMPストップとして用いてCMPを行うことにより、空孔16の上部の開放を防止することが出来る。これにより、製造工程を継続することが可能となる。

【0054】

d_1 が d_2 より大きいことで、半導体装置100の動作時に発生する正孔が移動する領域が大きくなるため、半導体装置100の安定動作に有利である。

【0055】

以上のように、本実施形態の半導体装置100及びその製造方法によれば、スーパージャンクション構造の特性安定を可能とする半導体装置及びその製造方法の提供が可能となる。

【0056】

(第2の実施形態)

本実施形態の半導体装置200は、スーパージャンクション構造を備えるプレーナゲート型縦型MOSFETである点で、第1の実施形態の半導体装置100と異なっている。ここで、第1の実施形態と重複する点については、記載を省略する。

【0057】

図18は、本実施形態の半導体装置200の模式断面図である。本実施形態の半導体装置200及びその製造方法においても、スーパージャンクション構造の特性安定を可能とする半導体装置の提供が可能となる。

【0058】

本発明のいくつかの実施形態及び実施例を説明したが、これらの実施形態及び実施例は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0059】

8	n型半導体層
10	第1領域
12	p型第7半導体領域
14	第8半導体領域
16	空孔
18	p型第3半導体領域
20	第2領域
22	n型第4半導体領域
24	第1絶縁体材料
30	第3領域
32	第2絶縁体材料

3 4	n型第5半導体領域
4 2	n型第1半導体領域
4 4	p型第2半導体領域
4 6	p型第9半導体領域
4 6	p型第6半導体領域
5 0	フィルム (第3絶縁体材料)
5 2	バリアメタル
5 4	ソース電極
5 6	ドレイン電極
6 0	第1酸化膜
6 2	第2酸化膜
6 2	サイドウォール
6 4	第3酸化膜
6 6	第4酸化膜
6 8	第5酸化膜
7 0	第1開口部
7 2	第2開口部
7 4	第3開口部
1 0 0	半導体装置
2 0 0	半導体装置
M	CVD膜

【書類名】 特許請求の範囲

【請求項 1】

第 1 導電型半導体層と、

前記半導体層の第 1 方向において、前記半導体層の一部と交互に位置し、第 2 導電型不純物領域が設けられた複数の第 1 領域と、

前記第 1 方向において前記第 1 領域の間に位置し、第 1 導電型不純物領域と、第 1 導電型不純物領域と前記半導体層との間に位置する第 1 絶縁体材料とが設けられた第 2 領域と

、
前記第 1 領域と前記第 2 領域の間に設けられ、第 2 絶縁体材料が設けられた第 3 領域と
、
を備える半導体装置。

【請求項 2】

前記第 2 領域と前記第 3 領域の間に第 1 導電型不純物を含む第 1 半導体領域と、

前記第 3 領域と前記第 1 半導体領域の間に第 2 導電型不純物を含む第 2 半導体領域と、
をさらに備える請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 領域上に設けられた第 2 導電型不純物を含む第 3 半導体領域をさらに備える請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 領域は前記半導体層側に位置する内径よりも、前記第 3 半導体領域側に位置する内径の方が小さくなるように設けられる空孔を有する請求項 1 乃至請求項 3 いずれか一項に記載の半導体装置。

【請求項 5】

前記第 2 半導体領域と前記第 3 半導体領域の間に設けられた第 2 絶縁体材料を更に備える請求項 1 乃至請求項 4 いずれか一項に記載の半導体装置。

【請求項 6】

前記第 2 領域は、第 1 導電型不純物を含む第 4 半導体領域をさらに備える請求項 1 乃至請求項 5 いずれか一項に記載の半導体装置。

【書類名】 要約書

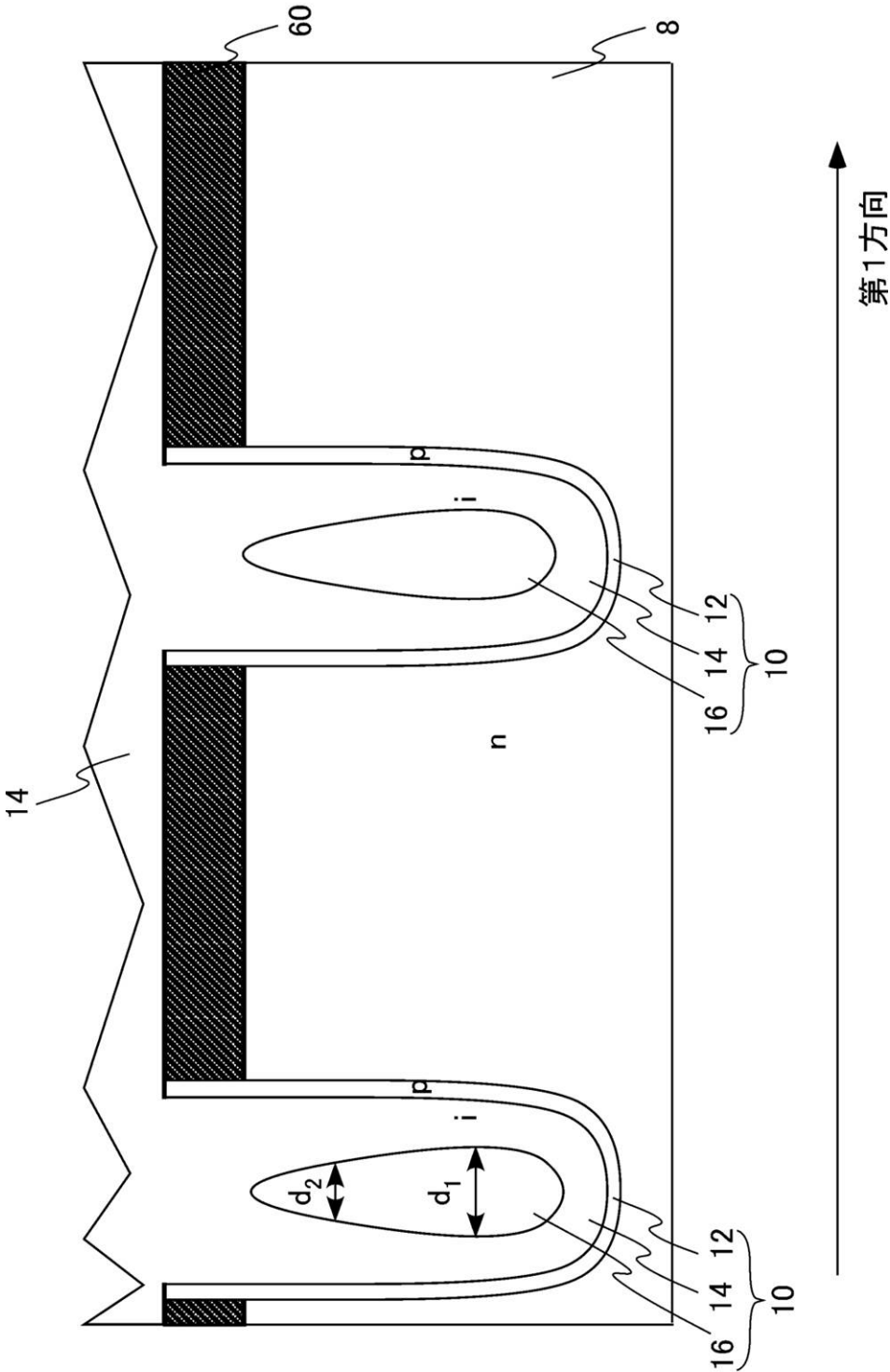
【要約】

【課題】 スーパージャンクション構造の特性劣化を抑制することを可能とする半導体装置を提供する。

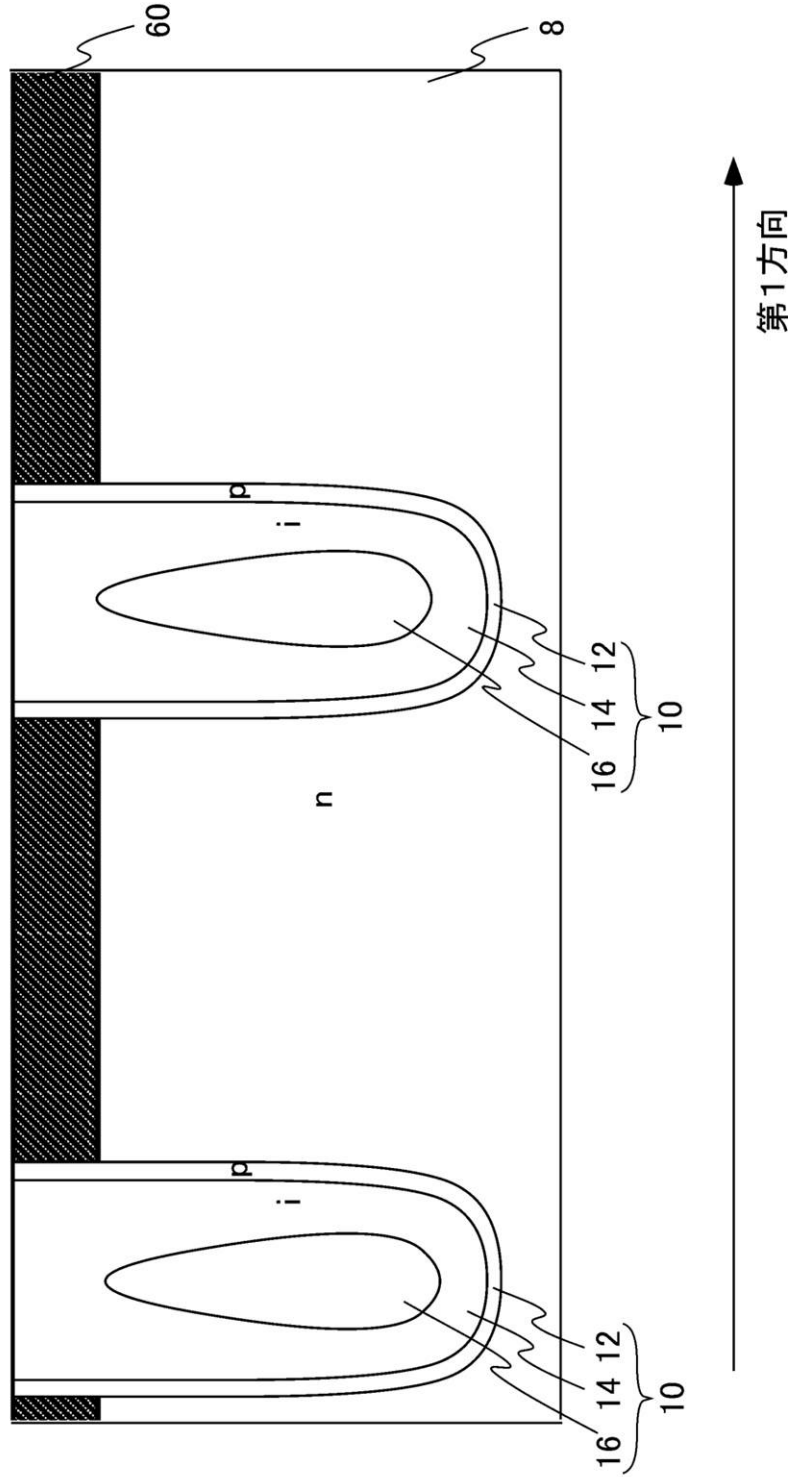
【解決手段】 実施形態の半導体装置は、第1導電型半導体層と、半導体層の第1方向において、半導体層の一部と交互に位置し、第2導電型不純物領域が設けられた複数の第1領域と、第1方向において第1領域の間に位置し、第1導電型不純物領域と、第1導電型不純物領域と半導体層との間に位置する第1絶縁体材料とが設けられた第2領域と、第1領域と第2領域の間に設けられ、第2絶縁体材料が設けられた第3領域と、を備える。

【選択図】 図1

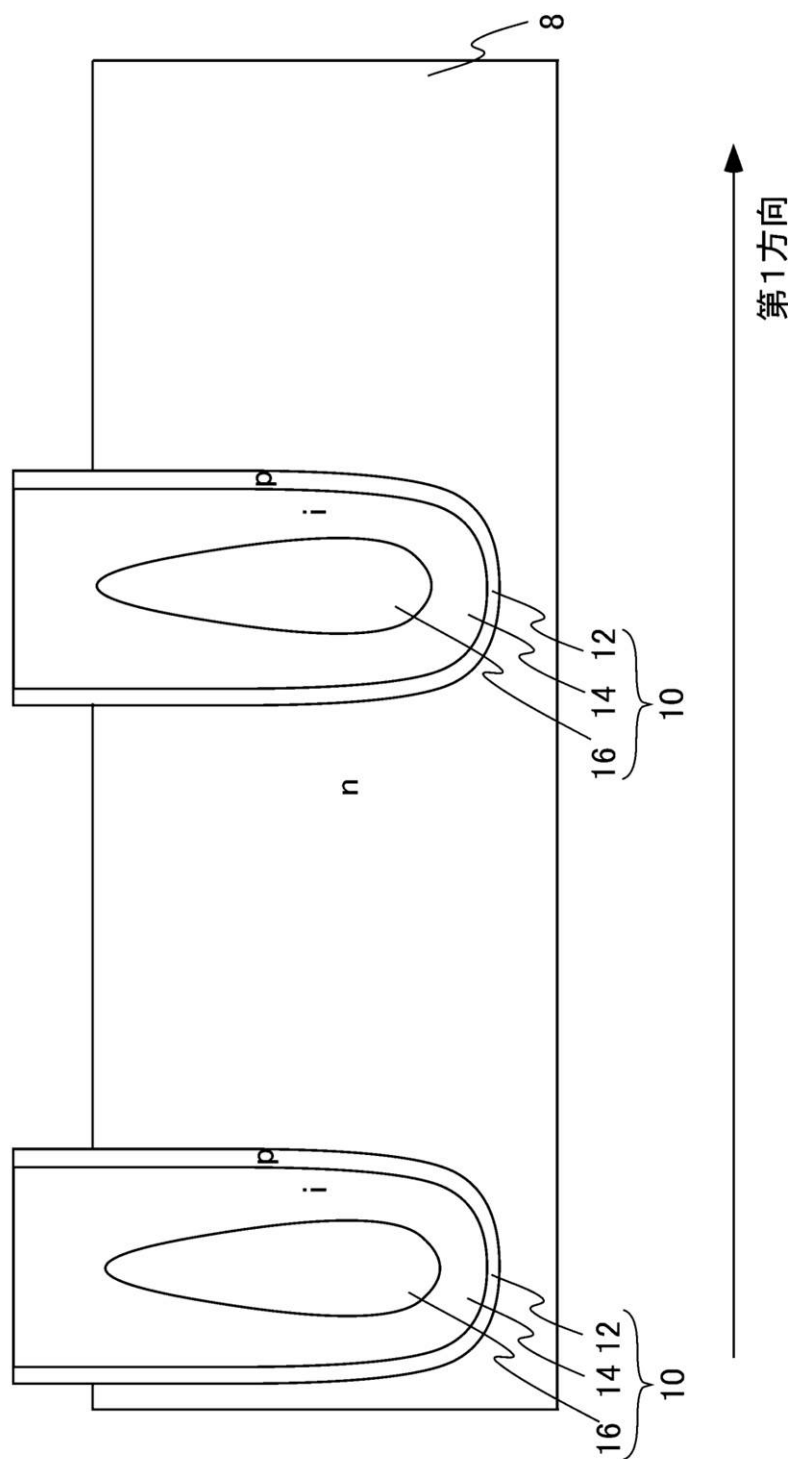
【図 2】



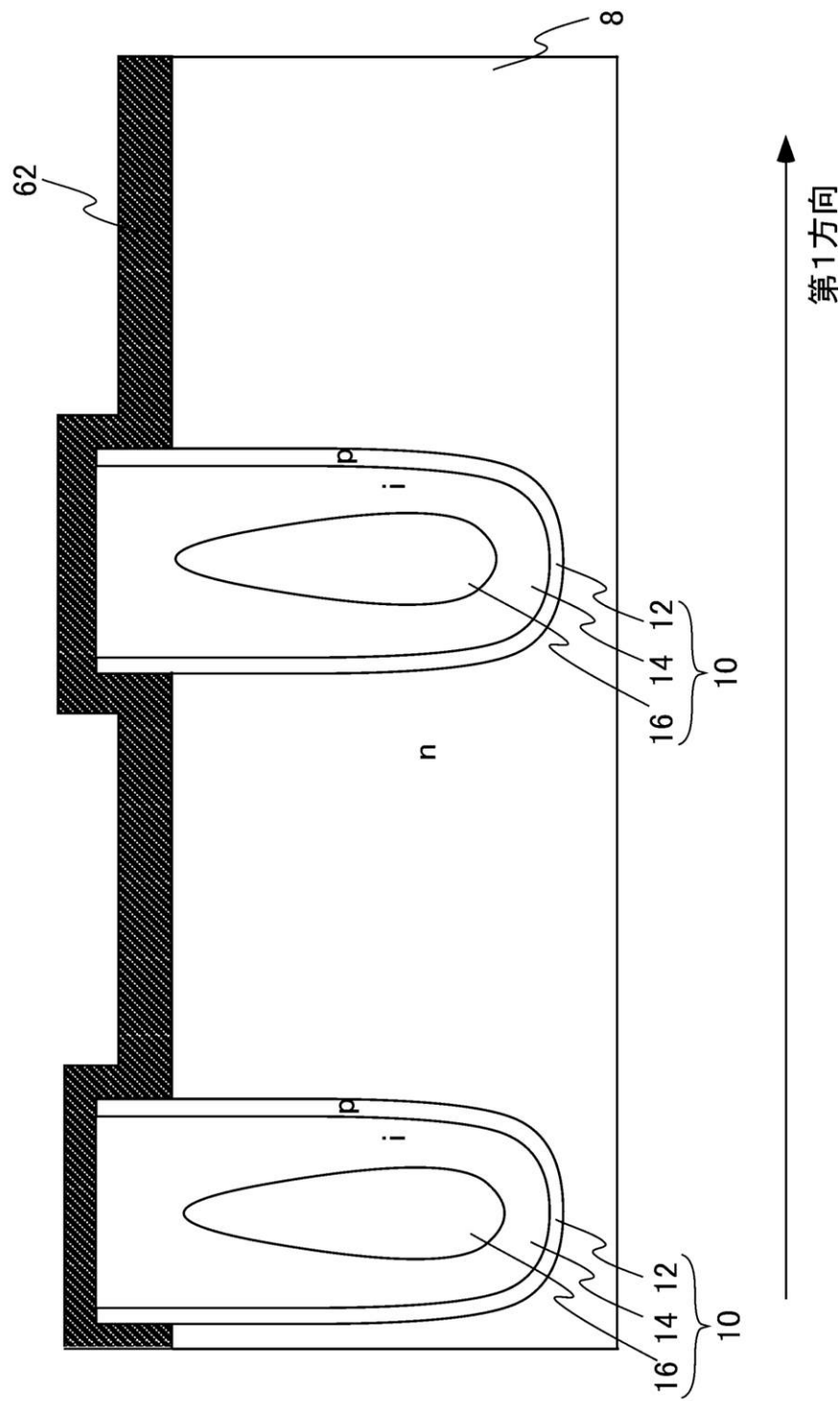
【図 3】



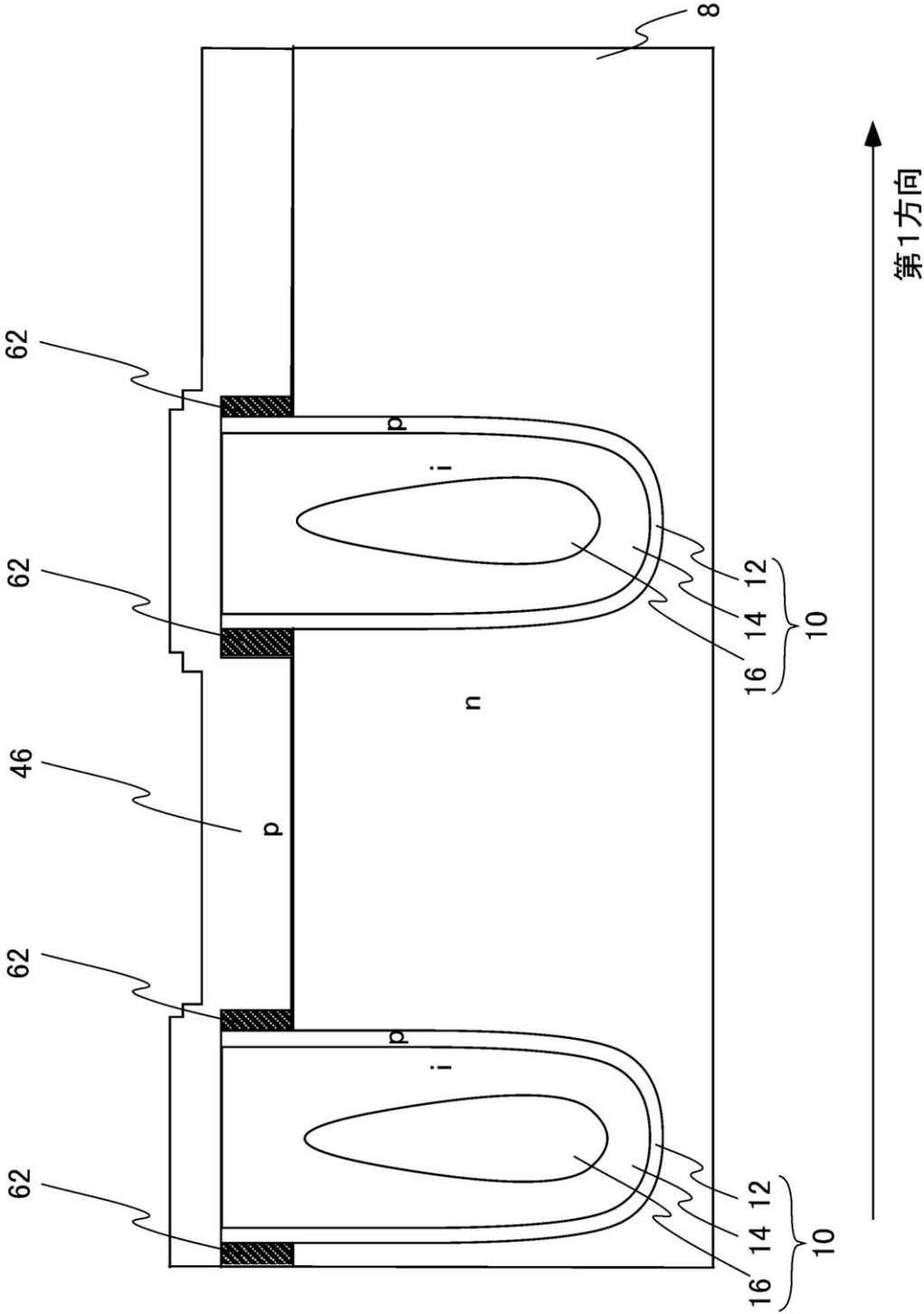
【図 4】



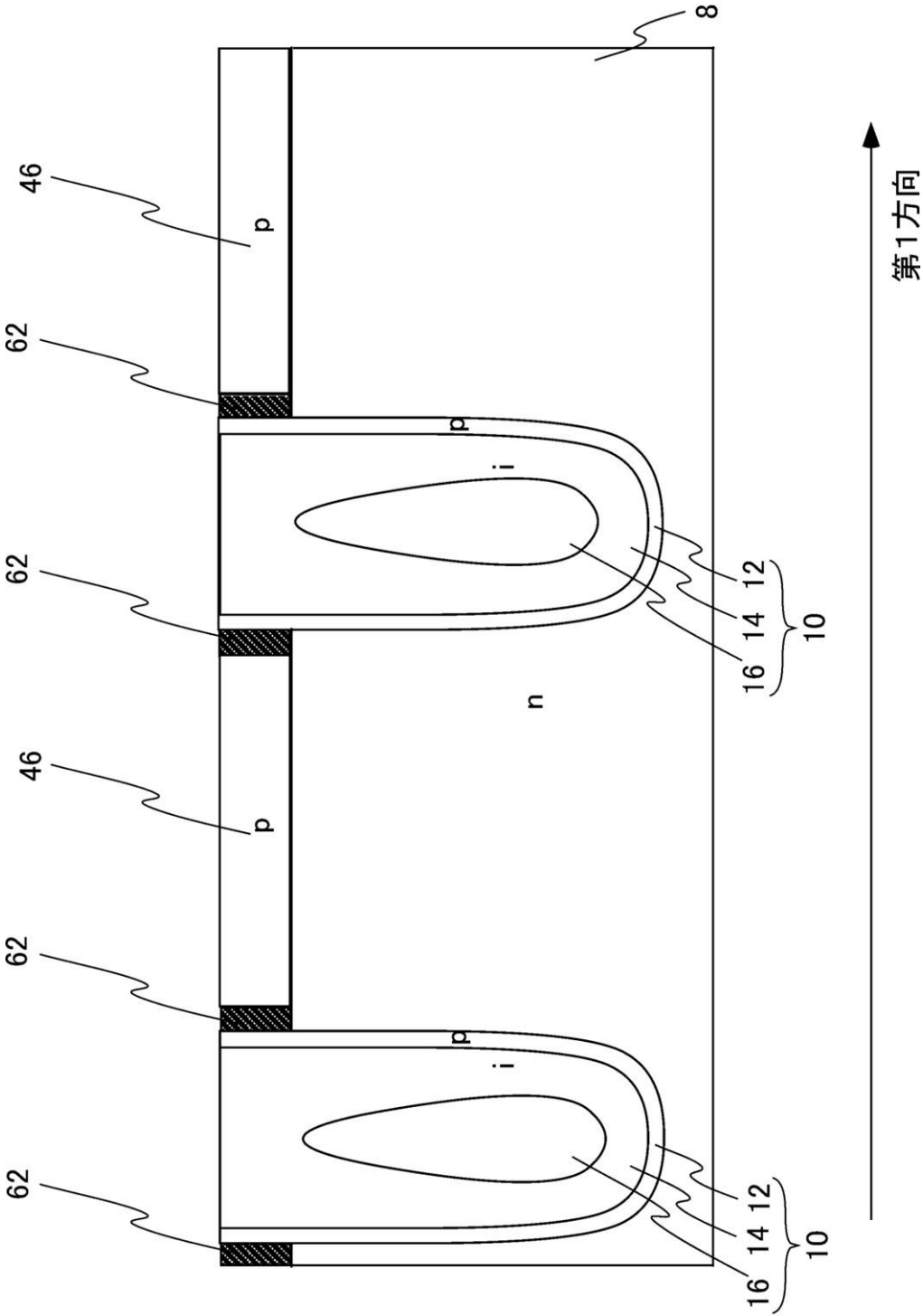
【図 5】



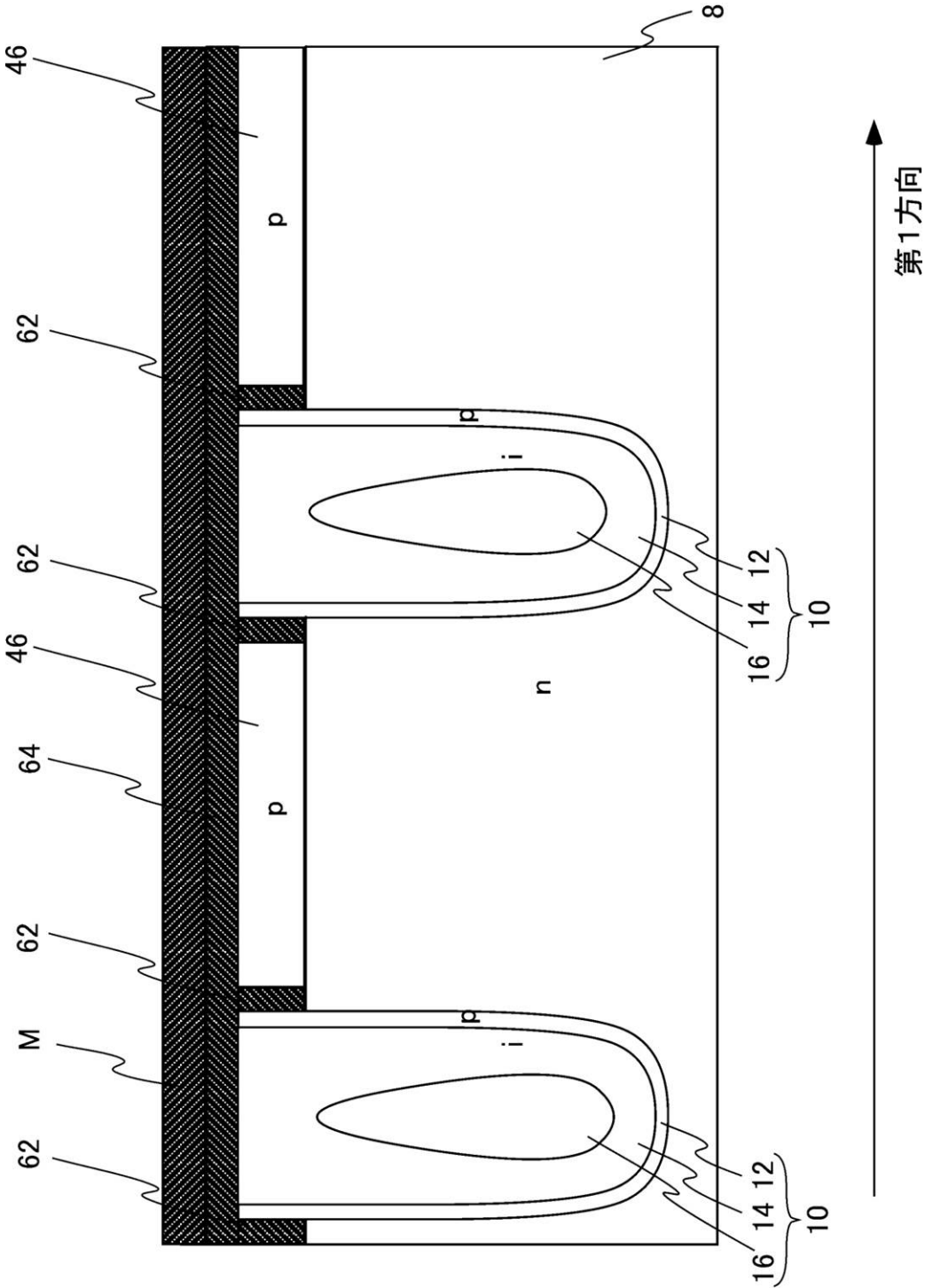
【図 7】



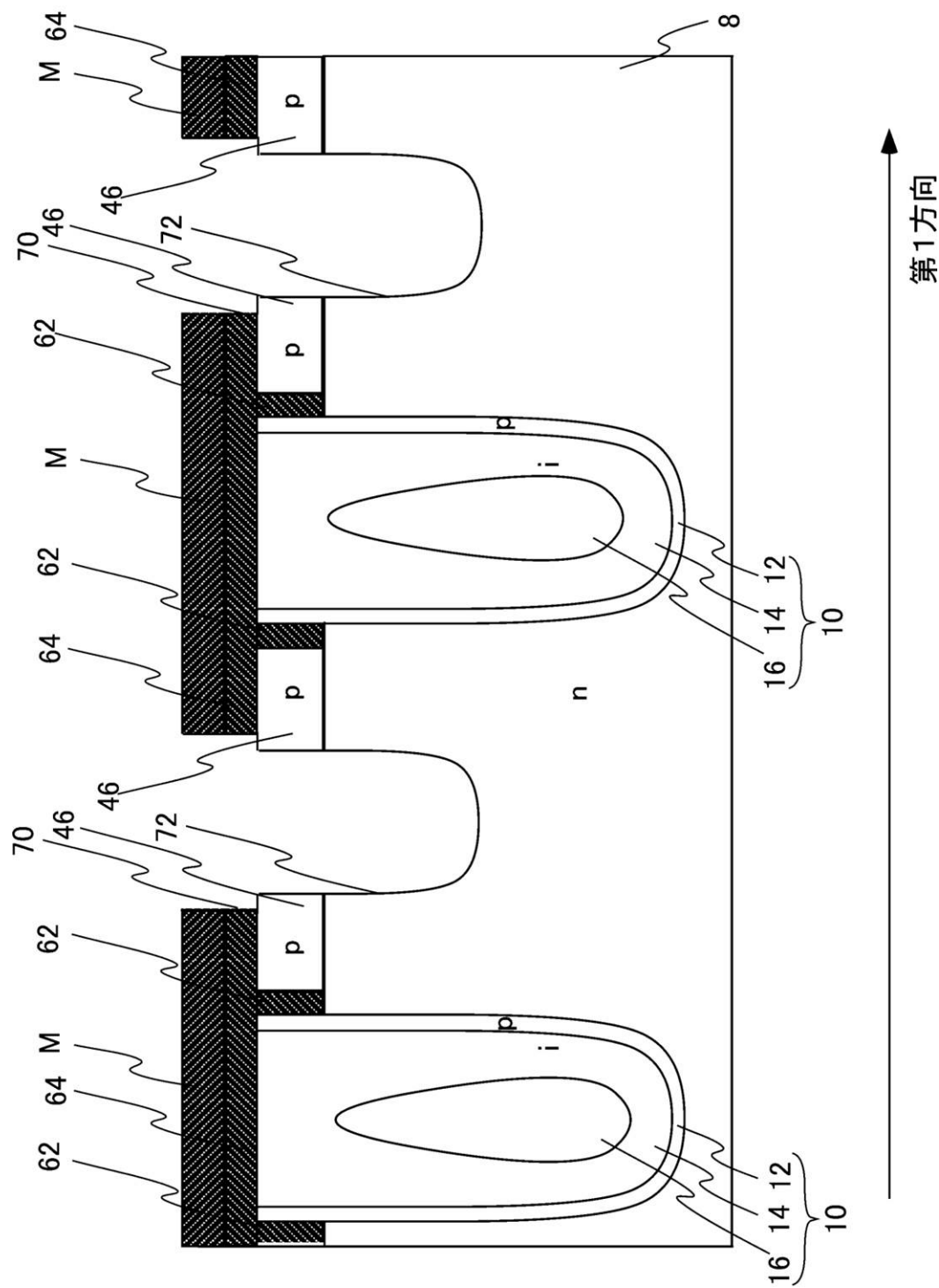
【図 8】



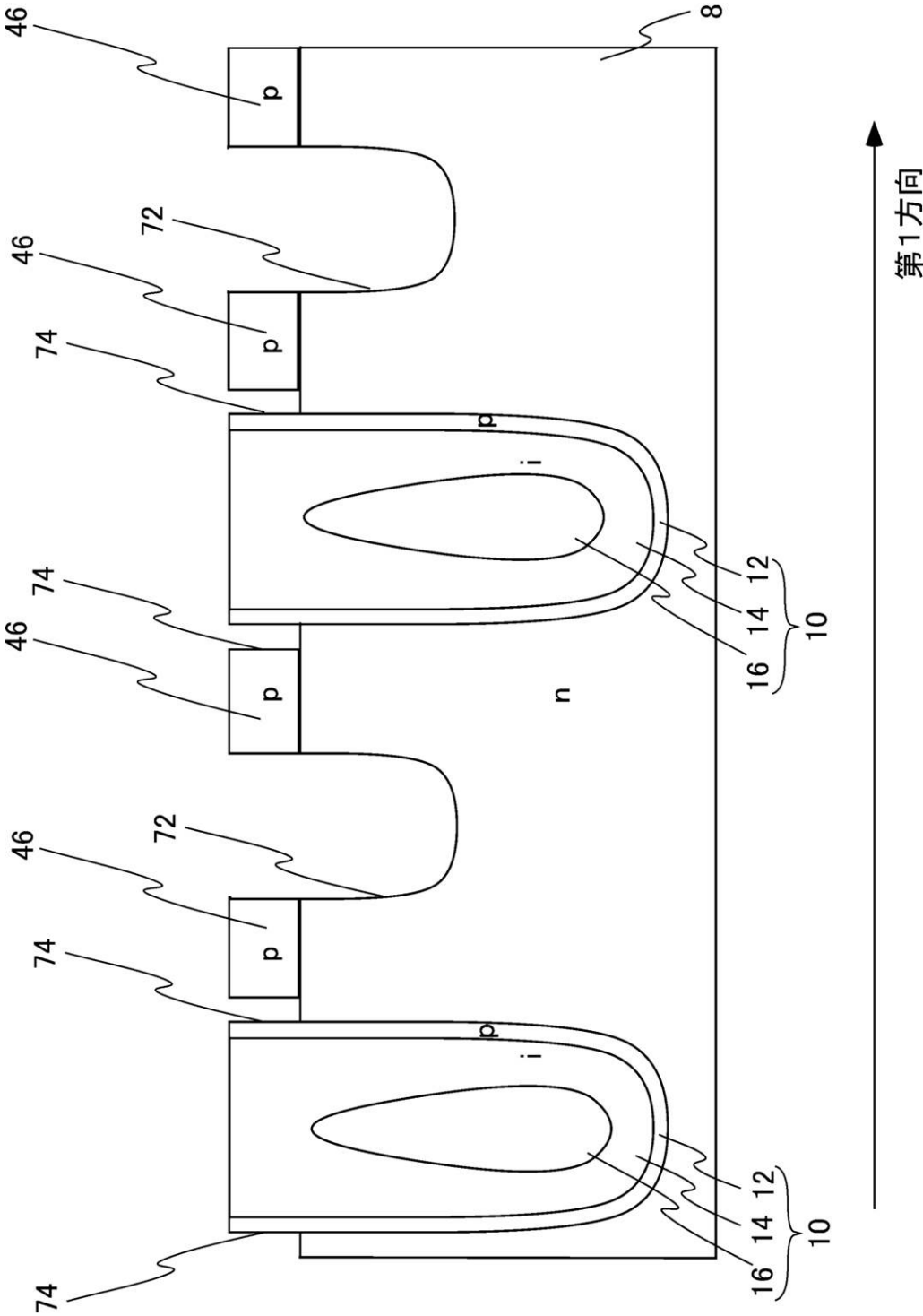
【図 9】



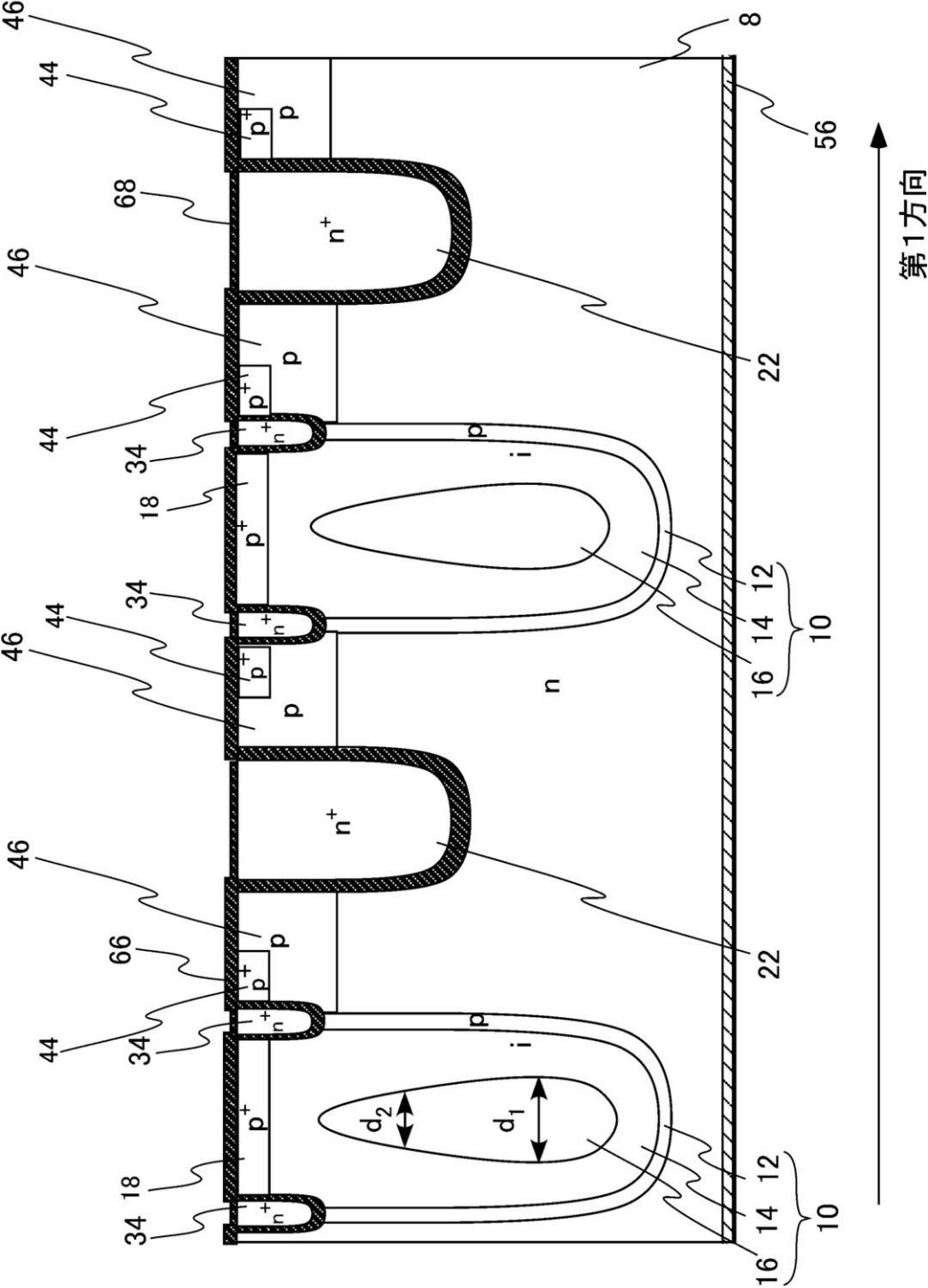
【図 10】



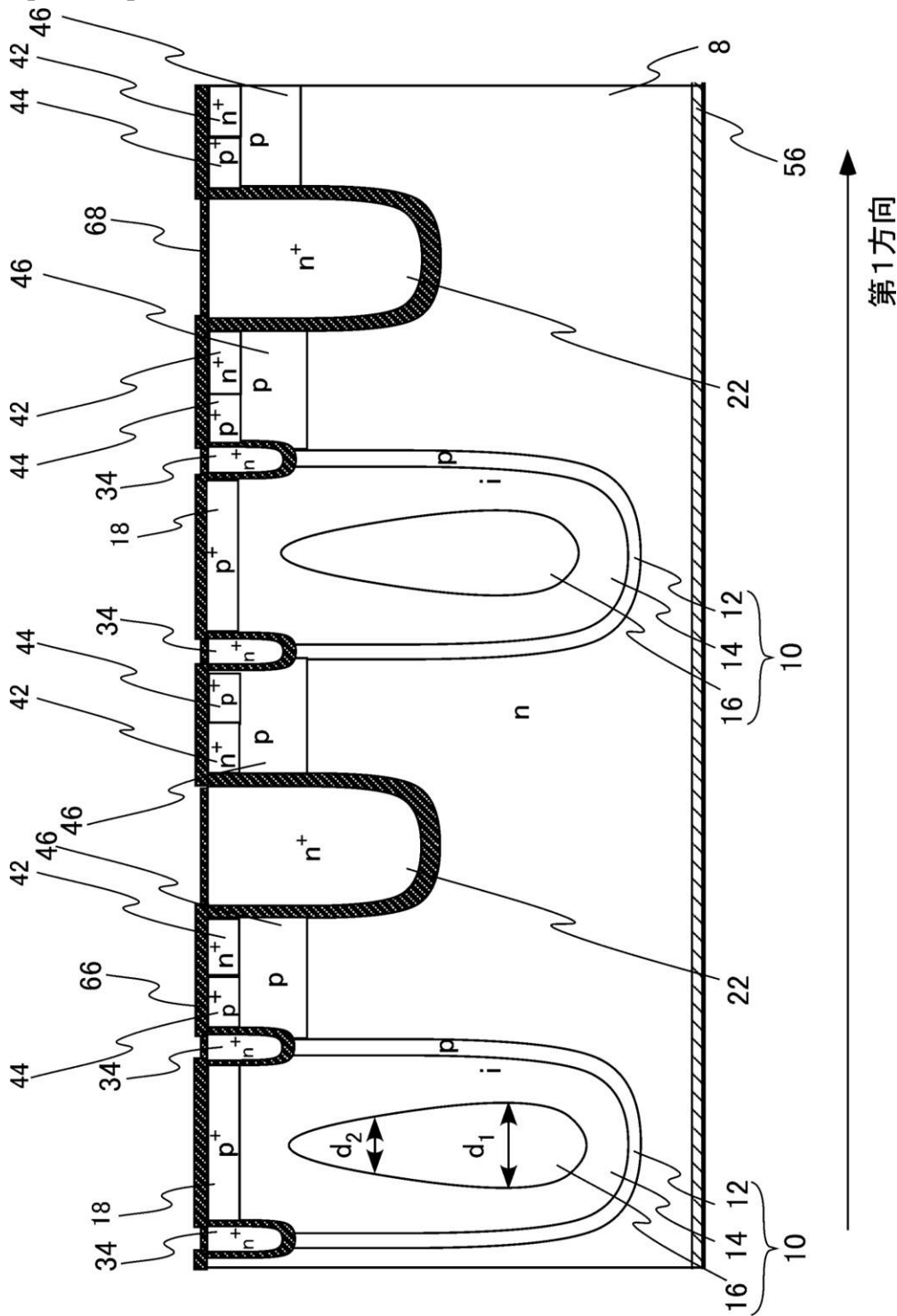
【図 1 1】



【図 1 4】



【図 15】



【図 1 6】

