

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

半導体層の表面と裏面に電極を設ける縦型デバイスでは、耐圧を向上させるために、素子領域の周囲にリサーフやガードリング等の終端構造が設けられる。終端構造を設けることにより、素子領域の端部での電界集中を緩和し、素子領域の端部でアバランシェ降伏が生じることを抑制する。

【0003】

縦型デバイスのアバランシェ耐量を向上させる観点から、素子領域の端部でアバランシェ降伏が生じないデバイス設計とすることが望ましい。素子領域の端部でアバランシェ降伏が生じると、素子領域内でアバランシェ降伏が生じる場合と比較して素子破壊が発生しやすくなる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2014-204038号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、アバランシェ耐量の向上を可能とする半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、第1の面と第2の面とを有するSiC層と、前記第1の面に接する第1の電極と、前記SiC層内に設けられた第1導電型の第1のSiC領域と、少なくとも一部が前記第1の電極と前記第1の面とが接する領域を囲んで前記SiC層内に設けられ、前記第1のSiC領域と前記第1の面との間に設けられた第2導電型の第2のSiC領域と、前記第2のSiC領域を囲んで前記SiC層内に設けられ、前記第1のSiC領域と前記第1の面との間に設けられ、前記第2のSiC領域よりも第2導電型の不純物濃度の低い第2導電型の第3のSiC領域と、前記第2のSiC領域と前記第3のSiC領域との間の前記SiC層内に設けられ、前記第2のSiC領域よりも第2導電型の不純物濃度の高い第2導電型の第4のSiC領域と、を備える。

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置の模式断面図。

【図2】第1の実施形態の半導体装置の模式平面図。

【図3】第2の実施形態の半導体装置の模式断面図。

【図4】第3の実施形態の半導体装置の模式断面図。

【図5】第4の実施形態の半導体装置の模式断面図。

【図6】第5の実施形態の半導体装置の模式平面図。

【図7】第6の実施形態の半導体装置の模式断面図。

【図8】第7の実施形態の半導体装置の模式断面図。

【図9】第8の実施形態の半導体装置の模式断面図。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又

は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0009】

また、以下の説明において、 n^+ 、 n 、 n^- 及び、 p^{++} 、 p^+ 、 p 、 p^- の表記は、各導電型における不純物濃度の相対的な高低を表す。すなわち n^+ は n よりも n 型の不純物濃度が相対的に高く、 n^- は n よりも n 型の不純物濃度が相対的に低いことを示す。また、 p^{++} は p^+ よりも p 型の不純物濃度が相対的に高く、 p^+ は p よりも p 型の不純物濃度が相対的に高く、 p^- は p よりも p 型の不純物濃度が相対的に低いことを示す。なお、 n^+ 型、 n^- 型を単に n 型、 p^{++} 型、 p^+ 型、 p^- 型を単に p 型と記載する場合もある。

【0010】

(第1の実施形態)

本実施形態の半導体装置は、第1の面と第2の面とを有するSiC層と、第1の面に接する第1の電極と、SiC層内に設けられた第1導電型の第1のSiC領域と、少なくとも一部が第1の電極と第1の面とが接する領域を囲んでSiC層内に設けられ、第1のSiC領域と第1の面との間に設けられた第2導電型の第2のSiC領域と、第2のSiC領域を囲んでSiC層内に設けられ、第1のSiC領域と第1の面との間に設けられ、第2のSiC領域よりも第2導電型の不純物濃度の低い第2導電型の第3のSiC領域と、第2のSiC領域と第3のSiC領域との間のSiC層内に設けられ、第2のSiC領域よりも第2導電型の不純物濃度の高い第2導電型の第4のSiC領域と、を備える。

【0011】

図1は、本実施形態の半導体装置の模式断面図である。図2は、本実施形態の半導体装置の模式平面図である。図2は、SiC層上の不純物領域のパターンを示す。図1は、図2のAA'断面を示す。本実施形態の半導体装置はショットキーバリアダイオード(SBD)100である。

【0012】

SBD100は、素子領域と、素子領域を囲む終端領域とを備える。素子領域は、SBD100の順方向バイアス時に主に電流が流れる領域として機能する。終端領域は、SBD100の逆方向バイアス時に、素子領域の端部に印加される電界の強度を緩和し、素子領域の端部の耐圧を向上させ、SBD100のアバランシェ耐量を向上させる終端構造を備える。

【0013】

SBD100は、SiC層10、アノード電極(第1の電極)12、カソード電極(第2の電極)14、フィールド酸化膜16を備える。SiC層10内には、 n^+ 型のカソード領域18、 n^- 型のドリフト領域(第1のSiC領域)20、 p^+ 型のエッジ領域(第2のSiC領域)22、 p 型の第1のリサーフ領域(第3のSiC領域)24、 p^- 型の第2のリサーフ領域(第5のSiC領域)26、 p^{++} 型のコンタクト領域28、 p^{++} 型の第1の高濃度領域(第4のSiC領域)30が設けられる。

【0014】

SiC層10は、第1の面と、第1の面に対向する第2の面を備えている。図1において、第1の面とは図の上側の面であり、第2の面とは図の下側の面である。以下、第1の面を表面、第2の面を裏面とも称する。

【0015】

SiC層10は、例えば、4H-SiC構造の単結晶SiC(炭化珪素)である。SiC層10の膜厚は、例えば、 $5\mu\text{m}$ 以上 $600\mu\text{m}$ 以下である。

【0016】

n^+ 型のカソード領域18は、SiC層10の第2の面に設けられる。カソード領域18は、 n 型不純物を含む。n型不純物は、例えば、窒素(N)である。n型不純物の不純物濃度は、例えば、 $1\times 10^{18}\text{cm}^{-3}$ 以上 $1\times 10^{20}\text{cm}^{-3}$ 以下である。

【0017】

n⁻型のドリフト領域（第1のSiC領域）20は、カソード領域18上に設けられる。ドリフト領域20の一部は、素子領域の表面に設けられる。ドリフト領域20は、n型不純物を含有する。n型不純物は、例えば、窒素（N）である。n型不純物の不純物濃度は、例えば、 $5 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下である。

【0018】

p⁺型のエッジ領域（第2のSiC領域）22は、少なくとも一部が、アノード電極12とSiC層10の表面とが接する領域40（図2中で点線で囲まれる領域）を囲んで設けられる。エッジ領域22は、ドリフト領域20とSiC層10の表面との間に設けられる。エッジ領域22は、素子領域を囲んで設けられる。

【0019】

エッジ領域22は、p型不純物を含有する。p型不純物は、例えば、アルミニウム（Al）である。p型不純物の不純物濃度は、例えば、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。

【0020】

p型の第1のリサーフ領域（第3のSiC領域）24は、エッジ領域22を囲んで設けられる。第1のリサーフ領域24は、ドリフト領域20とSiC層10の表面との間に設けられる。エッジ領域22と第1のリサーフ領域24は接している。

【0021】

第1のリサーフ領域24は、p型不純物を含有する。p型不純物は、例えば、アルミニウム（Al）である。第1のリサーフ領域24のp型不純物の不純物濃度は、エッジ領域22のp型不純物の不純物濃度よりも低い。p型不純物の不純物濃度は、例えば、 $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0022】

p⁻型の第2のリサーフ領域（第5のSiC領域）26は、第1のリサーフ領域24を囲んで設けられる。第2のリサーフ領域26は、ドリフト領域20とSiC層10の表面との間に設けられる。第1のリサーフ領域24と第2のリサーフ領域26は接している。

【0023】

第2のリサーフ領域26は、p型不純物を含有する。p型不純物は、例えば、アルミニウム（Al）である。第2のリサーフ領域26のp型不純物の不純物濃度は、第1のリサーフ領域24のp型不純物の不純物濃度よりも低い。p型不純物の不純物濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0024】

p⁺⁺型のコンタクト領域28は、エッジ領域22内に設けられる。p⁺⁺型のコンタクト領域28は、エッジ領域22とSiC層10の表面との間に設けられる。p⁺⁺型のコンタクト領域28は、SiC層10の表面に接して設けられる。

【0025】

p⁺⁺型のコンタクト領域28は、p型不純物を含有する。p型不純物は、例えば、アルミニウム（Al）である。p⁺⁺型のコンタクト領域28のp型不純物の不純物濃度は、エッジ領域22のp型不純物の不純物濃度よりも高い。p型不純物の不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0026】

p⁺⁺型の第1の高濃度領域（第4のSiC領域）30は、エッジ領域22と第1のリサーフ領域24との間に設けられる。第1の高濃度領域30は、エッジ領域22と第1のリサーフ領域24の境界部に設けられる。第1の高濃度領域30は、エッジ領域22を囲む環状のパターンである。第1の高濃度領域30は、エッジ領域22及び第1のリサーフ領域24に接する。

【0027】

第1の高濃度領域30は、p型不純物を含有する。p型不純物は、例えば、アルミニウム（Al）である。第1の高濃度領域30のp型不純物の不純物濃度は、エッジ領域22及び第2のリサーフ領域24のp型不純物の不純物濃度よりも高い。

【0028】

第1の高濃度領域30のSiC層10の表面を基準とする深さは、エッジ領域22及び第1のリサーフ領域24のSiC層10の表面を基準とする深さよりも浅い。第1の高濃度領域30の深さは、例えば、 $0.05\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下である。エッジ領域22及び第1のリサーフ領域24の深さは、例えば、 $0.1\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下である。

【0029】

なお、SiC層10中の不純物濃度は、例えば、SIMS (Secondary Ion Mass Spectrometry) により測定することが可能である。また、不純物濃度の相対的な高低は、例えば、SCM (Scanning Capacitance Microscopy) で求められるキャリア濃度の高低から判断することも可能である。また、不純物領域の深さは、例えば、SIMSで求めることが可能である。また、不純物領域の深さは、例えば、SCM像とAFM (Atomic Force Microscopy) 像との合成画像から求めることが可能である。

【0030】

フィールド酸化膜16は、SiC層10の表面上に設けられる。フィールド酸化膜16は、エッジ領域22、第1のリサーフ領域24、第2のリサーフ領域26、及び、第1の高濃度領域30上に設けられる。

【0031】

フィールド酸化膜16は、素子領域に開口部を備える。フィールド酸化膜16は、例えば、シリコン酸化膜である。フィールド酸化膜16の膜厚は、例えば、 $0.01\mu\text{m}$ 以上 $10\mu\text{m}$ 以下である。

【0032】

アノード電極(第1の電極)12は、フィールド酸化膜16の開口部で、ドリフト領域20、エッジ領域22、及び、コンタクト領域28に接する。アノード電極12とドリフト領域20とのコンタクトは、ショットキーコンタクトである。アノード電極12とコンタクト領域28とのコンタクトは、オーミックコンタクトであることが望ましい。

【0033】

アノード電極12は金属である。アノード電極12は、例えば、チタン(Ti)とアルミニウム(Al)の積層膜である。

【0034】

カソード電極14は、SiC層10の裏面に接して設けられる。カソード電極14は、カソード領域18に接して設けられる。カソード電極14とカソード領域18とのコンタクトは、オーミックコンタクトであることが望ましい。

【0035】

カソード電極18は金属を含む。カソード電極18は、例えば、ニッケルシリサイドと金属との積層膜から構成される。

【0036】

次に、本実施形態のSBD100の作用及び効果について説明する。

【0037】

縦型のSBDでは逆バイアスが印加された際、素子領域の端部に電界が集中することで素子領域の端部でアバランシェ降伏が生じると、素子破壊が生じやすくアバランシェ耐量が低下する。素子領域の端部の電界の集中を緩和するため、例えば、素子領域の周囲の終端領域にp型のリサーフ領域を設ける。p型のリサーフ領域が空乏化することにより、素子領域の端部に印加される電界強度が緩和され、素子領域の端部でアバランシェ降伏が生じにくくなり、SBDのアバランシェ耐量が向上する。

【0038】

しかし、p型のリサーフ領域を設けることで、終端領域でのp型領域が、例えば、p+型のエッジ領域とp型のリサーフ領域との多段構造となる。そして、p型不純物の不純物濃度が変化する箇所、電界が集中し電界強度が高くなる。したがって、この箇所でのアバランシェ降伏が生じ、十分なアバランシェ耐量が得られない恐れがある。

【0039】

p型領域の濃度の多段構造を、ドーズ量を変えたイオン注入とアニールにより形成する場合、特に、SiCでは、p型不純物の不純物濃度の変化が急峻になる。これは、SiC中の不純物拡散が、例えば、シリコン(Si)中と比較して格段に遅いためである。アルミニウム(Al)をp型不純物として用いる場合、SiC中の拡散係数が極めて小さいため、p型不純物の不純物濃度の変化が特に急峻になる。

【0040】

不純物濃度の変化が急峻になると電界強度が高くなる。SBDのアバランシェ耐量を、更に向上させるために、p型不純物の不純物濃度が変化する箇所での電界強度を緩和させることが望まれる。

【0041】

本実施形態のSBD100では、p型不純物の不純物濃度が変化するエッジ領域22と第1のリサーフ領域24の境界部に、エッジ領域22及び第1のリサーフ領域24よりもp型不純物の不純物濃度の高い第1の高濃度領域30を設ける。

【0042】

第1の高濃度領域30を設けることにより、SBD100に逆バイアスが印加された際に、エッジ領域22と第1のリサーフ領域24との間にリーク電流が流れる。リーク電流が流れることによる電圧降下により、エッジ領域22と第1のリサーフ領域24との境界部の電界強度が低下する。したがって、エッジ領域22と第1のリサーフ領域24との境界部でのアバランシェ降伏が生じにくくなる。よって、SBD100のアバランシェ耐量が向上する。リーク電流は、第1の高濃度領域30の高いp型不純物の不純物濃度と、第1の高濃度領域30の形成時に発生する結晶欠陥とに起因する。

【0043】

第1の高濃度領域30のSiC層10の深さは、エッジ領域22及び第1のリサーフ領域24の深さよりも浅いことが望ましい。第1の高濃度領域30の深さが深いと、第1の高濃度領域30とドリフト領域20が接し、SBD100の逆バイアス時のリーク電流が増大する恐れがある。

【0044】

また、第1の高濃度領域30のp型不純物の不純物濃度は、エッジ領域22と第1のリサーフ領域24の境界部の電界強度を緩和させる観点から、エッジ領域22のp型不純物の不純物濃度より、一桁以上高いことが望ましい。また、第1の高濃度領域30のp型不純物の不純物濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることが望ましい。

【0045】

以上、本実施形態のSBD100によれば、終端領域内での電界強度を緩和することにより、アバランシェ耐量の向上が実現される。

【0046】

(第2の実施形態)

本実施形態の半導体装置は、p++型の第1の高濃度領域(第4のSiC領域)30がp++型のコンタクト領域を兼ねる点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については一部記述を省略する。

【0047】

図3は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置はSBD200である。

【0048】

SBD200では、p++型の第1の高濃度領域(第4のSiC領域)30にアノード電極12が接する。第1の高濃度領域30が、アノード電極12のコンタクト抵抗を低減させるためのコンタクト領域を兼ねる。

【0049】

本実施形態のSBD200によれば、第1の実施形態と同様の作用により、終端領域内での電界強度が緩和され、アバランシェ耐量の向上が実現される。

【0050】

(第3の実施形態)

本実施形態の半導体装置は、第4のSiC領域の第1の面を基準とする深さが、第2のSiC領域及び第3のSiC領域の第1の面を基準とする深さ以上である点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については一部記述を省略する。

【0051】

図4は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置はSBD300である。

【0052】

SBD300では、第1の高濃度領域30のSiC層10の表面を基準とする深さが、エッジ領域22及び第1のリサーフ領域24のSiC層10の表面を基準とする深さと同じ、又は、深い。

【0053】

本実施形態のSBD300によれば、第1の実施形態と同様の作用により、終端領域内での電界強度が緩和され、アバランシェ耐量の向上が実現される。

【0054】

(第4の実施形態)

本実施形態の半導体装置は、第3のSiC領域と第5のSiC領域との間に、第2の高濃度領域が設けられる点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については一部記述を省略する。

【0055】

図5は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置はSBD400である。

【0056】

SBD400は、p⁺型の第2の高濃度領域32を備える。p⁺型の第2の高濃度領域32は、第1のリサーフ領域24と第2のリサーフ領域26との間に設けられる。第2の高濃度領域32は、第1のリサーフ領域24と第2のリサーフ領域26の境界部に設けられる。第2の高濃度領域32は、第1のリサーフ領域24を囲む環状パターンである。

【0057】

第2の高濃度領域32は、p型不純物を含有する。p型不純物は、例えば、アルミニウム(A1)である。第2の高濃度領域32のp型不純物の不純物濃度は、第1のリサーフ領域24及び第2のリサーフ領域26のp型不純物の不純物濃度よりも高い。

【0058】

第2の高濃度領域32のSiC層10の表面を基準とする深さは、第1のリサーフ領域24及び第2のリサーフ領域26のSiC層10の表面を基準とする深さよりも浅い。第2の高濃度領域32の深さは、例えば、0.05 μ m以上1.0 μ m以下である。第1のリサーフ領域24及び第2のリサーフ領域26の深さは、例えば、0.1 μ m以上1.0 μ m以下である。

【0059】

第2の高濃度領域32を設けることにより、第1のリサーフ領域24と第2のリサーフ領域26との境界部の電界強度が低下する。したがって、第1のリサーフ領域24と第2のリサーフ領域26との境界部でのアバランシェ降伏が生じにくくなる。よって、SBD400のアバランシェ耐量が向上する。

【0060】

本実施形態のSBD400によれば、第1の実施形態と同様の作用により、終端領域内での電界強度が緩和され、アバランシェ耐量の向上が実現される。

【0061】

(第5の実施形態)

本実施形態の半導体装置は、第4のSiC領域の第1の面における形状が、環状ではな

く、島状である点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については一部記述を省略する。

【0062】

図6は、本実施形態の半導体装置の模式平面図である。図6は、半導体層上の不純物領域のパターンを示す。本実施形態の半導体装置はSBD500である。

【0063】

SBD500では、図6に示すように、第1の高濃度領域30がSiC層10の表面で、エッジ領域22と第1のリサーフ領域24との間に設けられた島状のパターンを備える。

【0064】

本実施形態のSBD500によれば、第1の実施形態と同様の作用により、終端領域内での電界強度が緩和され、アバランシェ耐量の向上が実現される。

【0065】

(第6の実施形態)

本実施形態の半導体装置は、SiC層の第1の面と第1のSiC領域との間に、p型のアノード領域を備えるPINダイオードである点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については一部記述を省略する。

【0066】

図7は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置はPINダイオード600である。

【0067】

PINダイオード600は、p⁺型のアノード領域34を備える。アノード電極12と、アノード領域34は電氣的に接続される。アノード領域34は、エッジ領域22と接続される。

【0068】

アノード領域34は、p型不純物を含有する。p型不純物は、例えば、アルミニウム(A1)である。p型不純物の不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。

【0069】

アノード電極12とアノード領域34との間に、p⁺⁺型のコンタクト領域28が設けられる。アノード電極12は、p⁺⁺型のコンタクト領域28に接する。

【0070】

終端領域の構造は、第1の実施形態と同様である。

【0071】

本実施形態のPINダイオード600によれば、第1の実施形態と同様の作用により、終端領域内での電界強度が緩和され、アバランシェ耐量の向上が実現される。

【0072】

(第7の実施形態)

本実施形態の半導体装置は、MOSFETである点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については一部記述を省略する。

【0073】

図8は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置はMOSFET (Metal Semiconductor Field Effect Transistor) 700である。

【0074】

MOSFET 700は、素子領域が、SiC層10の表面に設けられたp型のボディ領域42、n⁺型のソース領域44、ゲート絶縁膜46、ゲート電極48、層間膜50、n⁺型のドレイン領域19、ソース電極(第1の電極)13、ドレイン電極(第2の電極)15を備える。

【0075】

ソース電極（第1の電極）13と、ボディ領域42及びソース領域44は、電氣的に接続される。ソース電極（第1の電極）13は、ソース領域44に接する。ゲート電極48と、ソース電極13は、層間膜50で絶縁される。

【0076】

終端領域の構造は、第1の実施形態と同様である。

【0077】

本実施形態のMOSFET700によれば、第1の実施形態と同様の作用により、終端領域内での電界強度が緩和され、アバランシェ耐量の向上が実現される。

【0078】

（第8の実施形態）

本実施形態の半導体装置は、第1の面と第2の面とを有するSiC層と、第1の面に接する第1の電極と、SiC層内に設けられた第1導電型の第1のSiC領域と、少なくとも一部が第1の電極と第1の面とが接する領域を囲んでSiC層内に設けられ、第1のSiC領域と第1の面との間に設けられた第2導電型の第2のSiC領域と、第2のSiC領域を囲んでSiC層内に設けられ、第1のSiC領域と第1の面との間に設けられ、第2のSiC領域よりも第2導電型の不純物濃度の低い第2導電型の第3のSiC領域と、第2のSiC領域と第3のSiC領域との間のSiC層内に設けられ、第2のSiC領域及び第3のSiC領域よりも結晶欠陥密度の高い第4のSiC領域と、を備える。本実施形態の半導体装置は、第4のSiC領域が結晶欠陥密度の高い領域である点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については一部記述を省略する。

【0079】

図9は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置はSBD800である。

【0080】

SBD800は、素子領域と、素子領域を囲む終端領域とを備える。素子領域は、SBD800の順方向バイアス時に主に電流が流れる領域として機能する。終端領域は、SBD800の逆方向バイアス時に、素子領域の端部に印加される電界の強度を緩和し、SBD800の素子耐圧を向上させる終端構造を備える。

【0081】

SBD800は、SiC層10、アノード電極12、カソード電極14、フィールド酸化膜16を備える。SiC層10内には、n⁺型のカソード領域18、n⁻型のドリフト領域（第1のSiC領域）20、p⁺型のエッジ領域（第2のSiC領域）22、p型の第1のリサーフ領域（第3のSiC領域）24、p⁻型の第2のリサーフ領域（第5のSiC領域）26、p⁺⁺型のコンタクト領域28、高欠陥密度領域（第4のSiC領域）60が設けられる。

【0082】

SiC層10は、第1の面と、第1の面に対向する第2の面を備えている。図9においては、第1の面とは図の上側の面であり、第2の面とは図の下側の面である。以下、第1の面を表面、第2の面を裏面とも称する。

【0083】

高欠陥密度領域（第4のSiC領域）60は、エッジ領域22と第1のリサーフ領域24との間に設けられる。高欠陥密度領域60は、エッジ領域22と第1のリサーフ領域24の境界部に設けられる。高欠陥密度領域60は、例えば、エッジ領域22を囲む環状のパターンである。

【0084】

高欠陥密度領域60は、エッジ領域22、及び、第1のリサーフ領域24よりも結晶欠陥密度が高い。高欠陥密度領域60は、例えば、アルゴン（Ar）のイオン注入により形成される。高欠陥密度領域60は、例えば、アルゴン（Ar）を含む。

【0085】

高欠陥密度領域60のSiC層10の表面を基準とする深さは、エッジ領域22及び第1のリサーフ領域24のSiC層10の表面を基準とする深さよりも浅い。高欠陥密度領域60の深さは、例えば、 $0.05\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下である。エッジ領域22及び第1のリサーフ領域24の深さは、例えば、 $0.1\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下である。

【0086】

高欠陥密度領域60の結晶欠陥密度と、エッジ領域22、及び、第1のリサーフ領域24の結晶欠陥密度は、例えば、TEM (Transmission Electron Microscope) により比較することが可能である。高欠陥密度領域60のアルゴン (Ar) の有無は、例えば、SIMSにより判定することが可能である。

【0087】

高欠陥密度領域60を設けることにより、SBD800に逆バイアスが印加された際に、エッジ領域22と第1のリサーフ領域24との間に結晶欠陥起因のリーク電流が流れる。リーク電流が流れることによる電圧降下により、エッジ領域22と第1のリサーフ領域24との境界部の電界強度が低下する。したがって、エッジ領域22と第1のリサーフ領域24との境界部でのアバランシェ降伏が生じにくくなる。よって、SBD800の耐圧が向上する。

【0088】

高欠陥密度領域60のSiC層10の深さは、エッジ領域22及び第1のリサーフ領域24の深さよりも浅いことが望ましい。高欠陥密度領域60の深さが深いと、高欠陥密度領域60とドリフト領域20が接し、SBD800の逆バイアス時のリーク電流が増大する恐れがある。

【0089】

以上、本実施形態のSBD800によれば、終端領域内での電界強度を緩和することにより、アバランシェ耐量の向上が実現される。

【0090】

第1乃至第8の実施形態では、SiCの結晶構造として4H-SiCの場合を例に説明したが、本発明は6H-SiC、3C-SiC等、その他の結晶構造のSiCを用いたデバイスに適用することも可能である。

【0091】

また、実施形態では、主に、SBD、PINダイオード、MOSFETを例に説明したが、素子領域の周囲に終端領域を備えるデバイスであれば、MISFET (Metal Insulator Semiconductor Field Effect Transistor)、IGBT (Insulated Gate Bipolar Transistor) 等、その他のデバイスにも本発明を適用することが可能である。

【0092】

また、実施形態では、第1導電型がn型、第2導電型がp型の場合を例に説明したが、第1導電型をp型、第2導電型をn型とすることも可能である。

【0093】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0094】

- 10 SiC層
- 12 アノード電極 (第1の電極)
- 13 ソース電極 (第1の電極)

1 4	カソード電極 (第 2 の電極)
1 5	ドレイン電極 (第 2 の電極)
2 0	n ー型のドリフト領域 (第 1 の S i C 領域)
2 2	p +型のエッジ領域 (第 2 の S i C 領域)
2 4	p 型の第 1 のリサーフ領域 (第 3 の S i C 領域)
2 6	p ー型の第 2 のリサーフ領域 (第 5 の S i C 領域)
3 0	p ++型の第 1 の高濃度領域 (第 4 の S i C 領域)
4 0	領域
6 0	高欠陥密度領域 (第 4 の S i C 領域)
1 0 0	S B D (半導体装置)
2 0 0	S B D (半導体装置)
3 0 0	S B D (半導体装置)
4 0 0	S B D (半導体装置)
5 0 0	S B D (半導体装置)
6 0 0	P I N ダイオード (半導体装置)
7 0 0	M O S F E T (半導体装置)
8 0 0	S B D (半導体装置)

【書類名】 特許請求の範囲

【請求項 1】

第1の面と第2の面とを有するS i C層と、
前記第1の面に接する第1の電極と、
前記S i C層内に設けられた第1導電型の第1のS i C領域と、
少なくとも一部が前記第1の電極と前記第1の面とが接する領域を囲んで前記S i C層内に設けられ、前記第1のS i C領域と前記第1の面との間に設けられた第2導電型の第2のS i C領域と、

前記第2のS i C領域を囲んで前記S i C層内に設けられ、前記第1のS i C領域と前記第1の面との間に設けられ、前記第2のS i C領域よりも第2導電型の不純物濃度の低い第2導電型の第3のS i C領域と、

前記第2のS i C領域と前記第3のS i C領域との間の前記S i C層内に設けられ、前記第2のS i C領域よりも第2導電型の不純物濃度の高い第2導電型の第4のS i C領域と、
を備える半導体装置。

【請求項 2】

前記第2の面に設けられた第2の電極を、更に備える請求項1記載の半導体装置。

【請求項 3】

前記第1の電極が前記第2のS i C領域に電氣的に接続される請求項1又は請求項2記載の半導体装置。

【請求項 4】

前記第4のS i C領域が前記第2のS i C領域を囲む請求項1乃至請求項3いずれか一項記載の半導体装置。

【請求項 5】

前記第4のS i C領域の前記第1の面を基準とする深さが、前記第2のS i C領域及び前記第3のS i C領域の前記第1の面を基準とする深さよりも浅い請求項1乃至請求項4いずれか一項記載の半導体装置。

【請求項 6】

前記第2のS i C領域と前記第3のS i C領域とが接する請求項1乃至請求項5いずれか一項記載の半導体装置。

【請求項 7】

前記第3のS i C領域を囲んで前記S i C層内に設けられ、前記第1のS i C領域と前記第1の面との間に設けられ、前記第3のS i C領域よりも第2導電型の不純物濃度の低い第2導電型の第5のS i C領域を、更に備える請求項1乃至請求項6いずれか一項記載の半導体装置。

【請求項 8】

前記第2のS i C領域、前記第3のS i C領域、及び、前記第4のS i C領域はアルミニウム(A1)を含む請求項1乃至請求項7いずれか一項記載の半導体装置。

【請求項 9】

第1の面と第2の面とを有するS i C層と、
前記第1の面に接する第1の電極と、
前記S i C層内に設けられた第1導電型の第1のS i C領域と、
少なくとも一部が前記第1の電極と前記第1の面とが接する領域を囲んで前記S i C層内に設けられ、前記第1のS i C領域と前記第1の面との間に設けられた第2導電型の第2のS i C領域と、

前記第2のS i C領域を囲んで前記S i C層内に設けられ、前記第1のS i C領域と前記第1の面との間に設けられ、前記第2のS i C領域よりも第2導電型の不純物濃度の低い第2導電型の第3のS i C領域と、

前記第2のS i C領域と前記第3のS i C領域との間の前記S i C層内に設けられ、前記第2のS i C領域及び前記第3のS i C領域よりも結晶欠陥密度の高い第4のS i C領

域と、

を備える半導体装置。

【請求項 1 0】

前記第 2 の面に設けられた第 2 の電極を、更に備える請求項 9 記載の半導体装置。

【請求項 1 1】

前記第 1 の電極が前記第 2 の S i C 領域に電氣的に接続される請求項 9 又は請求項 1 0 記載の半導体装置。

【請求項 1 2】

前記第 4 の S i C 領域が前記第 2 の S i C 領域を囲む請求項 9 乃至請求項 1 1 いずれか一項記載の半導体装置。

【請求項 1 3】

前記第 4 の S i C 領域はアルゴン (A r) を含む請求項 9 乃至請求項 1 2 いずれか一項記載の半導体装置。

【書類名】 要約書

【要約】

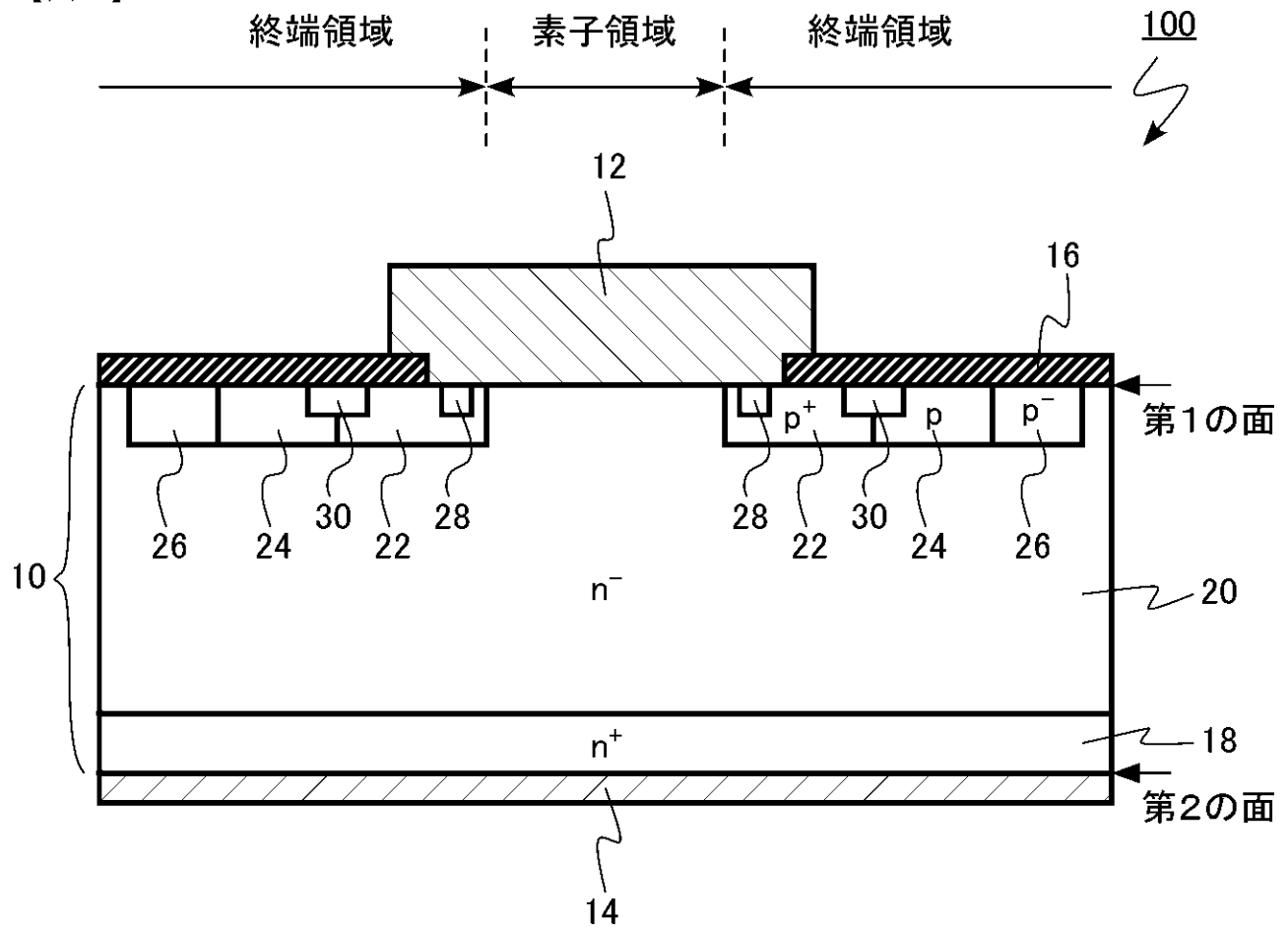
【課題】 アバランシェ耐量の向上を可能とする半導体装置を提供する。

【解決手段】 実施形態の半導体装置は、第1の面と第2の面とを有するS i C層と、第1の面に接する第1の電極と、S i C層内に設けられた第1導電型の第1のS i C領域と、少なくとも一部が第1の電極と第1の面とが接する領域を囲んで前i C層内に設けられ、第1のS i C領域と第1の面との間に設けられた第2導電型の第2のS i C領域と、第2のS i C領域を囲んでS i C層内に設けられ、第1のS i C領域と第1の面との間に設けられ、第3のS i C領域よりも第2導電型の不純物濃度の低い第2導電型の第3のS i C領域と、第2のS i C領域と第3のS i C領域との間のS i C層内に設けられ、第2のS i C領域よりも第2導電型の不純物濃度の高い第2導電型の第4のS i C領域と、を備える。

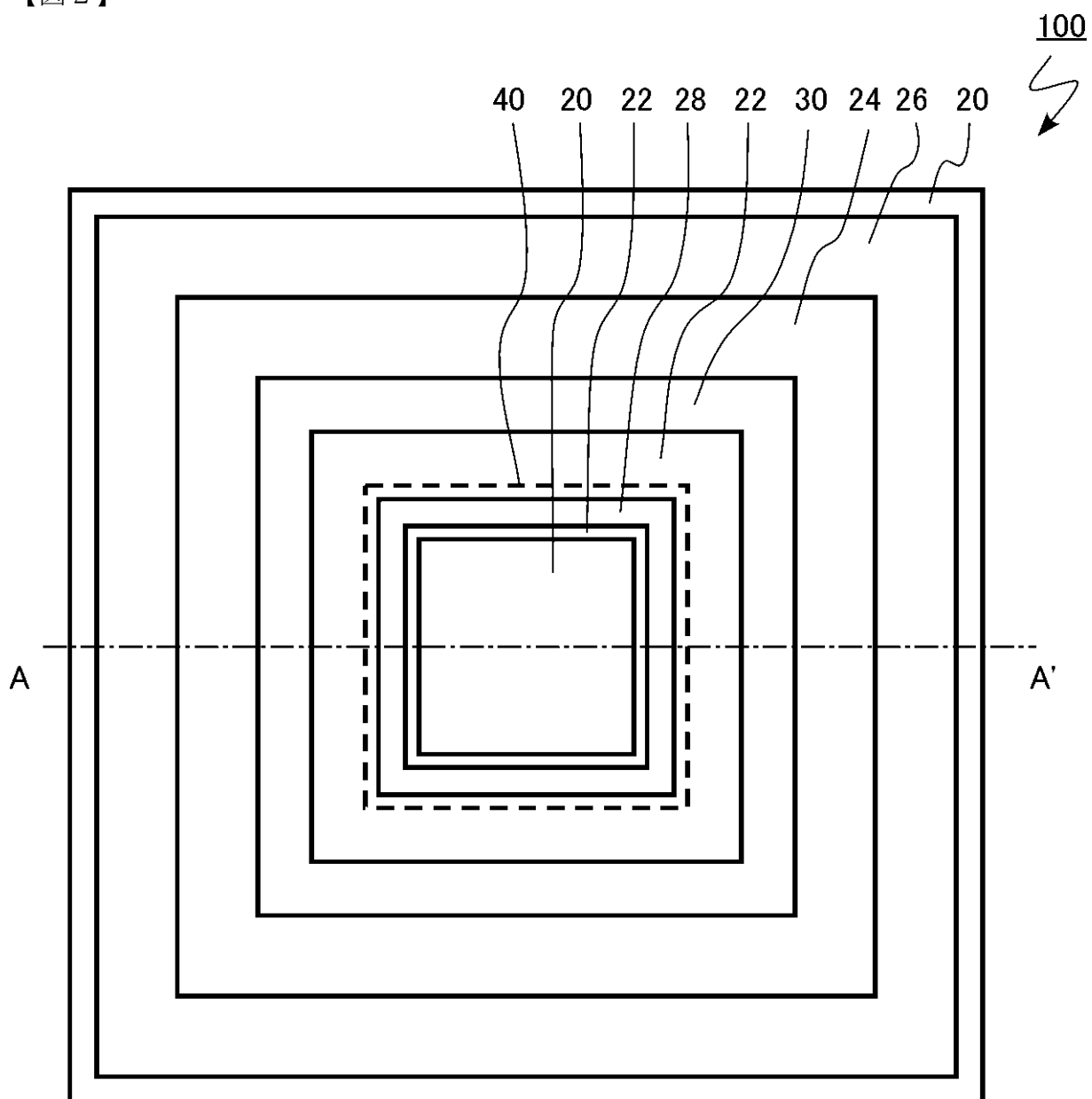
【選択図】 図1

【書類名】図面

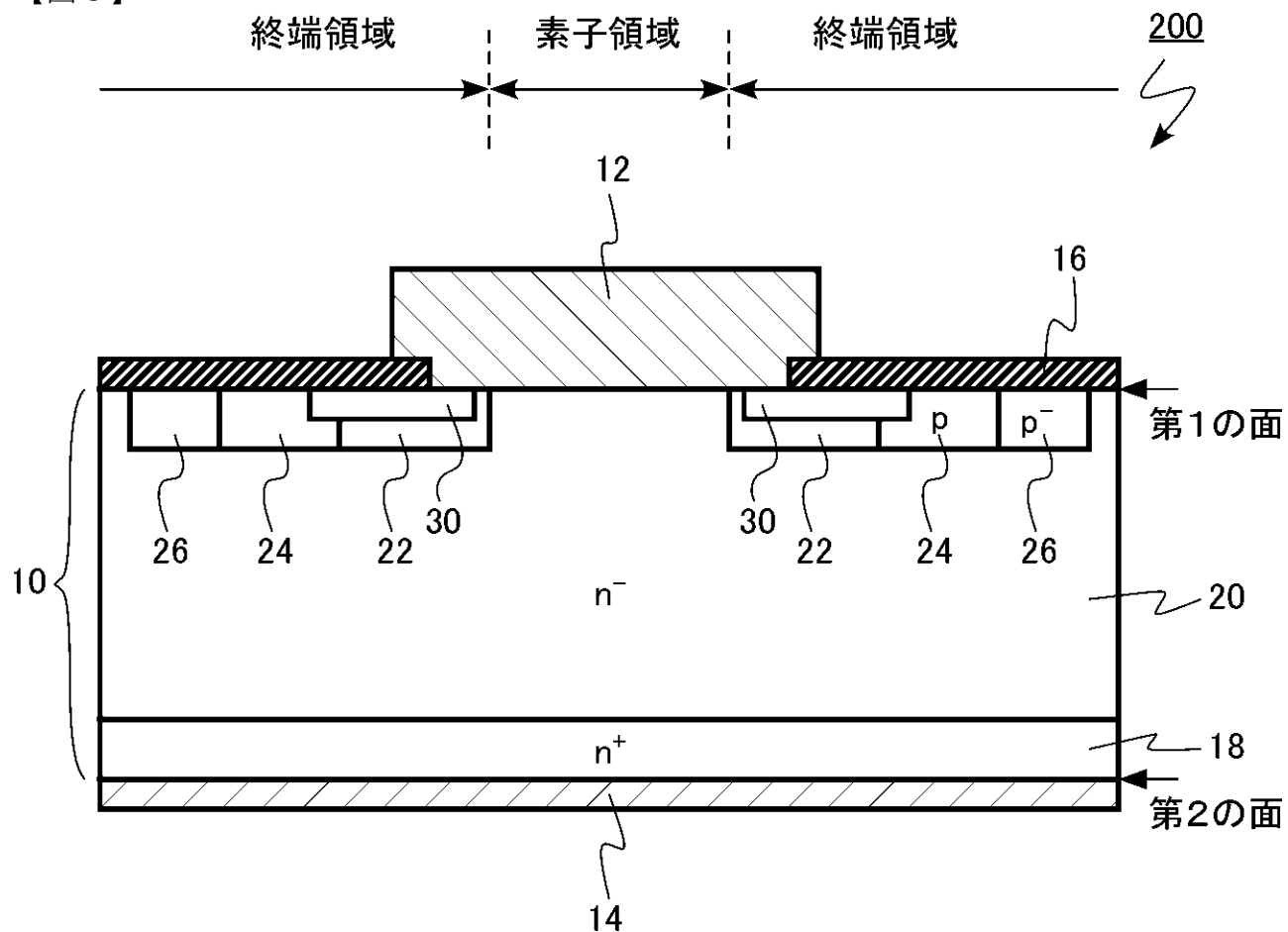
【図1】



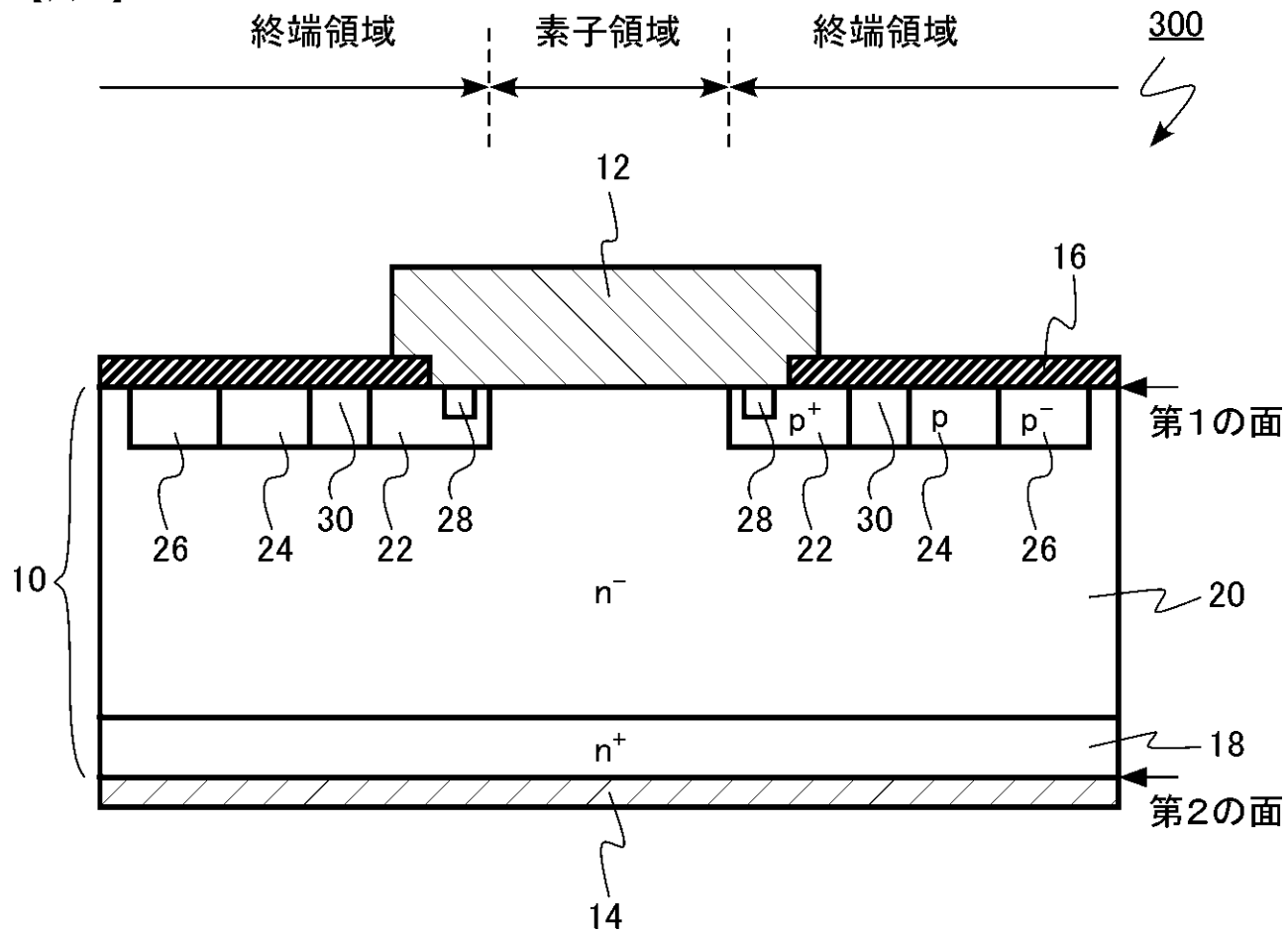
【図 2】



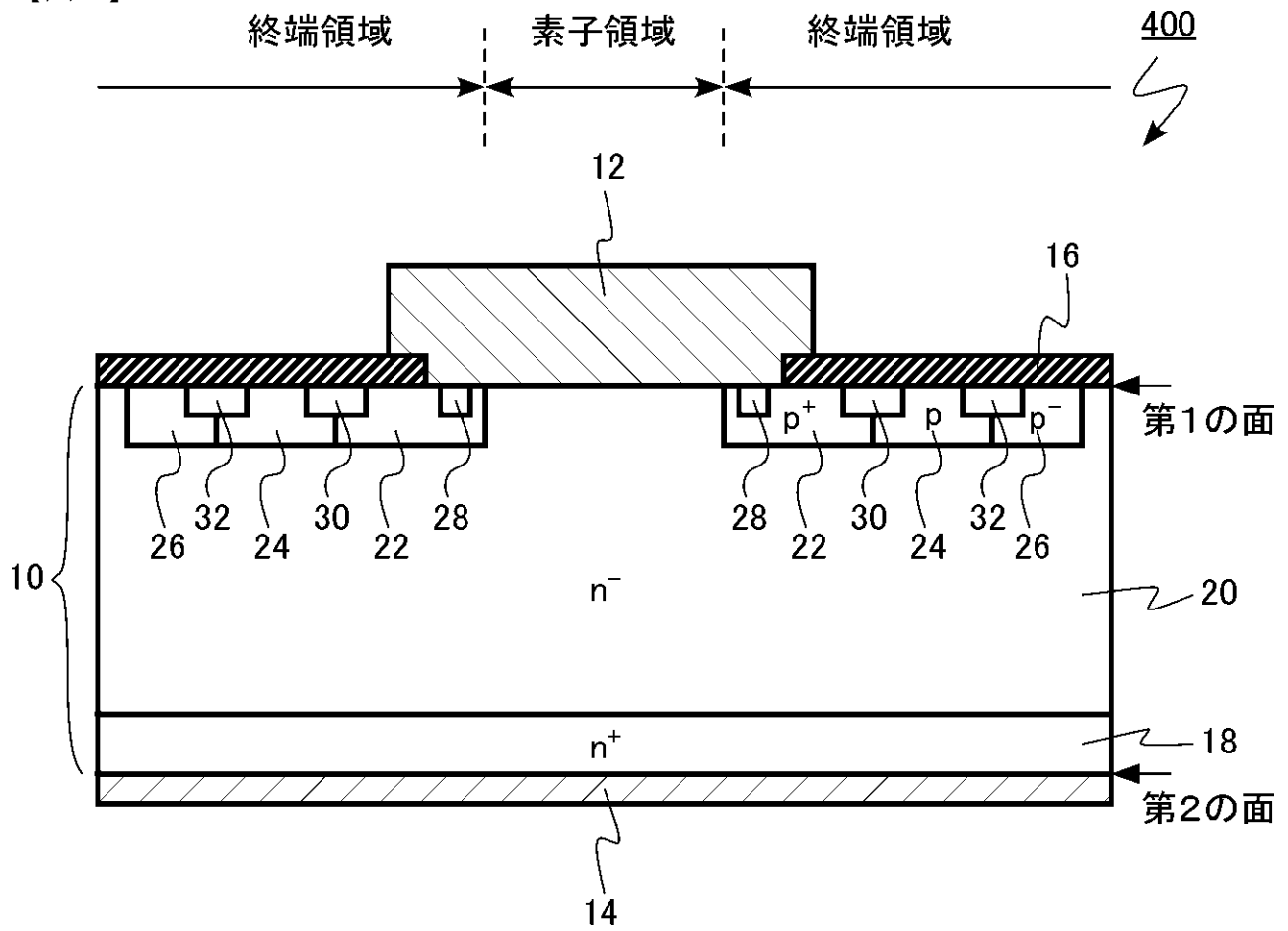
【図3】



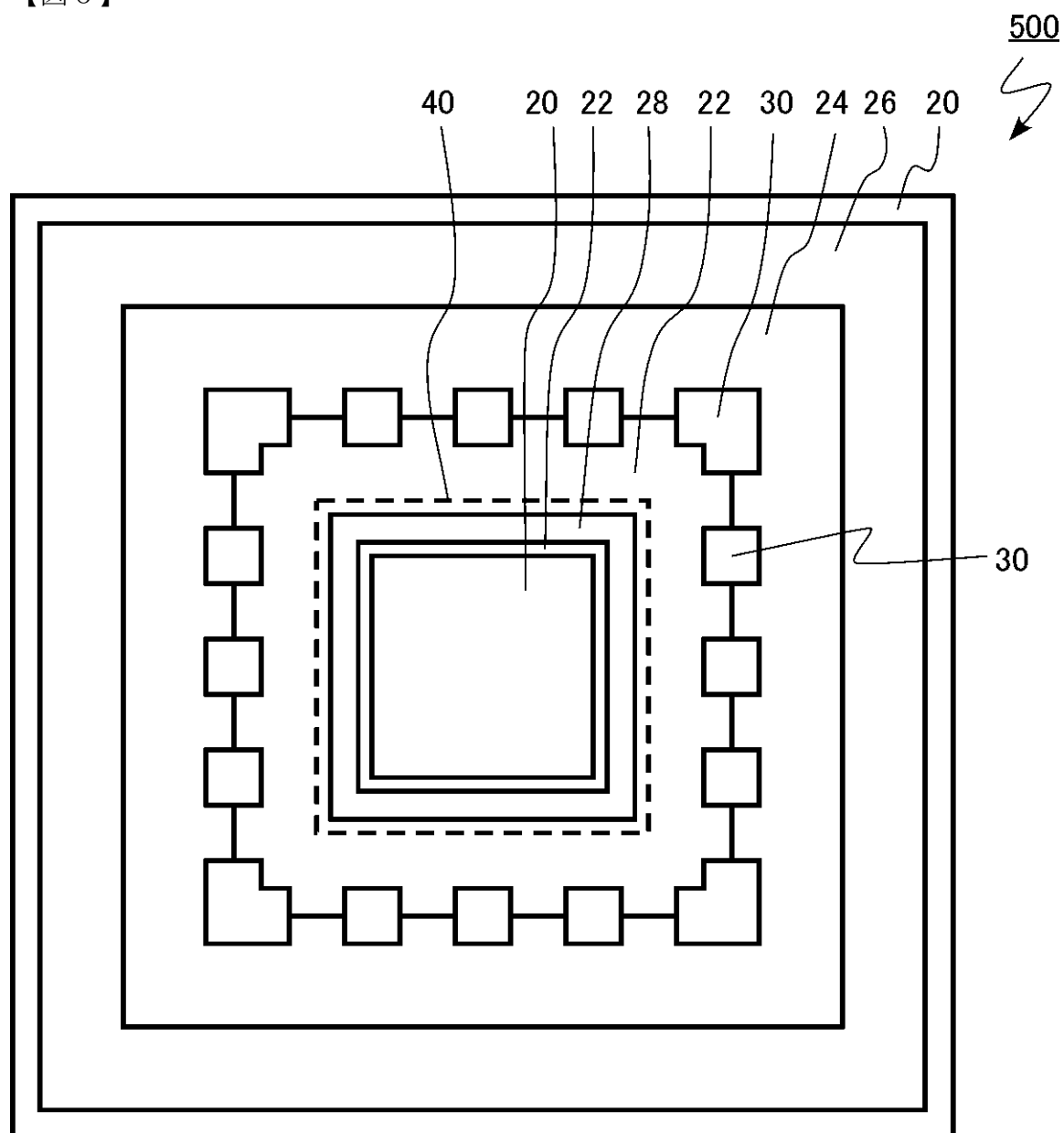
【図4】



【図5】



【図6】



【図9】

