

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

次世代の半導体デバイス用の材料としてS i C（炭化珪素）が期待されている。S i CはS i（シリコン）と比較してバンドギャップの大きさが約3倍、破壊電界強度が約10倍、熱伝導率が約3倍という特徴を有する。そのため、S i Cを用いることにより低損失かつ高温動作が可能な半導体デバイスを実現することが出来る。

【0003】

S i Cを用いた半導体デバイスでは、電極の膜はがれが起こり、信頼性が問題となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第3871607号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、電極の膜はがれによる信頼性低下が抑制された半導体装置を提供することである。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、第1の面と、第1の面の反対側に設けられた第2の面と、を有する炭化珪素層と、第1の面上に設けられた第1の絶縁膜と、第1の絶縁膜上に設けられた第1の電極と、炭化珪素層内に設けられ、一部が第1の面に設けられた第1導電型の第1の炭化珪素領域と、第1の炭化珪素領域内に設けられ、一部が第1の面に設けられた第2導電型の第2の炭化珪素領域と、第2の炭化珪素領域内に設けられ、一部が第1の面に設けられた第1導電型の第3の炭化珪素領域と、第2の面に設けられ、金属とシリコンと炭素を含む第2の電極と、第3の炭化珪素領域と接して設けられ、金属とシリコンと炭素を含み、炭素濃度が第2の電極より高い第3の電極と、を備える。

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置の模式断面図である。

【図2】第1の実施形態の半導体装置の製造方法のフローチャートである。

【図3】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図4】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図5】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図6】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図7】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図8】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図9】第1の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図10】第1の実施形態の作用効果を示す図である。

【図11】第2の実施形態の半導体装置の模式断面図である。

【図12】第2の実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【図13】第3の実施形態の半導体装置の模式断面図である。

【図14】第4の実施形態の半導体装置の模式断面図である。

【発明を実施するための形態】

【0008】

以下、本発明の実施形態について図面を参照しつつ説明する。

【0009】

本明細書中、同一又は類似する部材については、同一の符号を付し、重複する説明を省略することがある。

【0010】

以下、第1導電型がn型、第2導電型がp型である場合を例に説明する。また、本明細書中、 n^+ 、 n 、 n^- 及び、 p^+ 、 p 、 p^- の表記は、各導電型における不純物濃度の相対的な高低を表す。すなわち n^+ は n よりも n 型の不純物濃度が相対的に高く、 n^- は n よりも n 型の不純物濃度が相対的に低いことを表す。また、 p^+ は p よりも p 型の不純物濃度が相対的に高く、 p^- は p よりも p 型の不純物濃度が相対的に低いことを表す。なお、 n^+ と n^- を単に n 型、また p^+ と p^- を単に p 型と記載する場合もある。

【0011】

本明細書中、部品等の位置関係を示すために、図面の上方方向を「上」、図面の下方方向を「下」と記述する。本明細書中、「上」、「下」の概念は、必ずしも重力の向きとの関係を示す用語ではない。

【0012】

本明細書中、「AとBは接して設けられている」という場合には、AとBが直接接して設けられている場合と、AとBの間に設けられた中間層などを介してAとBが間接的に接して設けられている場合の両方を含むものとする。

【0013】

(第1の実施形態)

本実施形態の半導体装置は、第1の面と、第1の面の反対側に設けられた第2の面と、を有する炭化珪素層と、第1の面上に設けられた第1の絶縁膜と、第1の絶縁膜上に設けられた第1の電極と、炭化珪素層内に設けられ、一部が第1の面に設けられた第1導電型の第1の炭化珪素領域と、第1の炭化珪素領域内に設けられ、一部が第1の面に設けられた第2導電型の第2の炭化珪素領域と、第2の炭化珪素領域内に設けられ、一部が第1の面に設けられた第1導電型の第3の炭化珪素領域と、第2の面に設けられ、金属とシリコンと炭素を含む第2の電極と、第3の炭化珪素領域と接して設けられ、金属とシリコンと炭素を含み、炭素濃度が第2の電極より高い第3の電極と、を備える。

【0014】

図1は、本実施形態の半導体装置の模式断面図である。

【0015】

半導体装置100は、炭化珪素層10と、第1の電極34と、第2の電極30と、第3の電極32と、第1の絶縁膜40と、第2の絶縁膜42を備える。

【0016】

炭化珪素層10は、第1の面と、第1の面の反対側に設けられた第2の面と、を有する。炭化珪素層10は、内部にn型のドリフト領域(第1の炭化珪素領域10b)と、p型のウェル領域(第2の炭化珪素領域)20と、n型のソース領域(第3の炭化珪素領域)22と、p型のコンタクト領域(第4の炭化珪素領域)24と、n型のドレイン領域(第5の炭化珪素領域)10aと、を有する。

【0017】

本実施形態の半導体装置100は、ウェル領域20とソース領域22をイオン注入で形

成する、D I MOSFET (Double Implantation Metal Oxide Semiconductor Field Effect Transistor) である。

【0018】

n型の第1の炭化珪素領域10bは、炭化珪素層10内に設けられ、一部が第1の面14に設けられている。第1の炭化珪素領域10bは、MOSFETのドリフト領域として機能する。第1の炭化珪素領域10bは、例えば、n型不純物を $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下含む。第1の炭化珪素領域10bの不純物濃度は、後述する第5の炭化珪素領域10aの不純物濃度より低い。

【0019】

第1の絶縁膜40は、第1の面14上に設けられている。第1の絶縁膜40は、ゲート絶縁膜である。第1の絶縁膜40は、例えばシリコン酸化膜やhigh-k膜である。

【0020】

第1の電極34は、第1の絶縁膜40上に設けられている。第1の電極34は、ゲート電極である。第1の電極34は、例えば、不純物がドーピングされた多結晶シリコンを含む。

【0021】

p型のウェル領域20は、第1の炭化珪素領域10b内に設けられ、一部が第1の面14に設けられている。ウェル領域20は、MOSFETのチャネル領域として機能する。ウェル領域20の深さは、例えば $0.6 \mu\text{m}$ 程度である。ウェル領域20は、例えば、p型不純物を $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下含む。p型不純物は、例えば、Al (アルミニウム)、B (ホウ素)、Ga (ガリウム) 又はIn (インジウム) である。

【0022】

n型のソース領域22は、ウェル領域20内に設けられ、一部が前記第1の面14に設けられている。ソース領域22は、MOSFETのソースとして機能する。ソース領域22の深さは、例えば $0.3 \mu\text{m}$ 程度で、ウェル領域20より小さい。ソース領域22は、例えば、n型不純物を $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下含む。n型不純物は、例えば、P (リン)、N (窒素)、As (砒素) 又はSb (アンチモン) である。

【0023】

p型のコンタクト領域24は、ウェル領域20内に設けられ、後述する第3の電極32と電気的に接続されている。コンタクト領域24は、ウェル領域20と、後述する第3の電極32の接触抵抗を低減するために用いられる。コンタクト領域24の深さは、例えば $0.3 \mu\text{m}$ 程度で、ウェル領域20より小さい。コンタクト領域24は、例えば、p型不純物を $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下含む。コンタクト領域24の不純物濃度は、ウェル領域20の不純物濃度より高い。

【0024】

第2の電極30は、第2の面12に設けられている。第2の電極30は、ドレイン電極である。第2の電極30は、金属とシリコンを含む第1の電極層30aと、金属とシリコンと炭素を含む第1の電極層30aと炭化珪素層10の間に設けられた第2の電極層30bと、を有する。第1の電極層30aの膜厚は、例えば 500 nm 程度である。第2の電極層30bの膜厚は、例えば 100 nm 程度である。

【0025】

第1の電極層30aは、好ましくは、金属シリサイド (金属とシリコンの化合物) を含む。接触抵抗を小さくするため、金属はニッケルであることが好ましい。

【0026】

第2の電極層30bは、好ましくは、金属シリサイドと炭素を含む第1の相30b₁と、炭素を含む第2の相30b₂と、を含む。接触抵抗を小さくするため、金属はニッケルであることが好ましい。

【0027】

第3の電極32は、ソース領域22に、ソース領域22と接して設けられている。第3の電極32は、第3の炭化珪素領域22及び第4の炭化珪素領域24と電氣的に接続されている。第3の電極32は、ソース電極である。第3の電極32は、金属とシリコンと炭素を含む。第3の電極32の炭素濃度は、第2の電極30の炭素濃度より高い。第3の電極32は、好ましくは、金属シリサイドを含む。金属はニッケルであることが良好なオーミックコンタクトを形成する上で好ましい。

【0028】

第2の電極30の炭素濃度と第3の電極32の炭素濃度は、例えば、TEM-EDX (Transmission Electron Microscope-Energy Dispersive X-ray Spectroscopy) により測定することが出来る。第2の電極30と第3の電極32それぞれにおいて、膜厚方向の中央における炭素濃度を、膜厚方向に平行な面内に測定することにより、炭素濃度を求める。炭素濃度を測定する場合の空間分解能は、例えば5nmとする。

【0029】

第5の炭化珪素領域10aは、第1の炭化珪素領域10bと第2の電極30の間の、炭化珪素層10内に設けられている。第5の炭化珪素領域10aは、例えば、n型不純物を $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下含む、n型の4H-SiCである。なお、例えば3C-SiC又は6H-SiCも好ましく用いられる。n型不純物は、例えばN(窒素)、As(ヒ素)、P(リン)又はSb(アンチモン)である。

【0030】

第2の絶縁膜42は、第1の絶縁膜40の上方、第1の電極34の側方及び上方に設けられている。第2の絶縁膜42は、第3の電極32と第1の電極34を電氣的に絶縁する。

【0031】

次に、本実施形態の半導体装置100の製造方法について説明する。図2は、本実施形態の半導体装置の製造方法のフローチャートである。図3ないし図9は、本実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。

【0032】

本実施形態の半導体装置100の製造方法は、n型の第5の炭化珪素領域10a上にn型の第1の炭化珪素領域10bを形成し、第1の炭化珪素領域10b上に第1の面14に接するようにp型のウェル領域20を形成し、ウェル領域20内で第1の面14に接するようにn型のソース領域22を形成し、ウェル領域20上のソース領域22側方で第1の面14に接するようにp型のコンタクト領域24を形成し、第1の面14上に第1の絶縁膜40を形成し、第1の絶縁膜40上に第1の電極34を形成し、第1の絶縁膜40及び第1の電極34上に第2の絶縁膜42を形成し、第1の炭化珪素領域10b、ウェル領域20、ソース領域22、コンタクト領域24、第1の絶縁膜40、第2の絶縁膜42上に第1の膜52を形成し、第1の熱処理を行い、未反応の第1の膜52を除去し、第2の面と接して第2の膜54を形成し、第2の熱処理を行う。

【0033】

まず、図3に示すように、n型の第5の炭化珪素領域10a上に、例えばエピタキシャル法により、n型の第1の炭化珪素領域10bを形成する(S10)。第5の炭化珪素領域10aと第1の炭化珪素領域10bは、炭化珪素層10を構成する。第1の炭化珪素領域10b上の面は第1の面14であり、第1の面14の反対側に設けられた面は第2の面12である。

【0034】

次に、図4に示すように、第1の炭化珪素領域10b上に第1の面14に接するように、例えばA1のイオン注入により、p型のウェル領域20を形成する(S12)。

【0035】

次に、ウェル領域20内で第1の面14に接するように、例えばPのイオン注入により、n型のソース領域22を形成する(S14)。また、ウェル領域20上のソース領域2

2側方で第1の面14に接するように、p型のコンタクト領域24を形成する(S16)。その後、ウェル領域20とソース領域22とコンタクト領域24の活性化熱処理を行う。

【0036】

次に、図5に示すように、第1の面14上に、例えば熱酸化法又はCVD (Chemical Vapor Deposition) 法により、第1の絶縁膜40を形成する(S18)。次に、第1の絶縁膜40上に、例えば多結晶シリコンを含む第1の電極34を形成し、その後にエッチングする(S20)。

【0037】

次に、図6に示すように、第1の絶縁膜40及び第1の電極34上に、例えばシリコン酸化膜を含む第2の絶縁膜42を形成する。次に、例えばエッチングにより、ソース領域22上の一部とコンタクト領域24上に形成された第2の絶縁膜42の一部を除去する(S22)。

【0038】

次に、図7に示すように、第1の炭化珪素領域10b、ウェル領域20、ソース領域22、コンタクト領域24、第1の絶縁膜40、第2の絶縁膜42上に、例えばNi (ニッケル) を含む第1の膜52を形成する(S24)。

【0039】

次に、第1の熱処理を行う。これにより、ソース領域22及びコンタクト領域24と第1の膜52を反応させ、ニッケルシリサイドを含む金属半導体化合物の層である、第3の電極32を形成する(S26)。

【0040】

次に、図8に示すように、硫酸を含む酸溶液等で未反応の第1の膜52を除去する(S28)。

【0041】

次に、図9に示すように、第2の面と接してNiSiを含む第2の膜54を、例えばスパッタ法により形成する(S30)。ここで、NiとSiの比は、第5の炭化珪素領域のシリサイド化反応量を低減するため2:1と1:3の間であることが好ましい。

【0042】

第2の膜54の膜厚は、100nm以上1000nm以下であることが好ましい。100nmより膜厚が小さいと、後述するような第5の炭化珪素領域10aと反応が第2の膜54全てでおこり、第2の相30b₂の発生量が増加してコンタクト抵抗が大きくなる。一方1000nmより膜厚が大きいと、半導体装置100から生じる熱を、半導体装置100下方に設けられる放熱板等から効率良く放熱することが難しくなる。

【0043】

次に、第2の熱処理を行い、第2の膜54と第5の炭化珪素領域10aを反応させて第2の電極30を形成し(S32)、図1に示した半導体装置100を製造する。

【0044】

第2の熱処理の温度は、例えば800℃以上1050℃以下である。800℃未満である場合は、温度が低すぎるため、第2の膜54と第5の炭化珪素領域10aとの反応が十分におこらずコンタクト抵抗が大きくなる。一方1050℃より高い場合は、温度が高すぎるため、多くの第2の相30b₂が発生し、第2の電極30の膜はがれが起こりやすくなる。

【0045】

第2の熱処理は、例えばAr (アルゴン) 等の不活性ガス雰囲気中で行われる。また、第2の熱処理を行う時間は、例えば4分程度である。

【0046】

次に、本実施形態の半導体装置100の作用効果を記載する。

【0047】

図10は、本実施形態の作用効果を示す図である。図10(a)は、本実施形態の比較

形態となる半導体装置における第2の熱処理前の第2の膜55と第5の炭化珪素領域10aの模式断面図である。図10(b)は、本実施形態の比較形態となる半導体装置における第2の熱処理後の第2の電極31と第5の炭化珪素領域10aの模式断面図である。図10(c)は、本実施形態の半導体装置100における第2の熱処理前の第2の膜54と第5の炭化珪素領域10aの模式断面図である。図10(d)は、本実施形態の半導体装置100における第2の熱処理後の第2の電極30と第5の炭化珪素領域10aの模式断面図である。

【0048】

図10(a)において、第2の膜55にはNi(ニッケル)が用いられている。この場合、図10(b)に示すように、第2の熱処理により第2の膜55全体が第5の炭化珪素領域10aと反応する。これにより形成された第2の電極31においては、Ni中にC(炭素)が拡散するため第2の電極31全体がNiとCを含む第1の相31b₁になっている。言い換えると、図1に示した半導体装置100での第1の電極層30aに相当する電極層は設けられていない。また、第2の電極31の、第5の炭化珪素領域10aに近い側では、C(炭素)からなる第2の相31b₂が数多く設けられている。この第2の相31b₂は、第2の電極31の膜はがれの原因となる。

【0049】

図10(c)において、第2の膜54にはNiSiが用いられている。この場合、図10(d)に示すように、第2の熱処理後は、炭素含有量の少ない第1の電極層30aと、第1の電極層30aと第5の炭化珪素領域10aの間に設けられ第1の相30b₁と第2の相30b₂を含む第2の電極層30bと、が形成される。第2の膜54がSiを含む場合、第2の膜54と反応する第5の炭化珪素領域10aの量は抑制される。そのため、第2の電極30内において形成される第2の相30b₂の量は少ない。よって、第2の電極30の膜はがれは抑制される。

【0050】

第3の電極32形成のためには、硫酸を含む酸溶液等で未反応の第1の膜52を除去することにより簡便に第3の電極32を形成することが可能になるため、シリコンが含まれていない金属膜、例えばニッケルを含む膜を、第1の膜52として用いることが好ましい。この場合、第1の膜52と反応ソース領域22及びコンタクト領域24の反応量は抑制されないため、第3の電極の炭素濃度は第2の電極の炭素濃度より高くなる。この場合、第3の電極の炭素濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上であることが好ましい。

【0051】

また、第2の電極30の膜厚は第3の電極32の膜厚より大きいことが、第2の電極30の強度を増加させて膜はがれを抑制し、かつ第3の電極32の接触抵抗を低減させる上で好ましい。

【0052】

以上により、本実施形態の半導体装置100によれば、第2の電極(ドレイン電極)の膜はがれによる信頼性低下が抑制された半導体装置の提供が可能になる。

【0053】

(第2の実施形態)

本実施形態の半導体装置は、金属シリサイドを含む第4の電極35がゲート電極として機能する点で、第1の実施形態の半導体装置と異なっている。ここで、第1の実施形態と重複する内容については、記載を重複する。

【0054】

図11は、本実施形態の半導体装置の模式断面図である。

【0055】

本実施形態の半導体装置においては、第1の絶縁膜40上に第4の電極35が設けられている。第2の絶縁膜42は、第1の絶縁膜40上で第4の電極35の側方に設けられている。また、第2の絶縁膜42及び第4の電極35上には第3の絶縁膜44が設けられている。

【0056】

図12は、本実施形態の半導体装置の製造方法において、製造途中の半導体装置の模式断面図である。本実施形態の半導体装置の製造方法においては、多結晶シリコンからなるシリコン膜50上とソース領域22上とコンタクト領域24上に第1の膜52を形成する。この後に第1の熱処理を行い、シリコン膜50と第1の膜52を反応させ、ニッケルシリサイドを含む金属半導体化合物の層である、第4の電極35を形成する。また、硫酸を含む酸溶液等で未反応の第1の膜52を除去した後に、第2の絶縁膜42及び第4の電極35上に第3の絶縁膜44を形成する。これらの点以外は、第1の実施形態の半導体装置の製造方法と同様である。

【0057】

多結晶シリコンを用いたゲート電極の場合には界面空乏層が生じる。一方本実施形態の半導体装置200においてはゲート電極に金属シリサイドを用いているため界面空乏層が生じない。そのため、本実施形態の半導体装置200によれば、さらに高周波動作に適した半導体装置の提供が可能となる。

【0058】

(第3の実施形態)

本実施形態の半導体装置は、n型のドレイン領域(第5の炭化珪素領域)10aの代わりにp⁺型の第6の炭化珪素領域10cが設けられている点で、第1及び第2の実施形態の半導体装置と異なっている。ここで、第1及び第2の実施形態と重複する内容については、記載を重複する。

【0059】

図13は、本実施形態の半導体装置の模式断面図である。

【0060】

本実施形態の半導体装置300においては、第6の炭化珪素領域10cはp⁺型の炭化珪素層である。第6の炭化珪素領域10cは、例えば、不純物濃度 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下のAl(アルミニウム)をp型不純物として含む。第6の炭化珪素領域10cは、半導体装置200のコレクタ領域として機能する。本実施形態の半導体装置300は、IGBT(Insulated Gate Bipolar Transistor)である。

【0061】

第2の電極30は、コレクタ電極として機能する。また、第3の電極32は、エミッタ電極として機能する。

【0062】

本実施形態の半導体装置300によれば、第2の電極(コレクタ電極)の膜はがれによる信頼性低下が抑制された半導体装置の提供が可能となる。

【0063】

(第4の実施形態)

本実施形態の半導体装置は、第1の面と、第1の面の反対側に設けられた第2の面と、を有する炭化珪素層と、炭化珪素層内に設けられた第1導電型の第1の炭化珪素領域と、第1の炭化珪素領域上の炭化珪素層内に設けられ、一部が第1の面に設けられた第2導電型の第2の炭化珪素領域と、第1の面上に設けられ、金属とシリコンと炭素を含む第1の電極と、第2の面に設けられ、金属とシリコンと炭素を含み、炭素濃度が第1の電極より低い第2の電極と、第1の炭化珪素領域と第2の電極の間の炭化珪素層内に設けられ、一部が第2の面に設けられた第1導電型の第3の炭化珪素領域と、を備える。本実施形態の半導体装置は、PIN型ダイオードである。ここで、第1乃至第3の実施形態と重複する内容については、記載を重複する。

【0064】

図14は、本実施形態の半導体装置の模式断面図である。

【0065】

第1乃至第3の実施形態における第3の電極32は、本実施形態の第1の電極34に相

当する。第2の電極30はカソード電極、また第1の電極34はアノード電極として、それぞれ機能する。第3の炭化珪素領域10dはnエミッタ層、第1の炭化珪素領域10bはnベース層、第4の炭化珪素層18はpエミッタ層として、それぞれ機能する。

【0066】

本実施形態の半導体装置によれば、第2の電極（カソード電極）の膜はがれによる信頼性低下が抑制された半導体装置の提供が可能となる。

【0067】

本発明のいくつかの実施形態および実施例を説明したが、これらの実施形態および実施例は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0068】

10	炭化珪素層
10a	第5の炭化珪素領域（ドレイン領域）
10b	第1の炭化珪素領域（ドリフト領域）
10c	第6の炭化珪素領域（コレクタ領域）
10d	第3の炭化珪素領域
12	第2の面
14	第1の面
18	第4の炭化珪素層
20	第2の炭化珪素領域（ウェル領域）
22	第3の炭化珪素領域（ソース領域、エミッタ領域）
24	第4の炭化珪素領域（コンタクト領域）
30	第2の電極
30a	第1の電極層
30b	第2の電極層
30b ₁	第1の相
30b ₂	第2の相
31	第2の電極
31a	第1の電極層
31b ₁	第1の相
31b ₂	第2の相
32	第3の電極
34	第1の電極
34b ₁	第1の相
34b ₂	第2の相
35	第4の電極
40	第1の絶縁膜（ゲート絶縁膜）
42	第2の絶縁膜
44	第3の絶縁膜
50	シリコン膜
52	第1の膜
54	第2の膜
55	第2の膜
100	半導体装置
200	半導体装置
300	半導体装置

【書類名】 特許請求の範囲

【請求項 1】

第 1 の面と、前記第 1 の面の反対側に設けられた第 2 の面と、を有する炭化珪素層と、
前記第 1 の面上に設けられた第 1 の絶縁膜と、
前記第 1 の絶縁膜上に設けられた第 1 の電極と、
前記炭化珪素層内に設けられ、一部が前記第 1 の面に設けられた第 1 導電型の第 1 の炭化珪素領域と、
前記第 1 の炭化珪素領域内に設けられ、一部が前記第 1 の面に設けられた第 2 導電型の第 2 の炭化珪素領域と、
前記第 2 の炭化珪素領域内に設けられ、一部が前記第 1 の面に設けられた第 1 導電型の第 3 の炭化珪素領域と、
前記第 2 の面に設けられ、金属とシリコンと炭素を含む第 2 の電極と、
前記第 3 の炭化珪素領域と接して設けられ、前記金属とシリコンと炭素を含み、炭素濃度が前記第 2 の電極より高い第 3 の電極と、
を備える半導体装置。

【請求項 2】

前記第 3 の電極の前記炭素濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以上である請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 の電極の膜厚は前記第 3 の電極の膜厚より大きい請求項 1 又は請求項 2 記載の半導体装置。

【請求項 4】

前記第 2 の電極は、
前記金属とシリコンを含む第 1 の電極層と、
前記金属とシリコンと炭素を含み前記第 1 の電極層と前記炭化珪素層の間に設けられた第 2 の電極層と、
を有する請求項 1 ないし請求項 3 いずれか一項記載の半導体装置。

【請求項 5】

前記金属はニッケルである請求項 1 ないし請求項 4 いずれか一項記載の半導体装置。

【請求項 6】

前記第 2 の炭化珪素領域内に設けられ、前記第 3 の電極に電氣的に接続され、不純物濃度は前記第 2 の炭化珪素領域より高い第 2 導電型の第 4 の炭化珪素領域をさらに備える請求項 1 ないし請求項 5 いずれか一項記載の半導体装置。

【請求項 7】

前記第 1 の炭化珪素領域と前記第 2 の電極の間の、前記炭化珪素層内に設けられた第 1 導電型の第 5 の炭化珪素領域をさらに備える請求項 1 ないし請求項 6 いずれか一項記載の半導体装置。

【請求項 8】

前記第 1 の炭化珪素領域と前記第 2 の電極の間の、前記炭化珪素層内に設けられた第 2 導電型の第 6 の炭化珪素領域をさらに備える請求項 1 ないし請求項 6 いずれか一項記載の半導体装置。

【請求項 9】

第 1 の面と、前記第 1 の面の反対側に設けられた第 2 の面と、を有する炭化珪素層と、
前記炭化珪素層内に設けられた第 1 導電型の第 1 の炭化珪素領域と、
前記第 1 の炭化珪素領域上の前記炭化珪素層内に設けられ、一部が前記第 1 の面に設けられた第 2 導電型の第 2 の炭化珪素領域と、
前記第 1 の面上に設けられ、金属とシリコンと炭素を含む第 1 の電極と、
前記第 2 の面に設けられ、前記金属とシリコンと炭素を含み、炭素濃度が前記第 1 の電極より低い第 2 の電極と、
前記第 1 の炭化珪素領域と前記第 2 の電極の間の前記炭化珪素層内に設けられ、一部が

前記第2の面に設けられた第1導電型の第3の炭化珪素領域と、
を備える半導体装置。

【書類名】 要約書

【要約】

【目的】

電極の膜はがれによる信頼性低下が抑制された半導体装置を提供する。

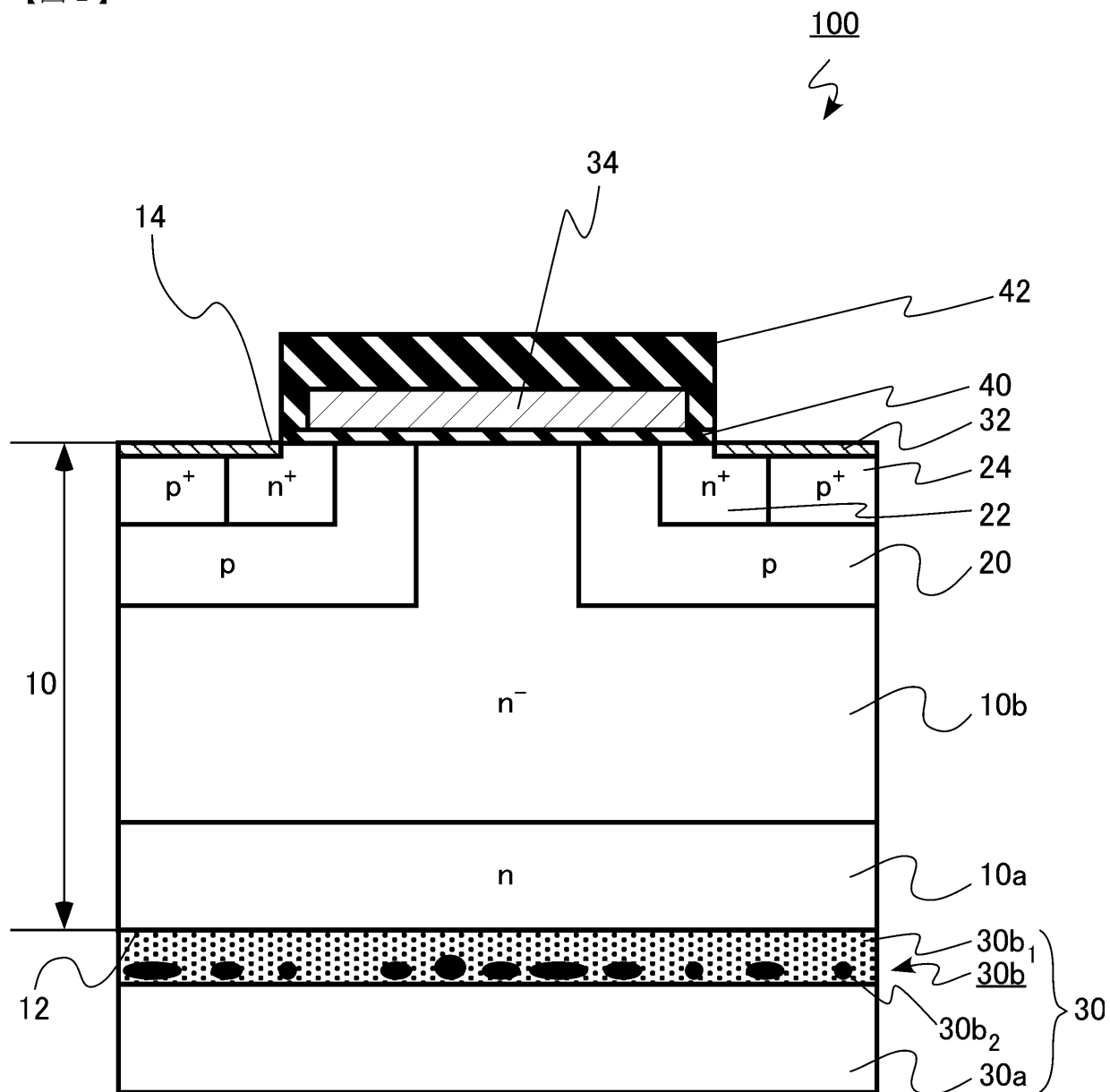
【構成】

実施形態の半導体装置は、第1の面と、第1の面の反対側に設けられた第2の面と、を有する炭化珪素層と、第1の面上に設けられた第1の絶縁膜と、第1の絶縁膜上に設けられた第1の電極と、炭化珪素層内に設けられ、一部が第1の面に設けられた第1導電型の第1の炭化珪素領域と、第1の炭化珪素領域内に設けられ、一部が第1の面に設けられた第2導電型の第2の炭化珪素領域と、第2の炭化珪素領域内に設けられ、一部が第1の面に設けられた第1導電型の第3の炭化珪素領域と、第2の面に設けられ、金属とシリコンと炭素を含む第2の電極と、第3の炭化珪素領域と接して設けられ、金属とシリコンと炭素を含み、炭素濃度が第2の電極より高い第3の電極と、を備える。

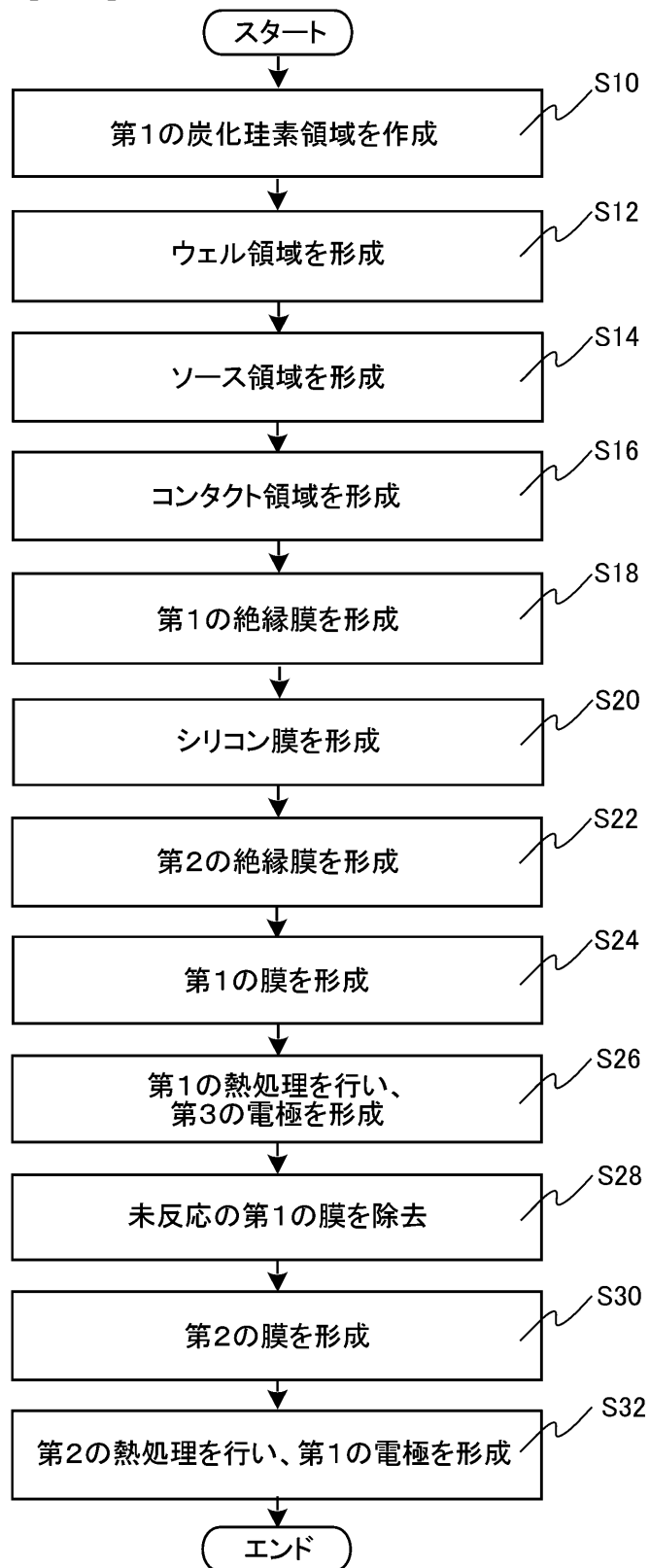
【選択図】 図1

【書類名】図面

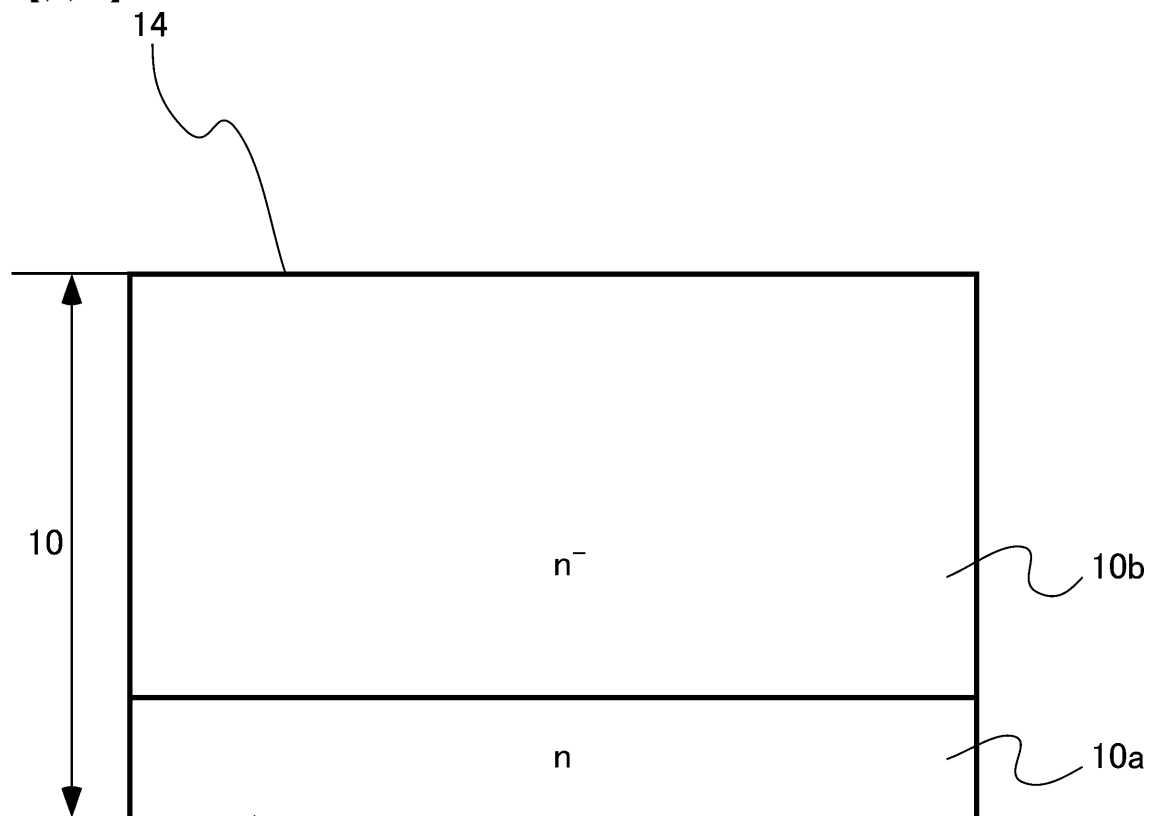
【図1】



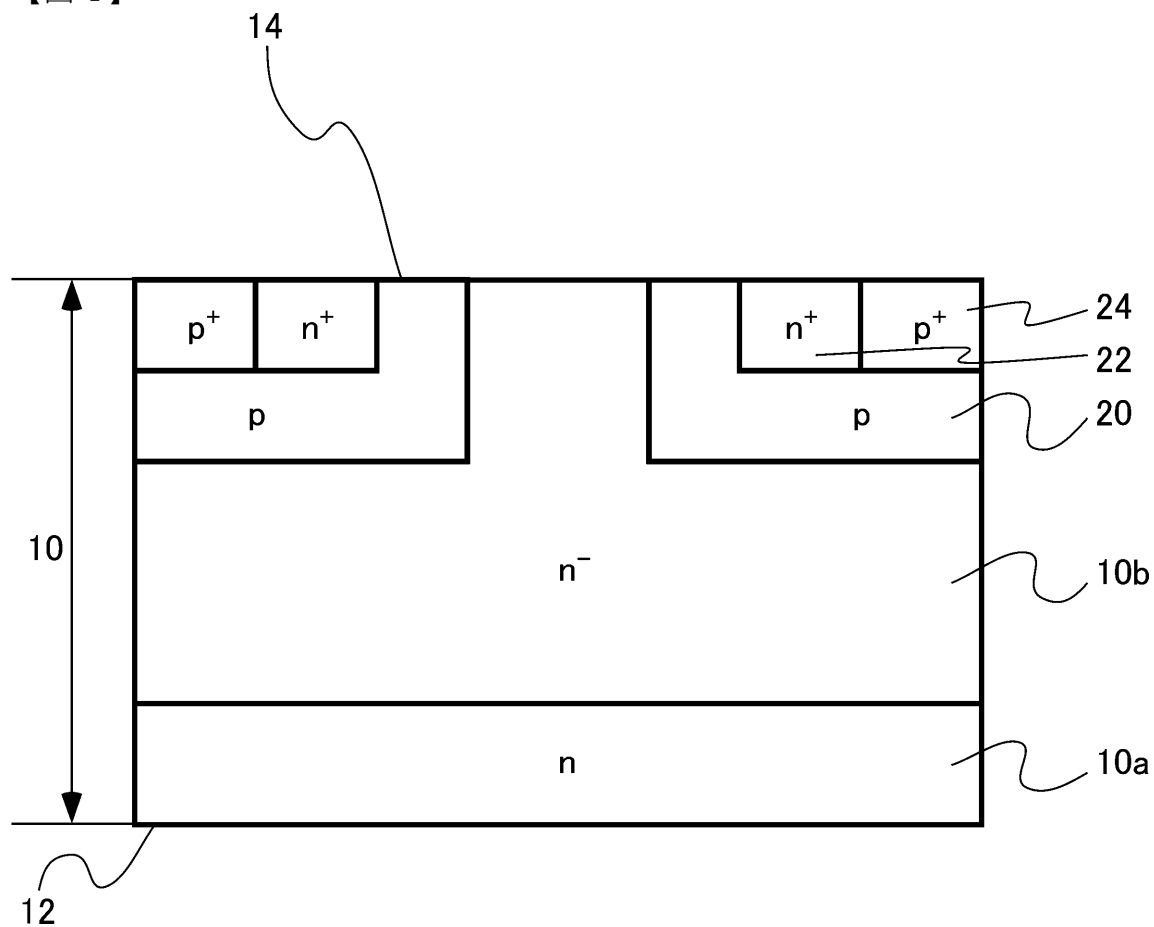
【図2】



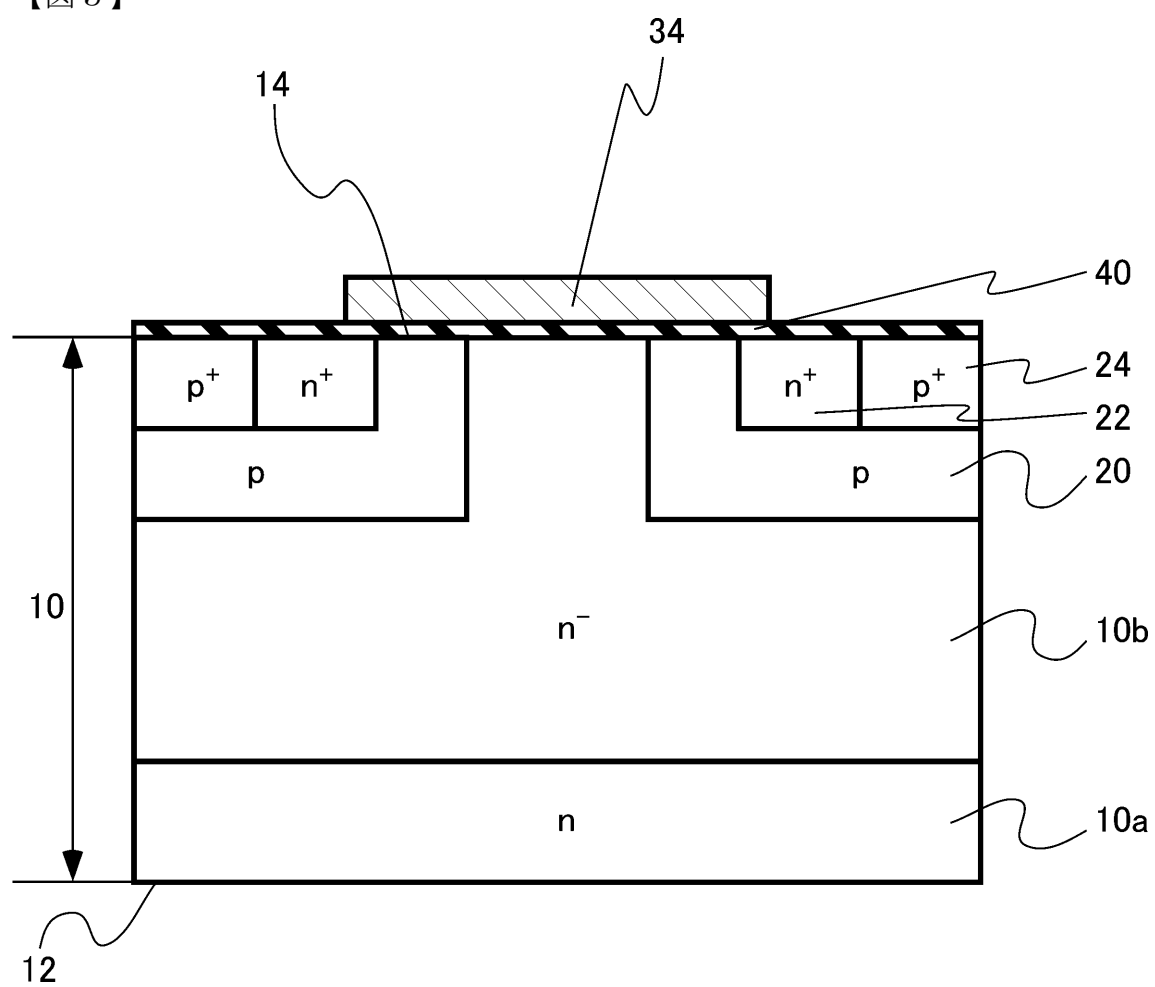
【図3】



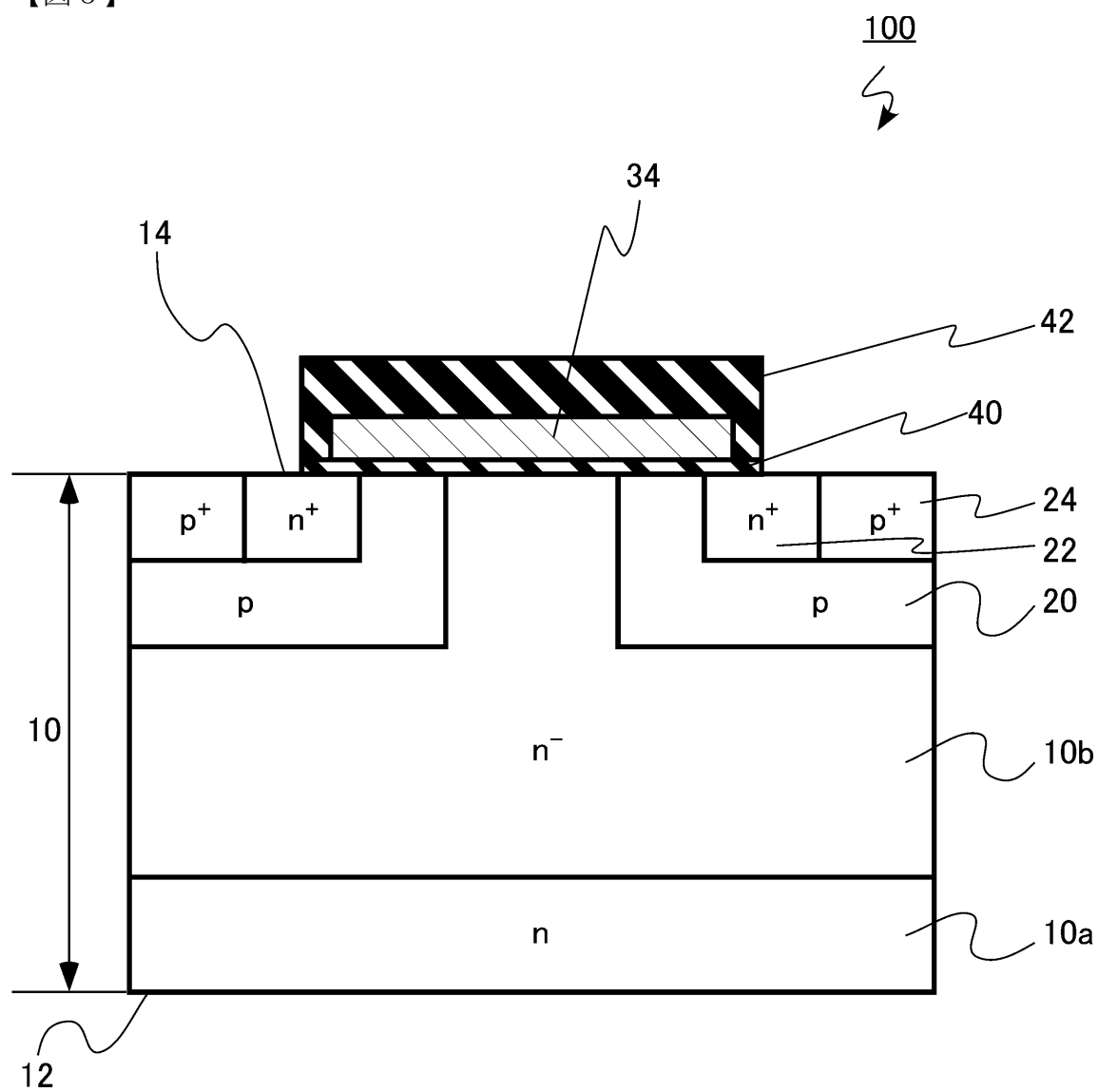
【図4】



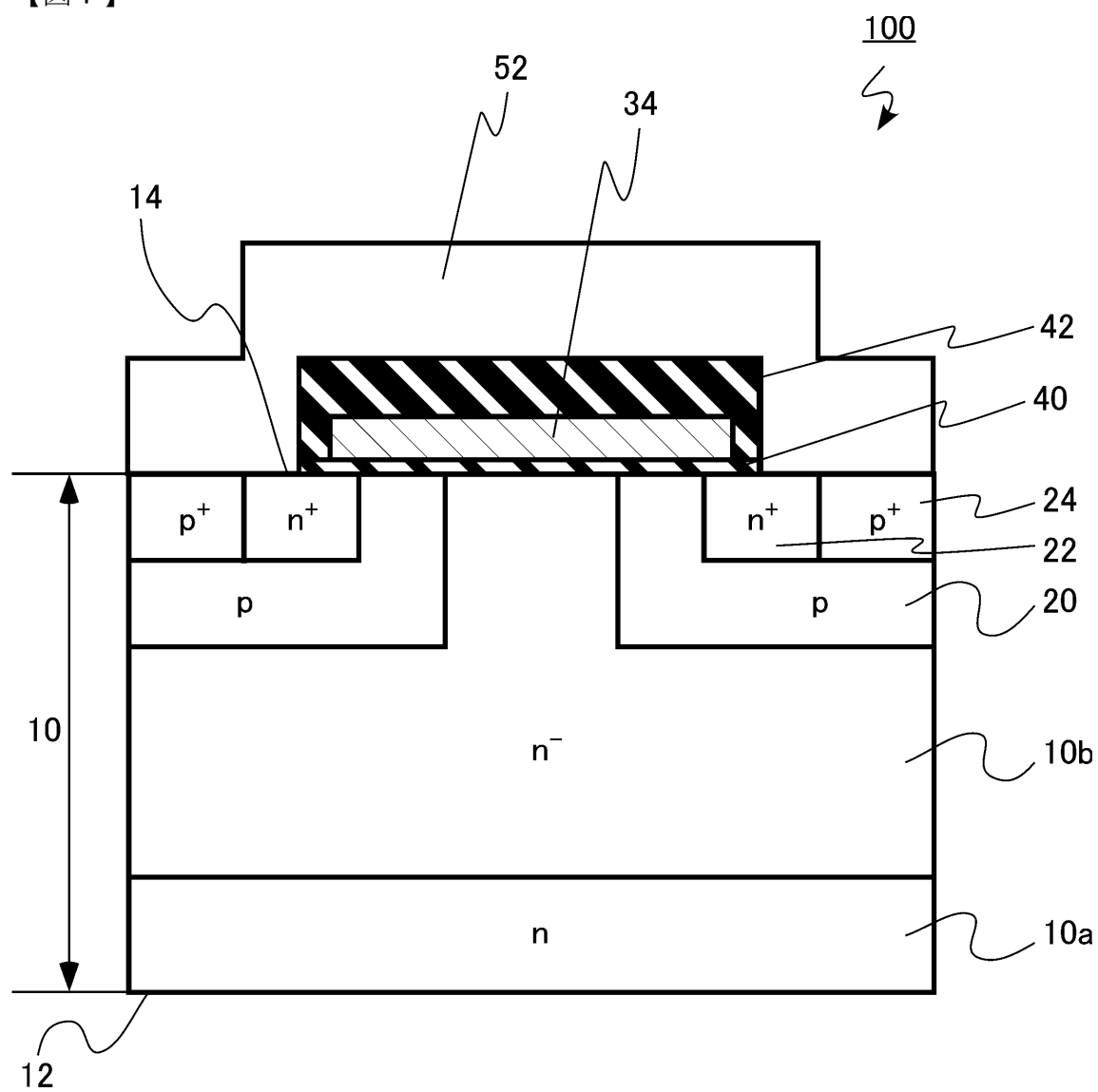
【図 5】



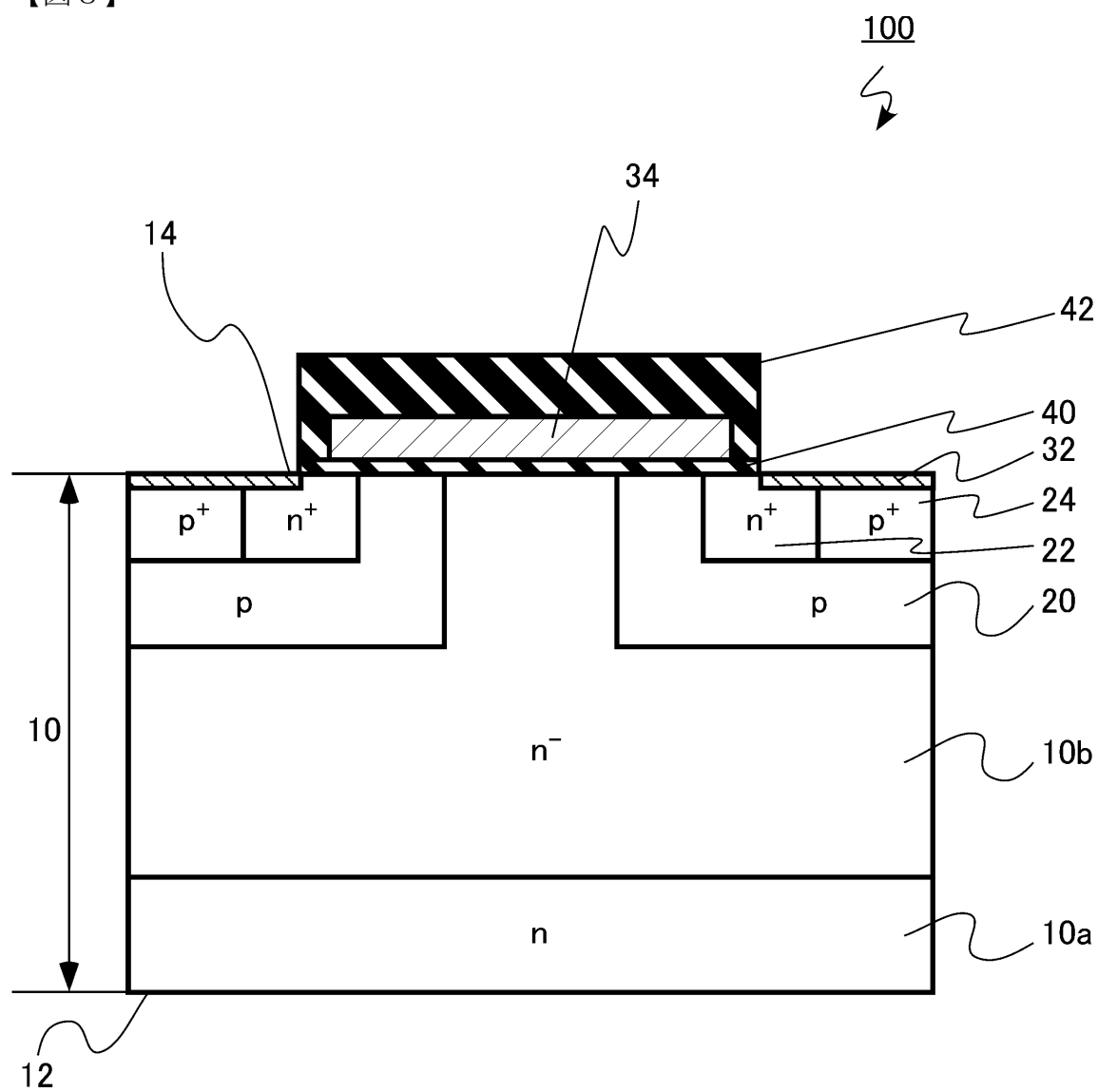
【図 6】



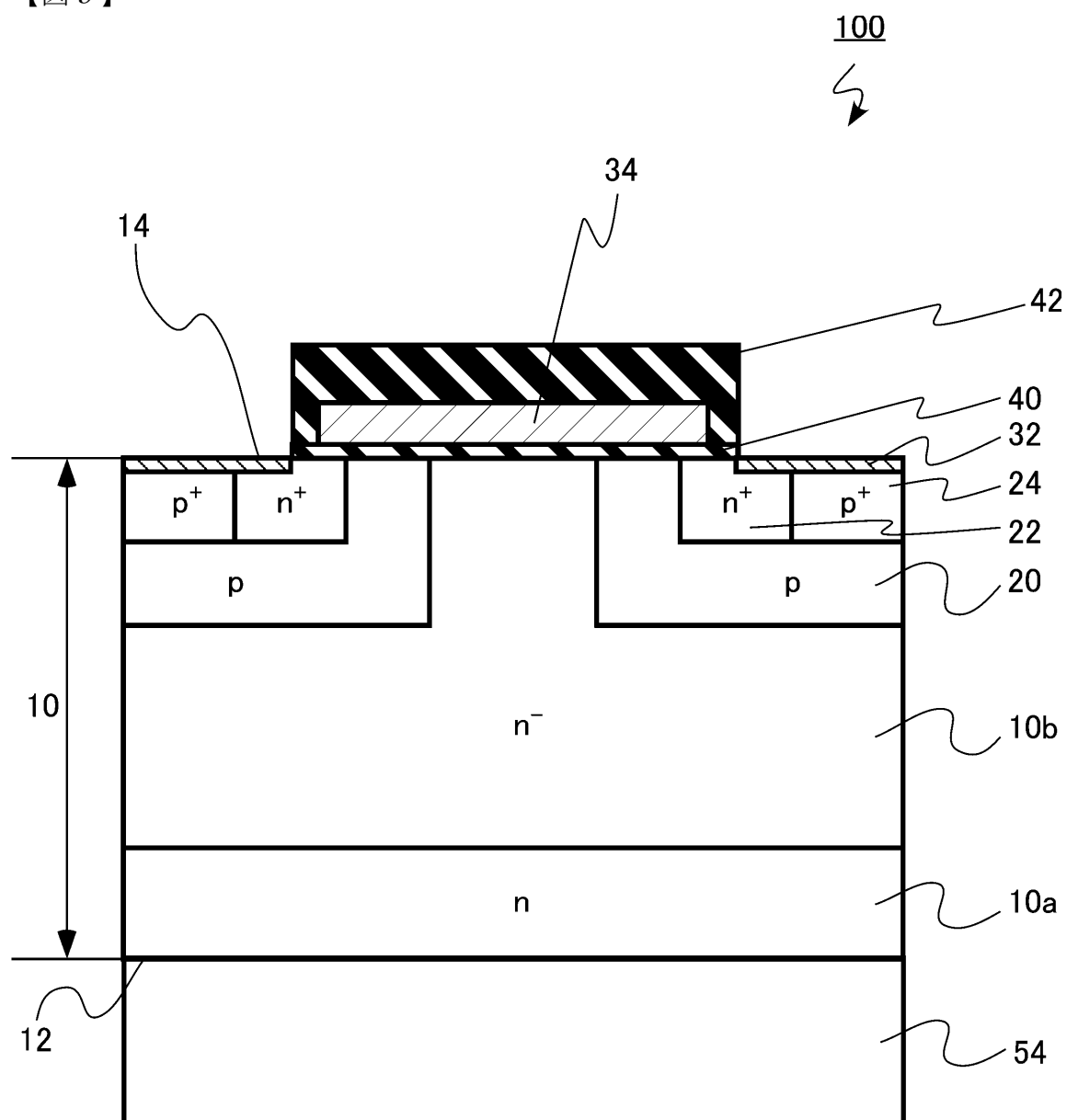
【図 7】



【図8】

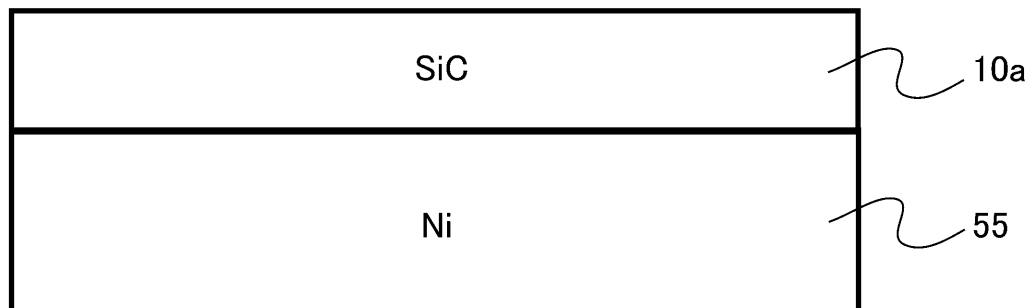


【図 9】

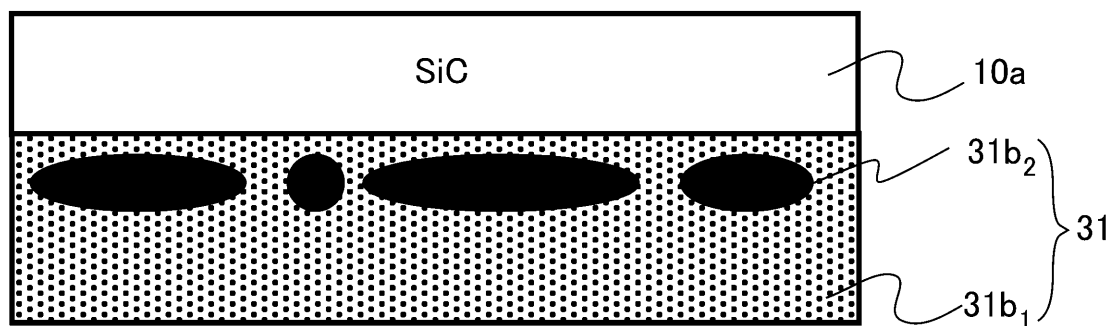


【図10】

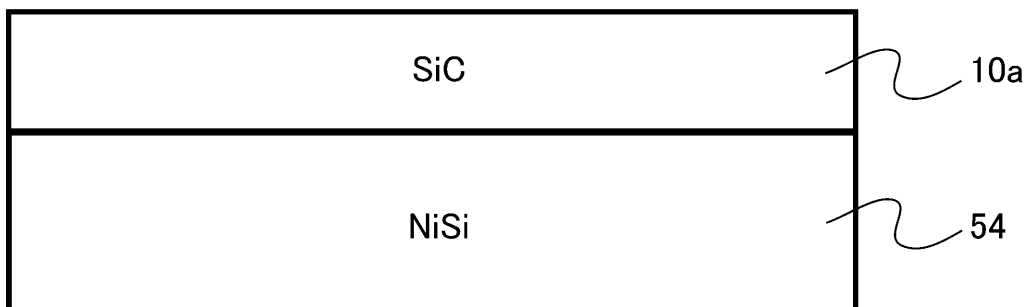
(a)



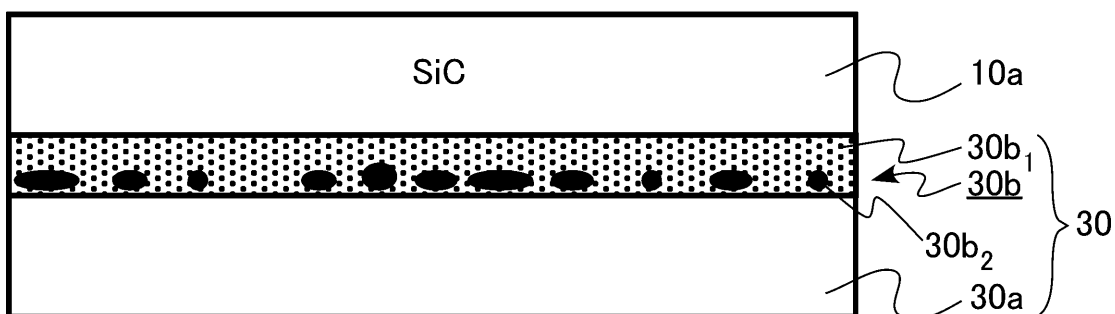
(b)



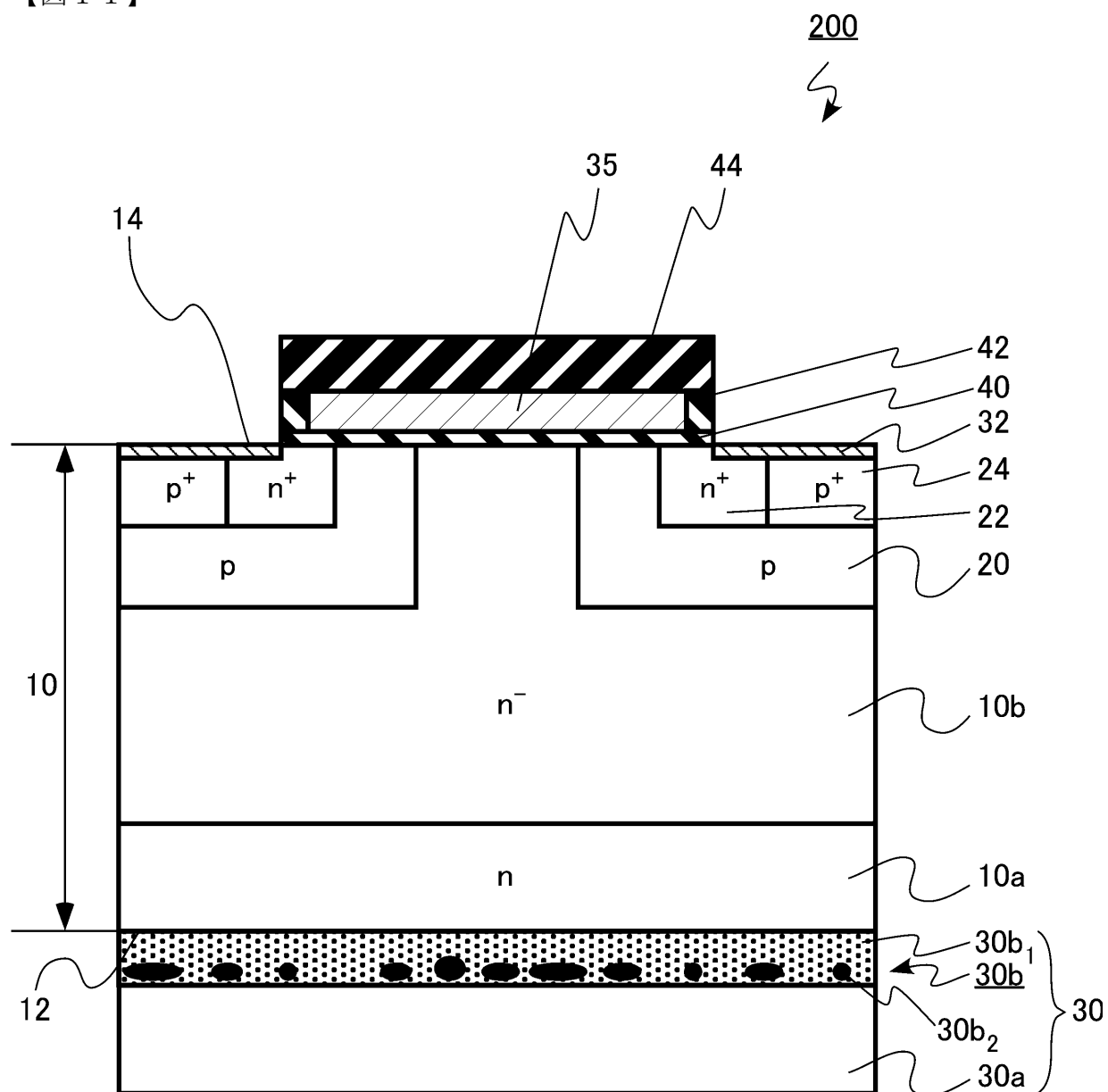
(c)



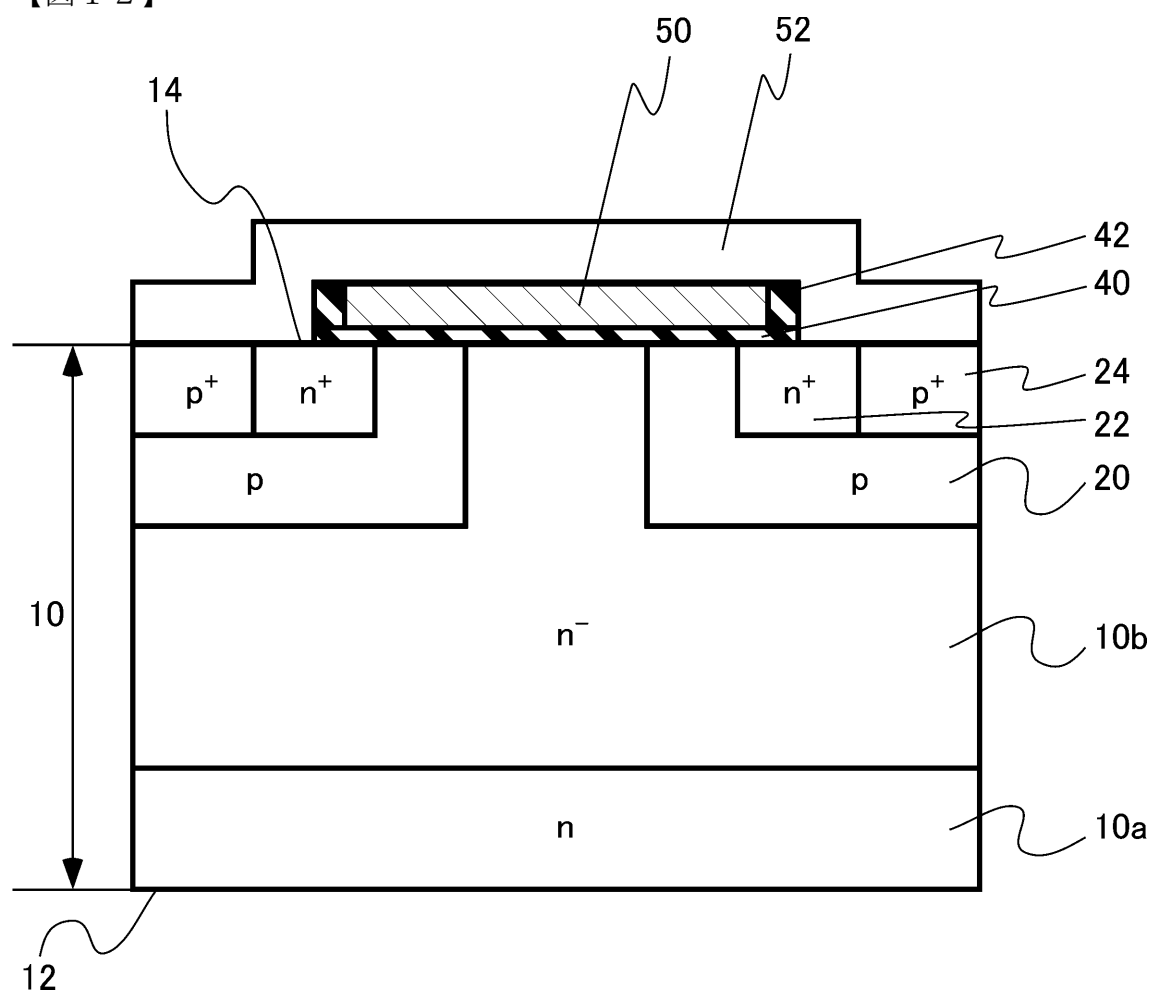
(d)



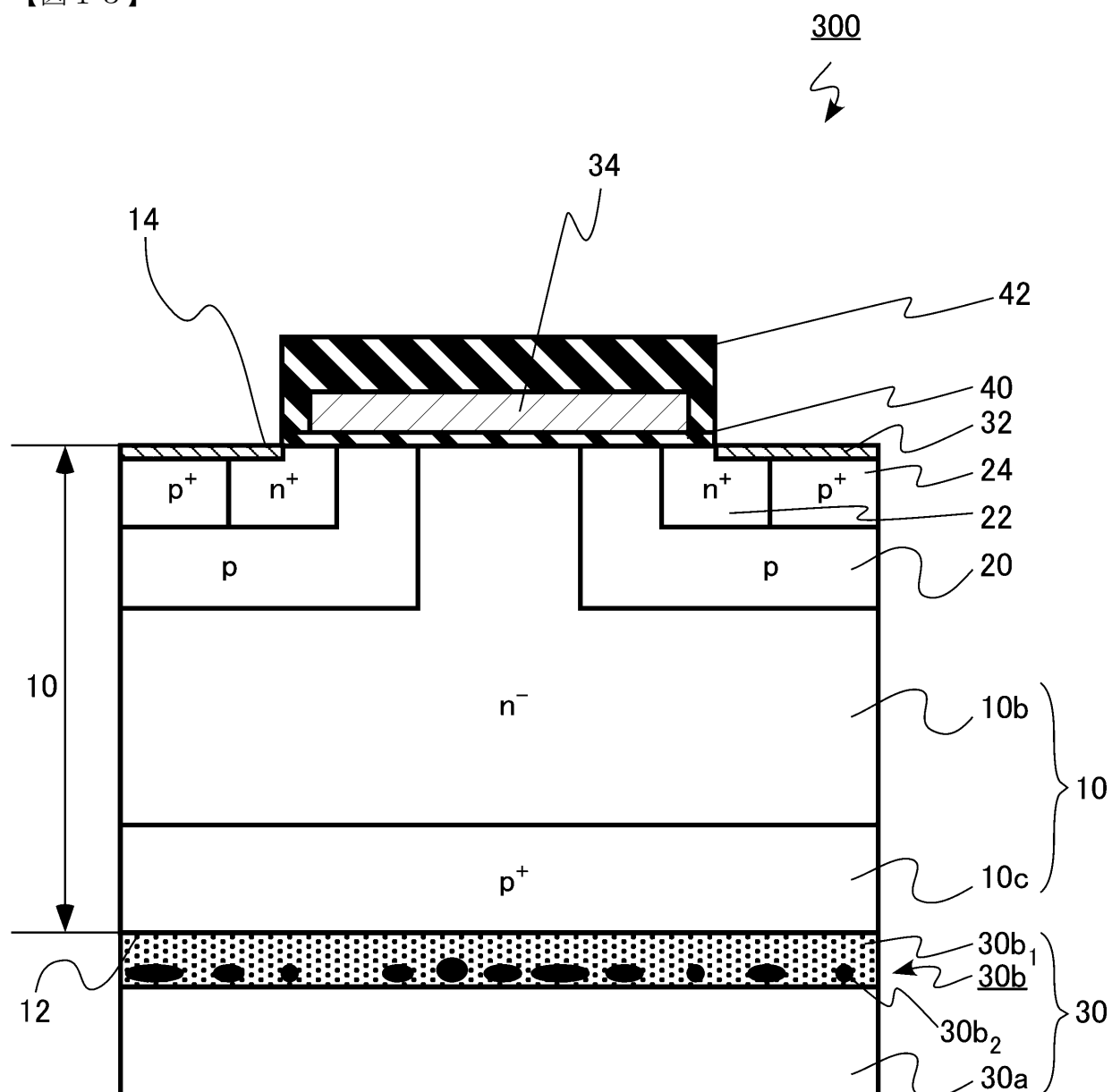
【図 1 1】



【図 1 2】



【図 1 3】



【図 1 4】

400

