

## Kapitel 7: Digitale Speicherbausteine

# Abschnitt 7.1

## 1-Bit Register

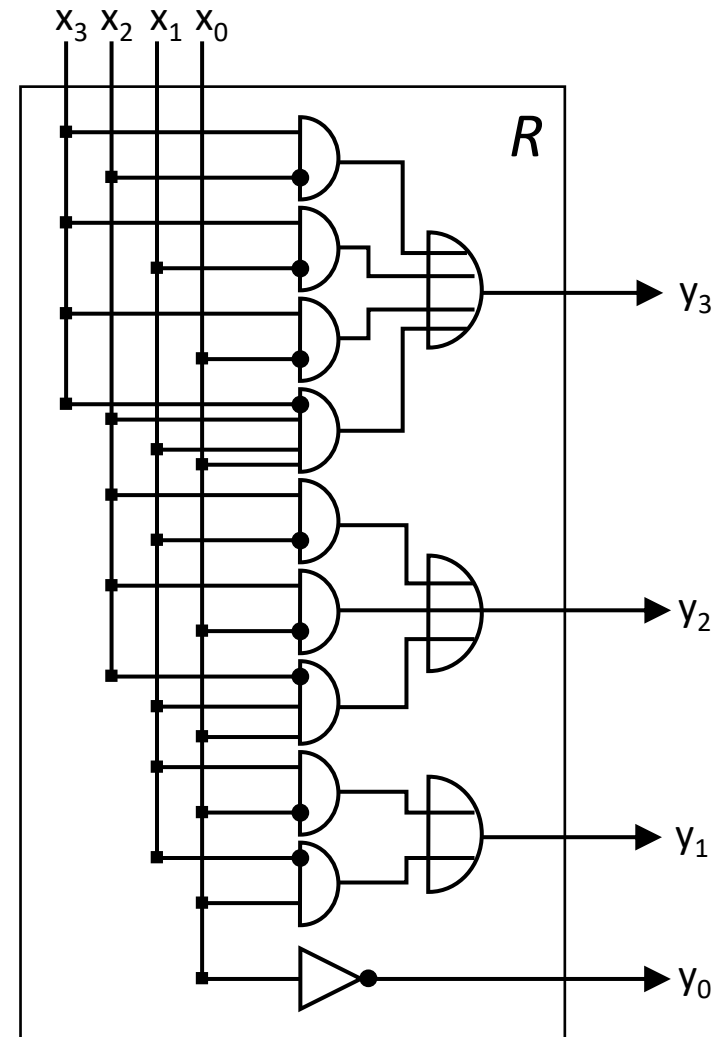
- ▶ 1-Bit Register für die Taktung von Schaltnetzen
- ▶ 4-Bit Ringzähler mit 1-Bit Registern
- ▶ n-stelliges Register

# Einführung: 1-Bit Register für die Taktung von Schaltnetzen

- Beispiel: Gesucht ist ein Ringzähler für vierstellige Dualzahlen, also eine Schaltung für die Funktion

$$f: B^4 \rightarrow B^4, \text{ definiert durch } f(d(i)) := d(i + 1 \bmod 16)$$

- Aber: Es fehlt eine Rückkopplung, um die gewünschte Funktion zu realisieren

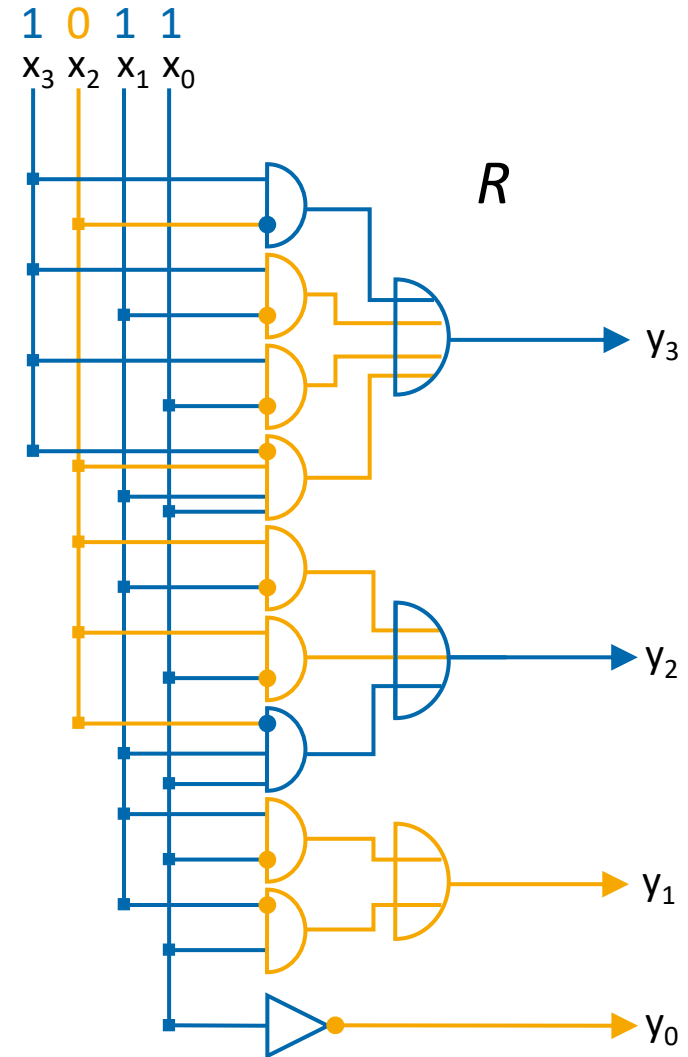


# Einführung: 1-Bit Register für die Taktung von Schaltnetzen

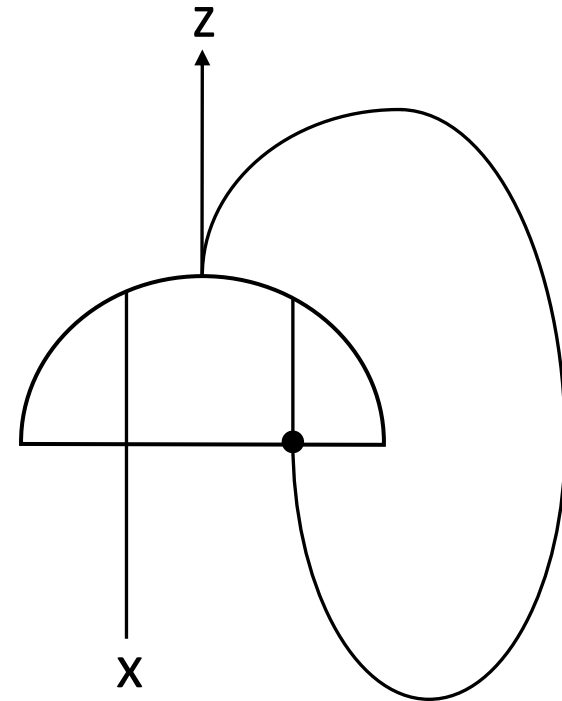
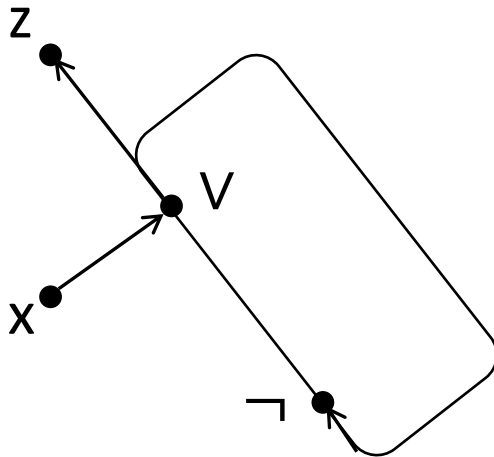
- Beispiel: Gesucht ist ein Ringzähler für vierstellige Dualzahlen, also eine Schaltung für die Funktion

$$f: B^4 \rightarrow B^4, \text{ definiert durch } f(d(i)) := d(i + 1 \bmod 16)$$

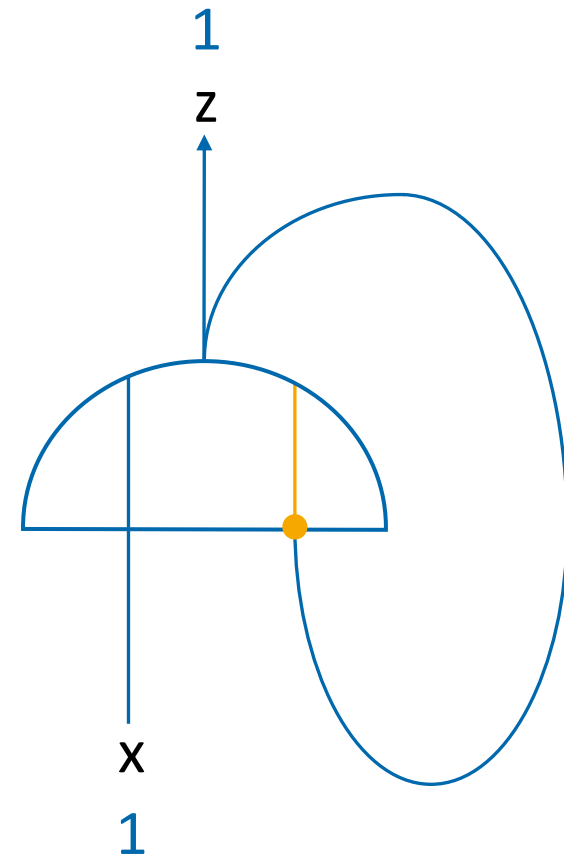
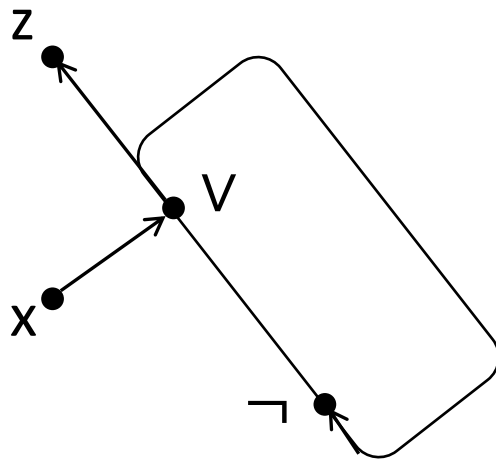
- Aber: Es fehlt eine Rückkopplung, um die gewünschte Funktion zu realisieren



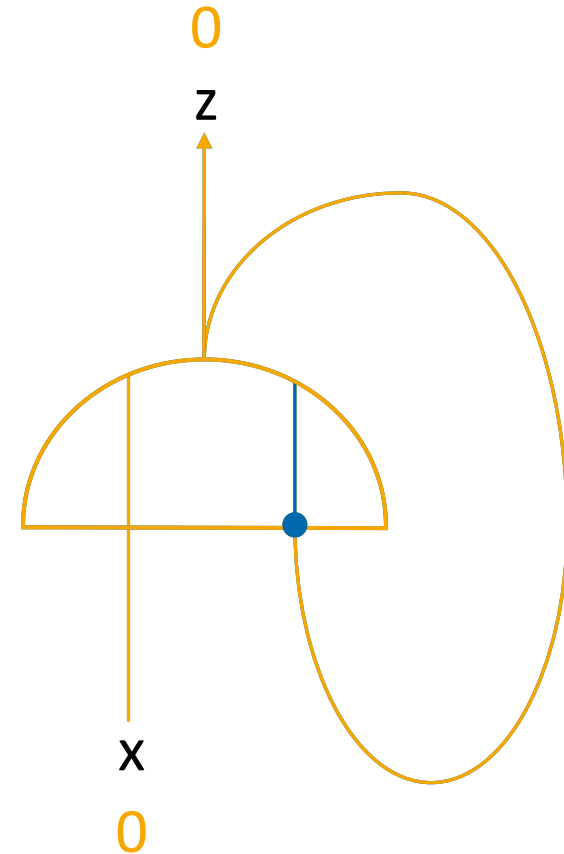
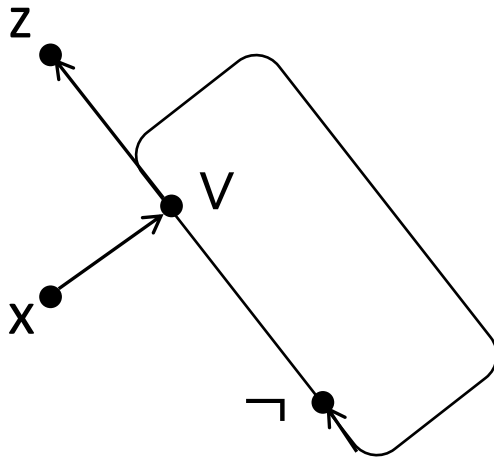
# Einführung: 1-Bit Register für die Taktung von Schaltnetzen



# Einführung: 1-Bit Register für die Taktung von Schaltnetzen



# Einführung: 1-Bit Register für die Taktung von Schaltnetzen



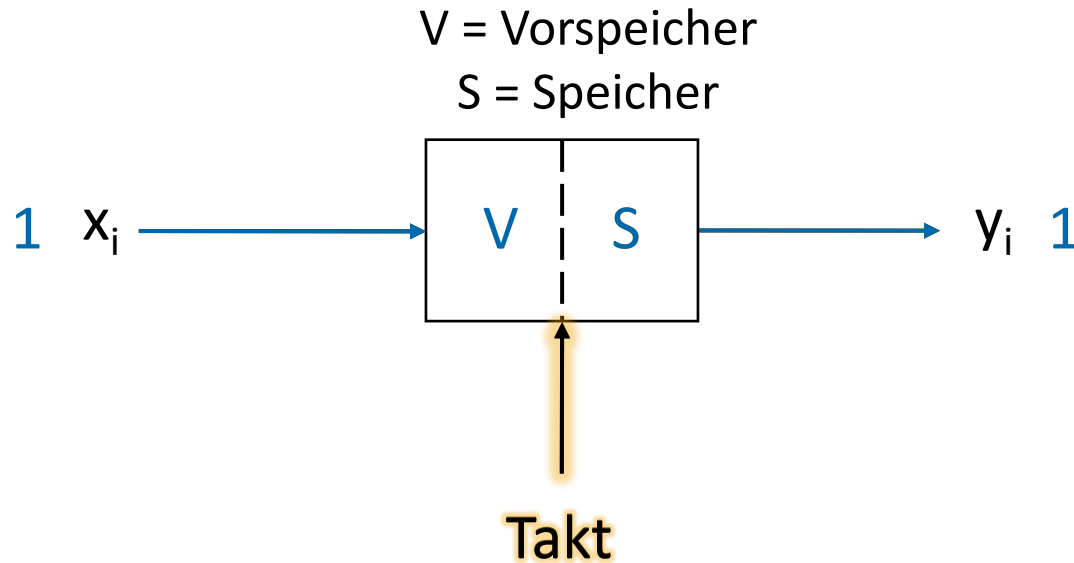
# 1-Bit Register für die Taktung von Schaltnetzen

---

- Idee: Einführung einer Kontrollinstanz, welche die Rückkopplung **durch einen Taktimpuls synchronisiert**
- Neues Bauteil: **1-Bit Register (oder Delay)**



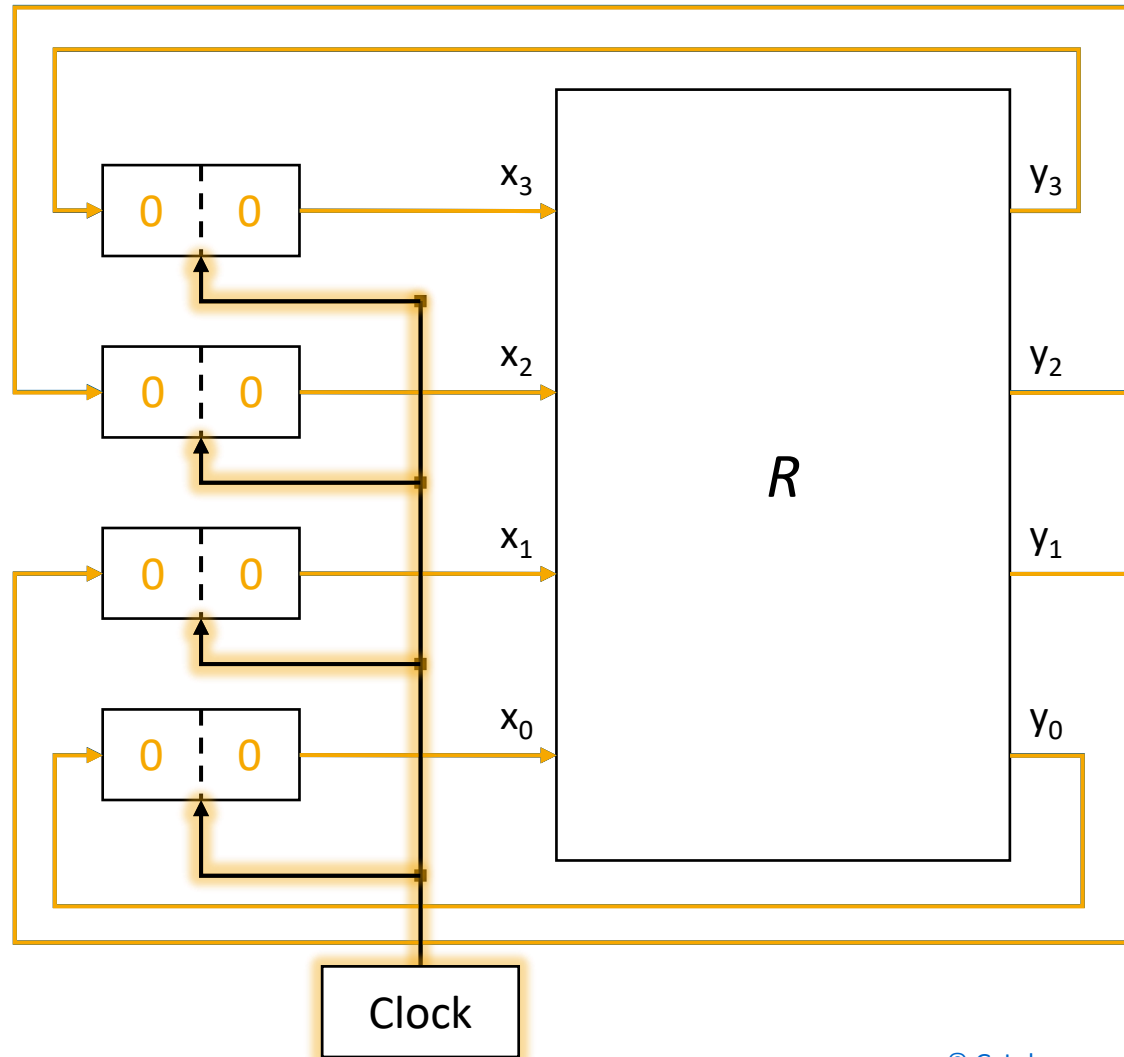
# 1-Bit Register



1. **Arbeitsphase:** Der Inhalt von S wird „nach rechts“ abgegeben; er steht als Signal  $y_i$  zur Verfügung. Ein Signal  $x_i$  wird in V „abgelegt“. V und S sind durch eine Sperre getrennt.
2. **Setzphase:** Eine zentrale Synchronisation durch eine Uhr (engl. Clock), welche Taktimpulse erzeugt, hebt die Sperre kurzzeitig auf und bewirkt dadurch die Abgabe des Inhalts von V an S.

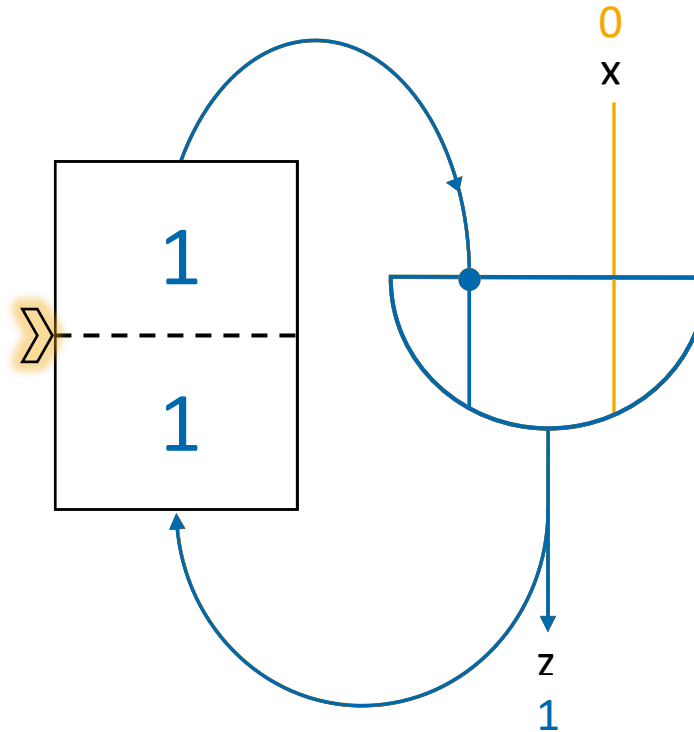
© G. Lakemeyer, W. Oberschelp, G. Vossen

# 4-bit Ringzähler mit 1-Bit Registern



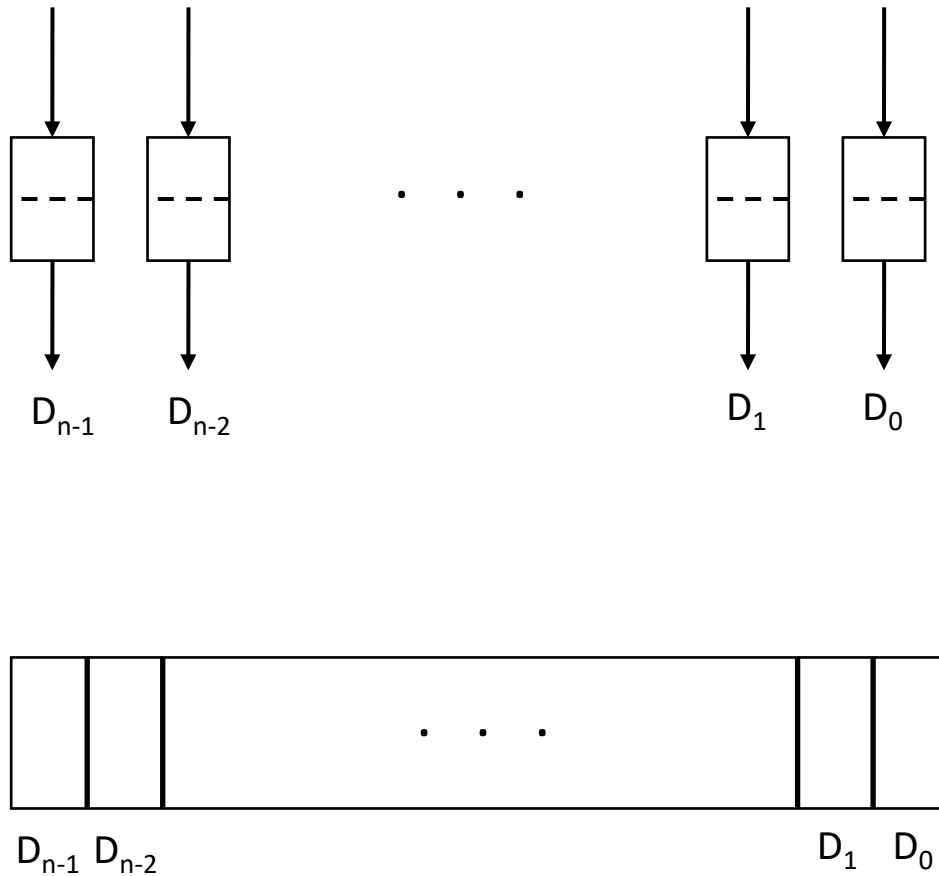
© G. Lakemeyer, W. Oberschelp, G. Vossen

# Flimmerschaltung (realisierbar mit 1-Bit Register)



© G. Lakemeyer, W. Oberschelp, G. Vossen

# n-stelliges Register



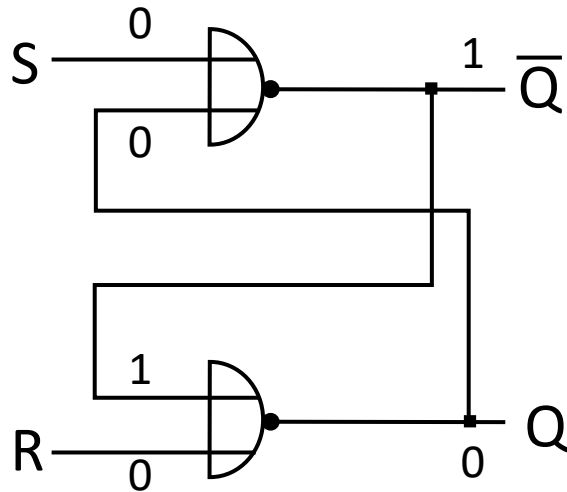
© G. Lakemeyer, W. Oberschelp, G. Vossen

# Abschnitt 7.2

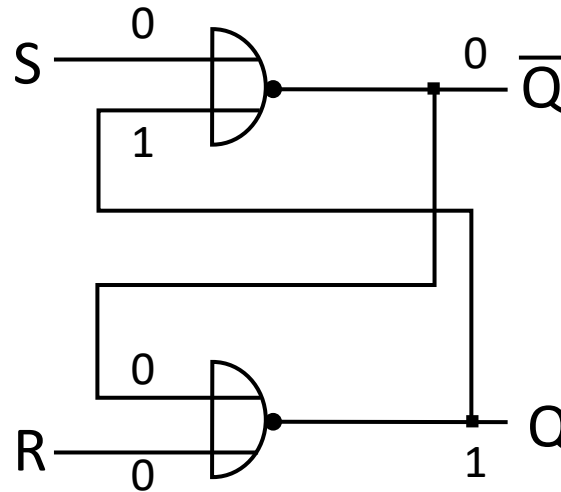
## Latches und Flipflops

- ▶ SR-Latch
- ▶ Getaktetes SR-Latch
- ▶ D-Latch und D-Flipflop
- ▶ JK-Flipflop
- ▶ Pulsgenerator
- ▶ Speicherlogik aus Flipflop

# SR-Latch (realisiert mit NOR-Gattern)



SR-Latch in Zustand 0

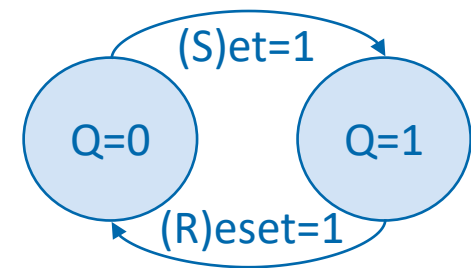


SR-Latch in Zustand 1

Wahrheitstafel für NOR

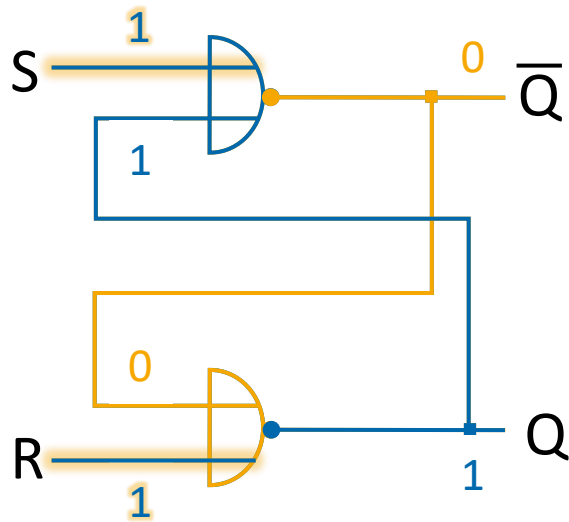
A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

Zustandsgraph eines  
SR-Latch

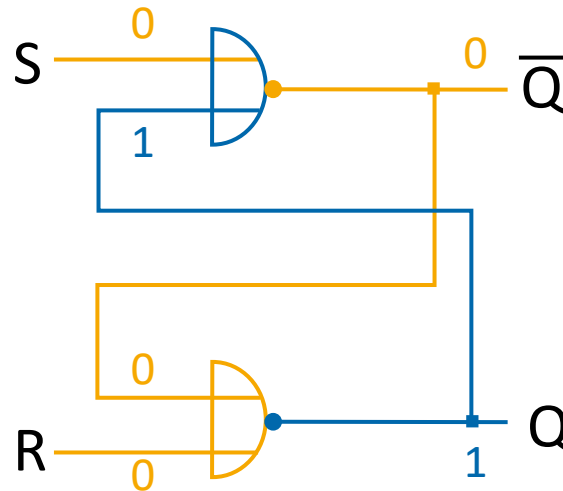


© G. Lakemeyer, W. Oberschelp, G. Vossen

# SR-Latch (realisiert mit NOR-Gattern)



SR-Latch in Zustand 1

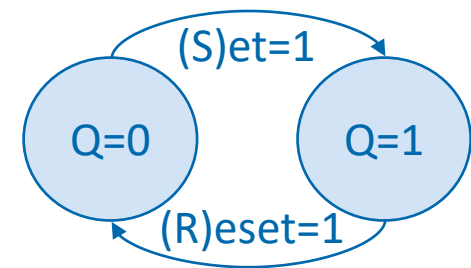


SR-Latch in Zustand 1

Wahrheitstafel für NOR

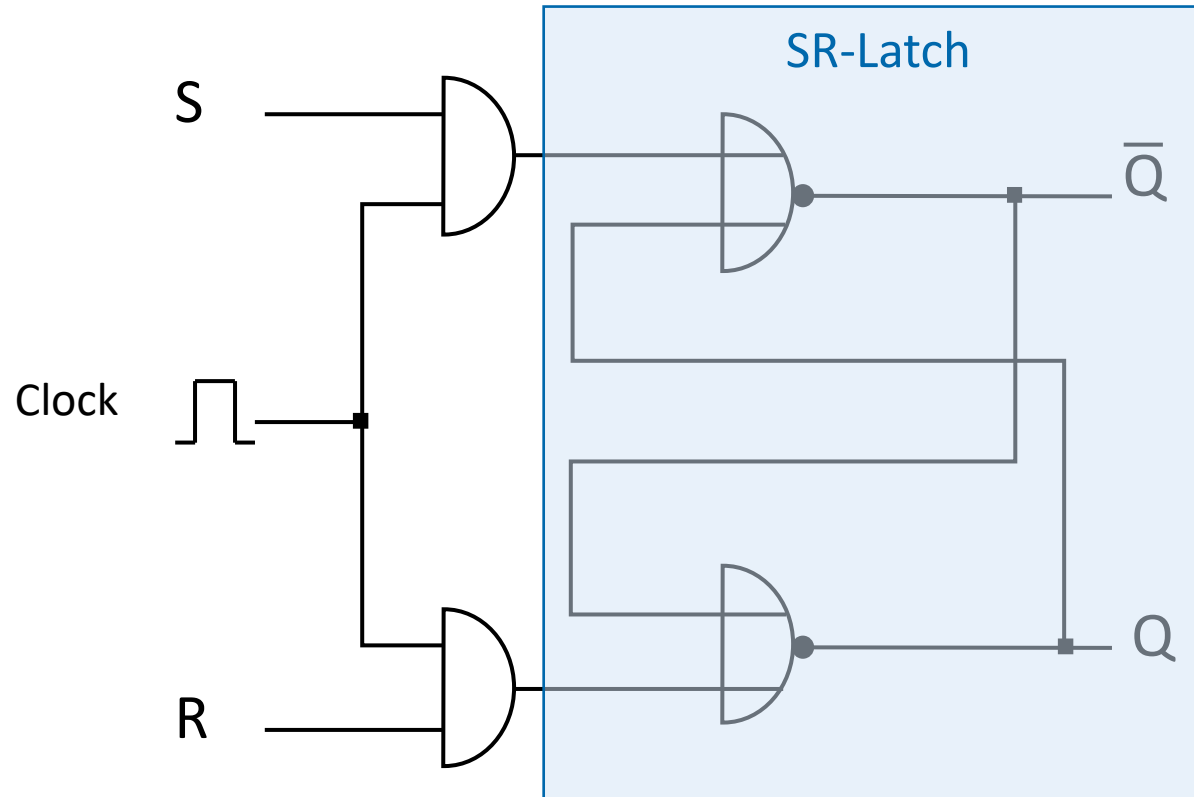
A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

Zustandsgraph eines SR-Latch



© G. Lakemeyer, W. Oberschelp, G. Vossen

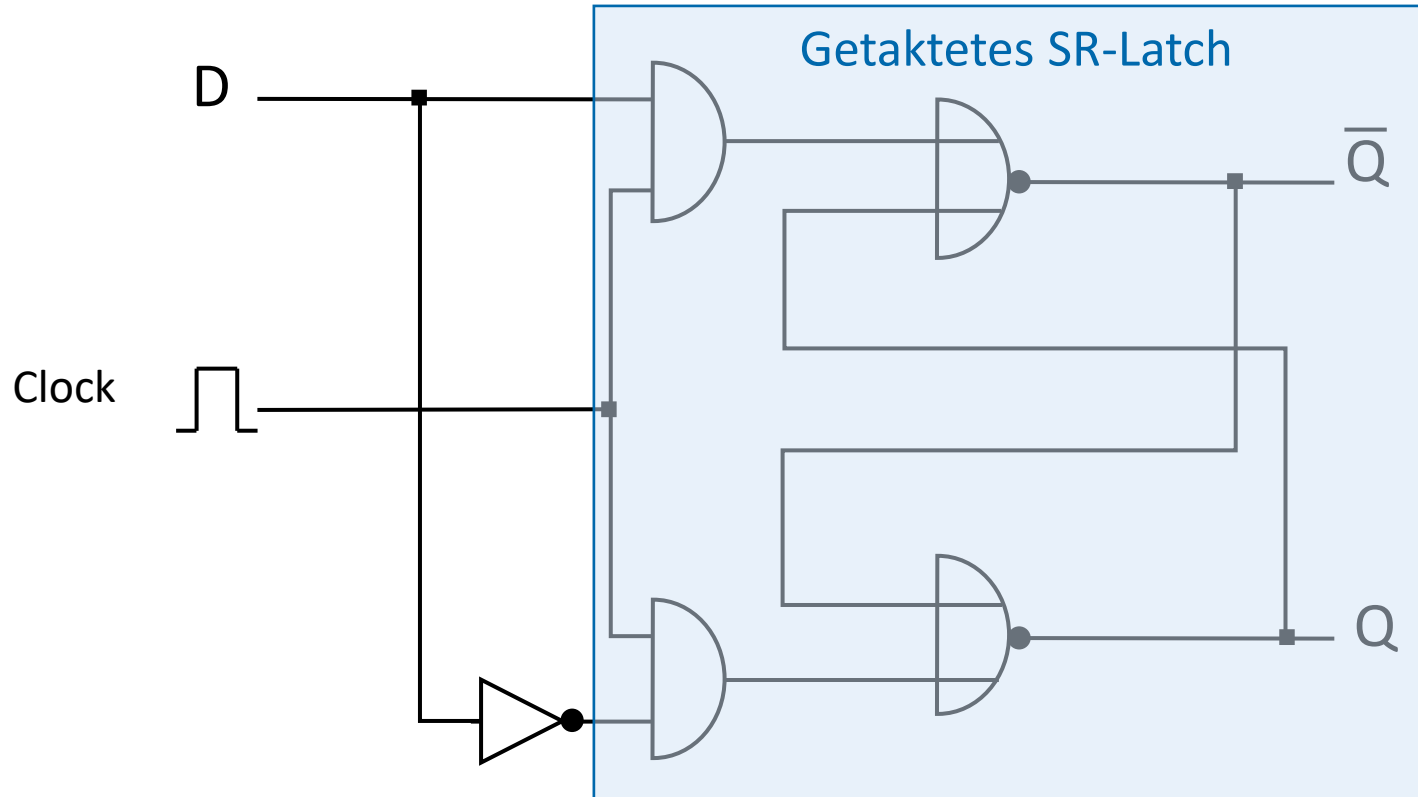
# Getaktetes SR-Latch



© G. Lakemeyer, W. Oberschelp, G. Vossen

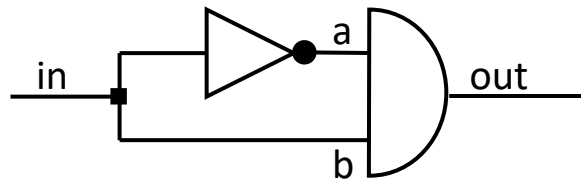


# D-Latch / 1-bit-Register

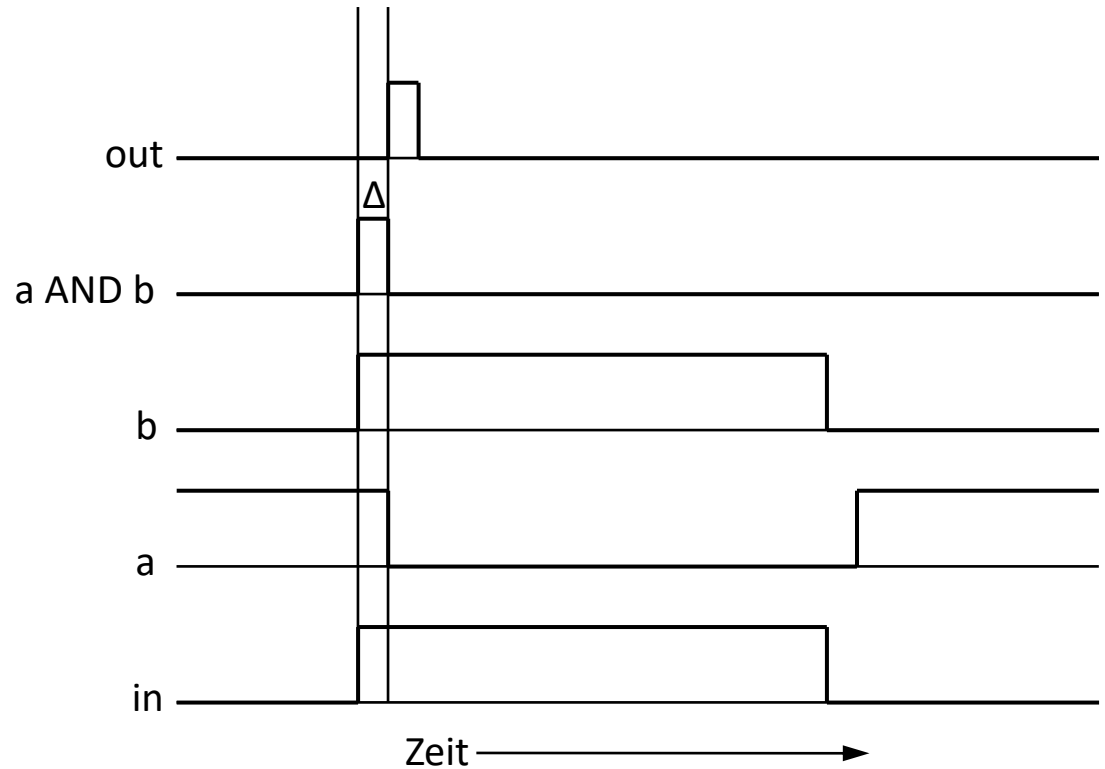


© G. Lakemeyer, W. Oberschelp, G. Vossen

# Prinzip eines Pulsgenerators



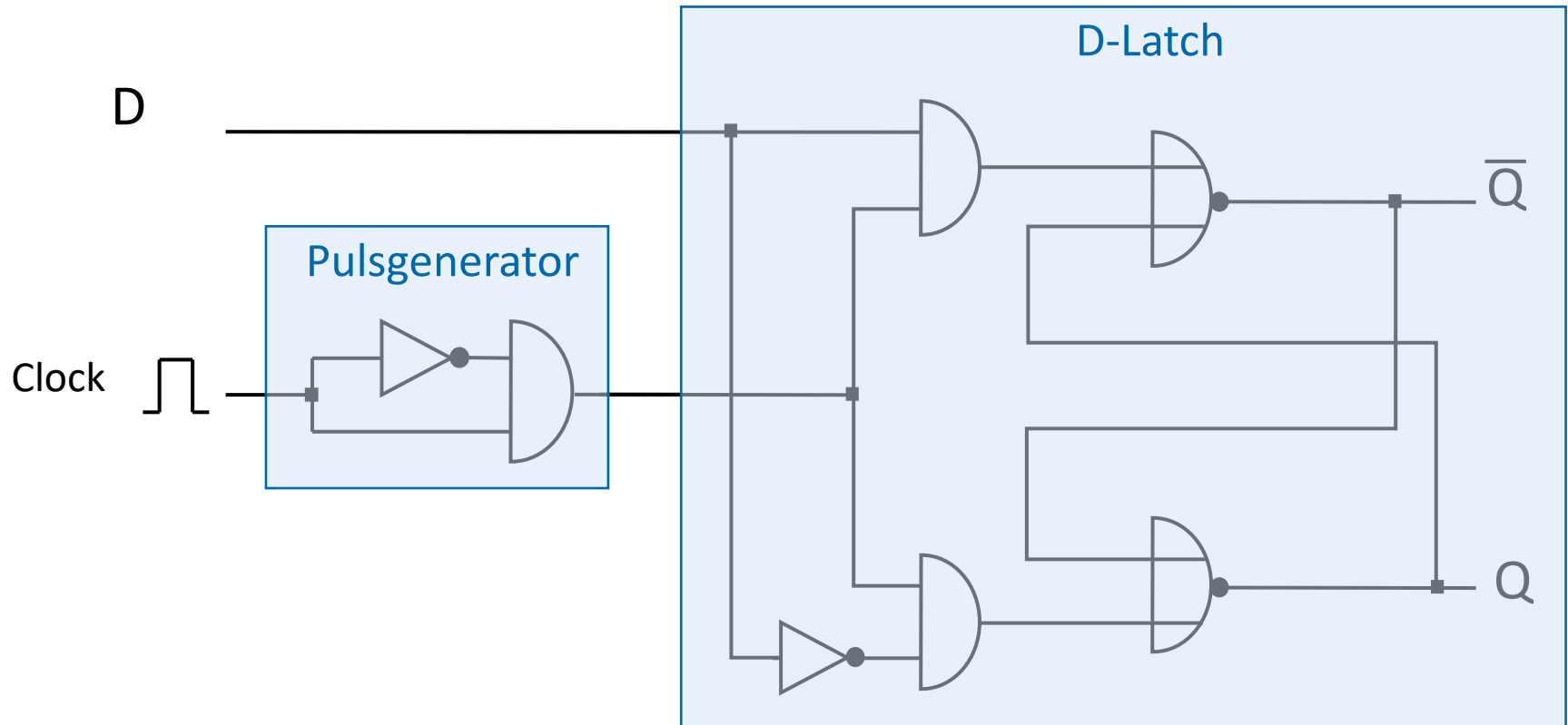
Pulsgenerator



Zeitdiagramm

© G. Lakemeyer, W. Oberschelp, G. Vossen

# D-Flipflop (flankengesteuertes D-Latch)



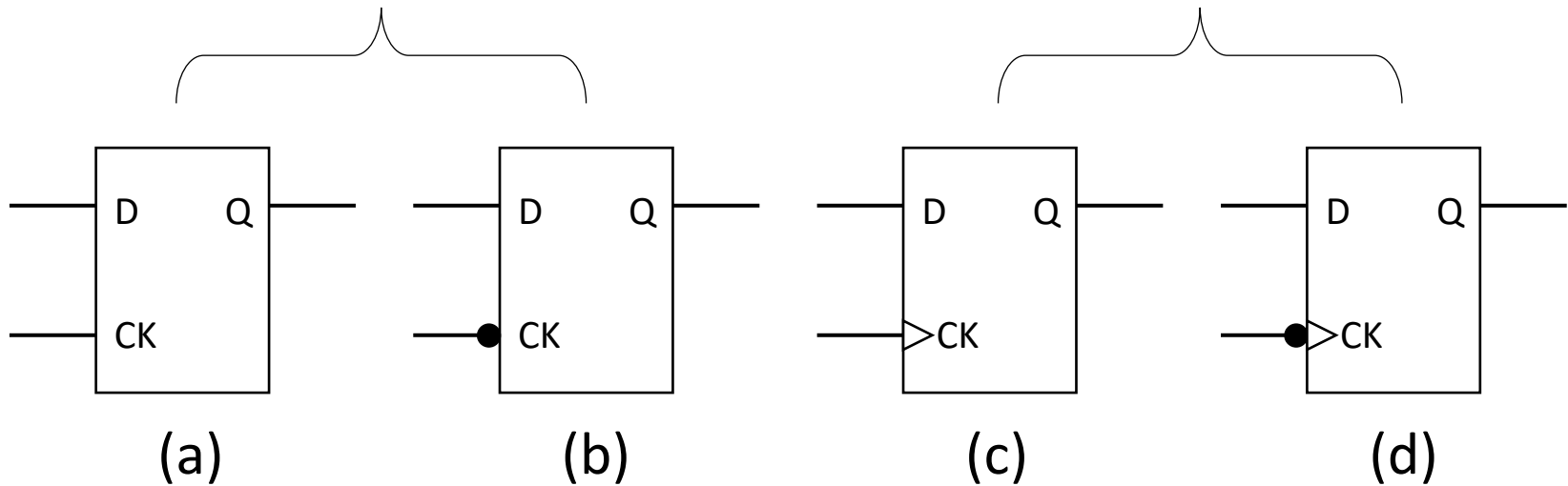
© G. Lakemeyer, W. Oberschelp, G. Vossen

# D-Latches und D-Flipflops

Bistable (bistabile Kippstufe)

Latches

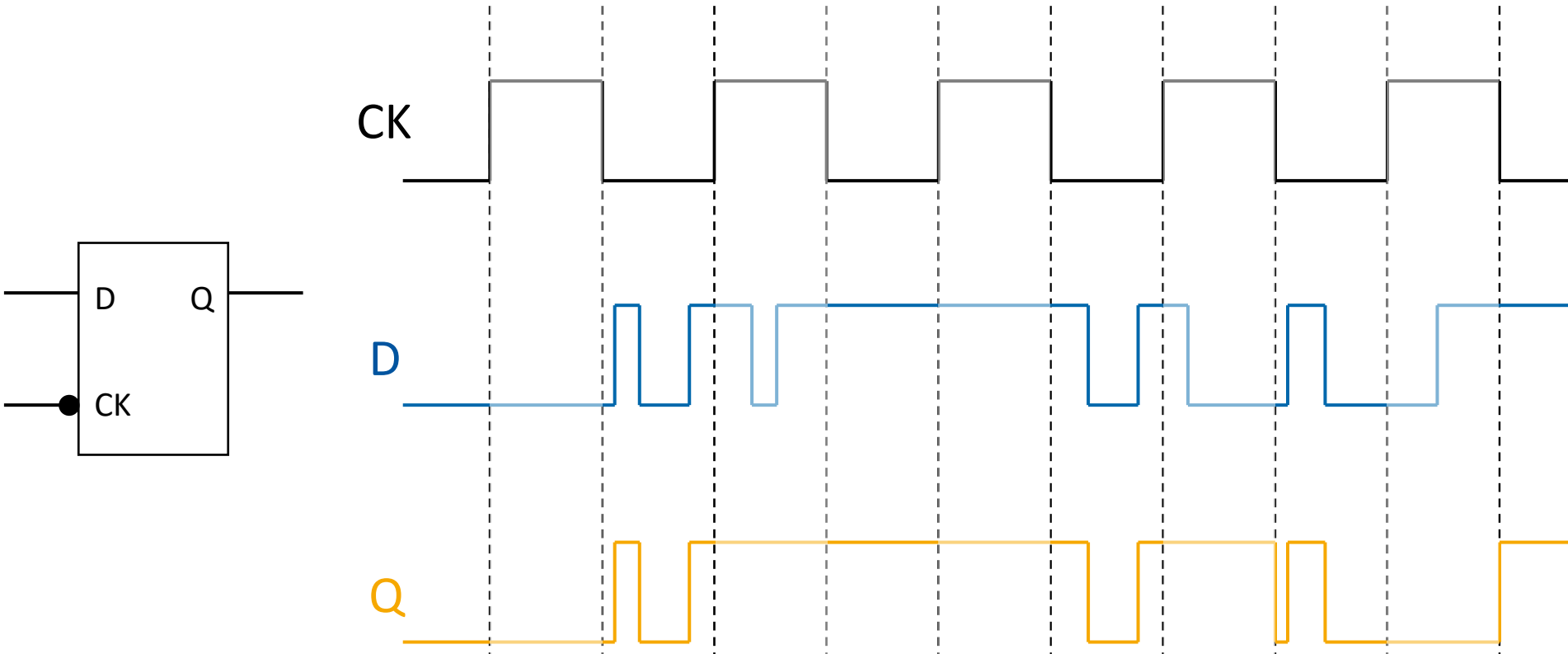
Flipflops



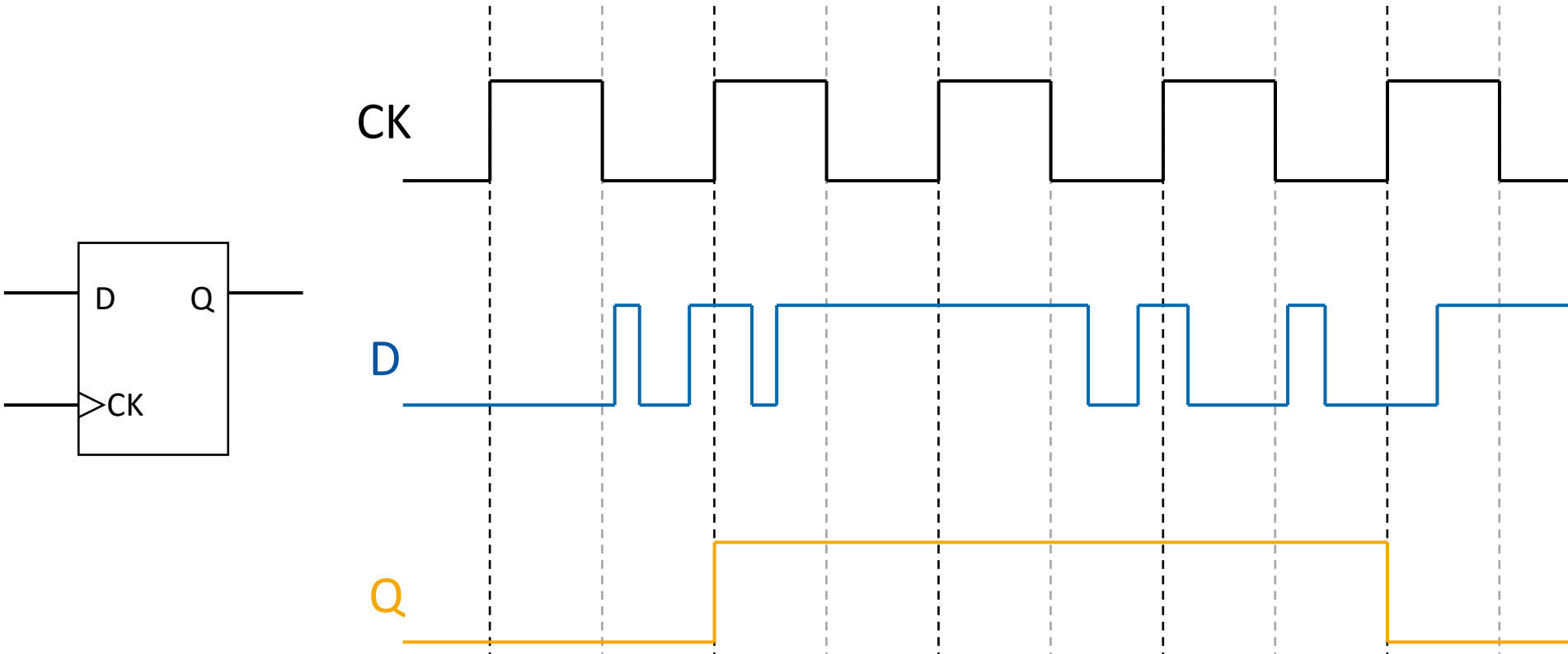
© G. Lakemeyer, W. Oberschelp, G. Vossen



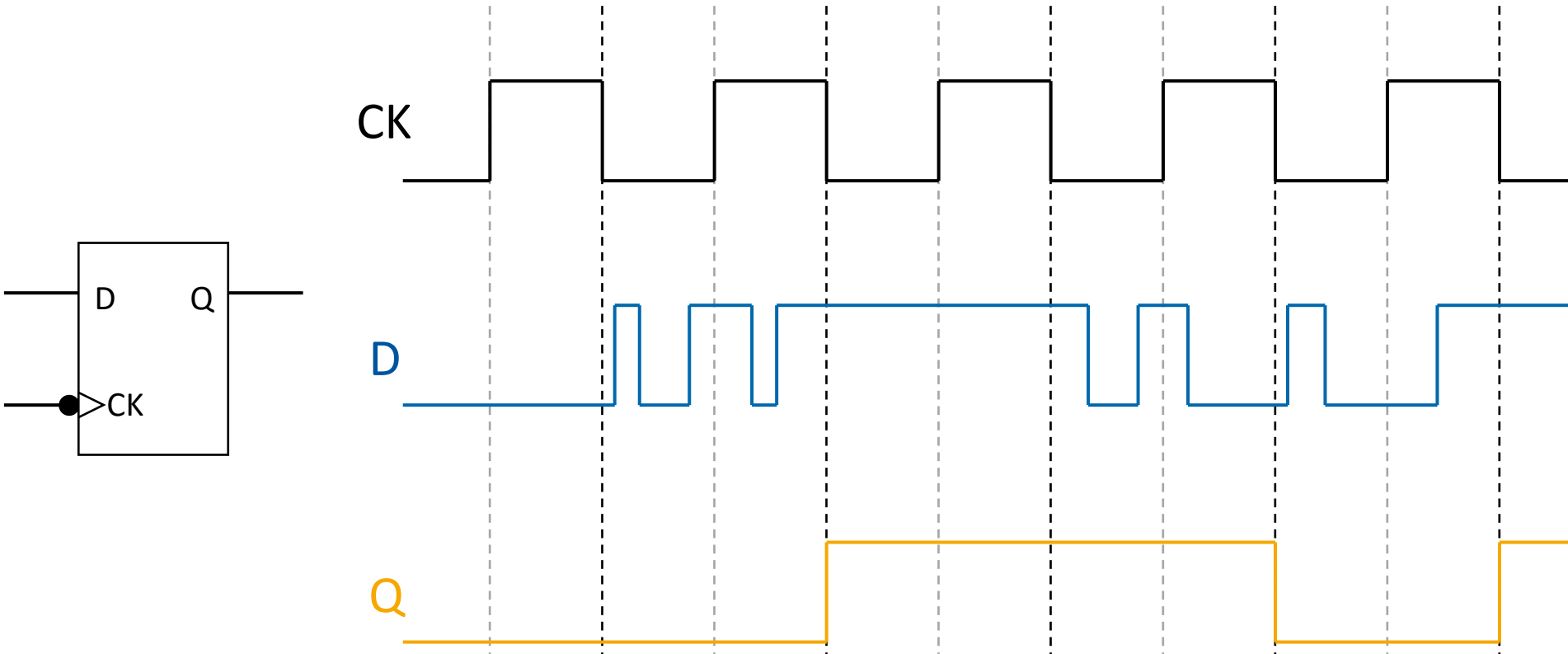
# Negativ gesteuertes D-Latch (b)



# D-Flipflop (c)

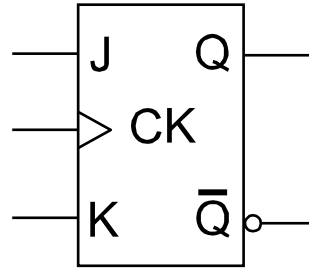


# Negativ gesteuertes D-Flipflop (d)





# JK-Flipflop



*Jump Kill*

J	K	$Q_n$
0	0	$Q_{n-1}$
0	1	0
1	0	1
1	1	$\overline{Q_{n-1}}$

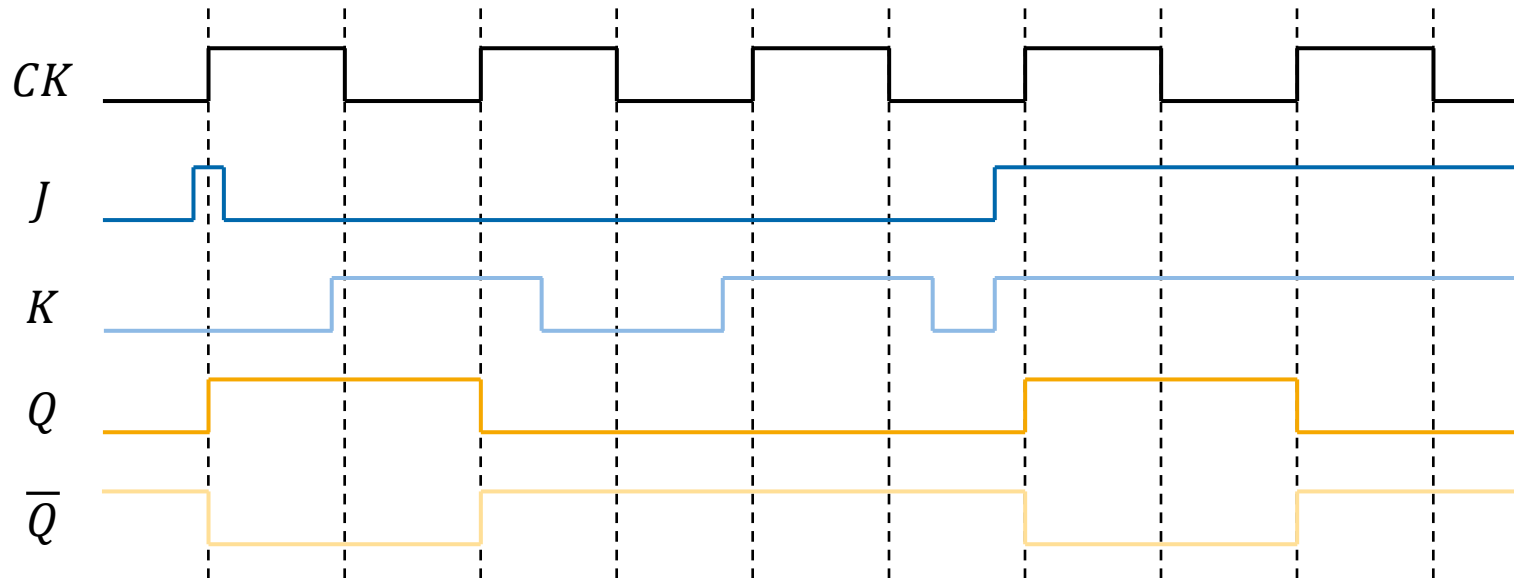
$$Q_n = (J \wedge \overline{Q_{n-1}}) \vee (\overline{K} \wedge Q_{n-1})$$

*Identity*

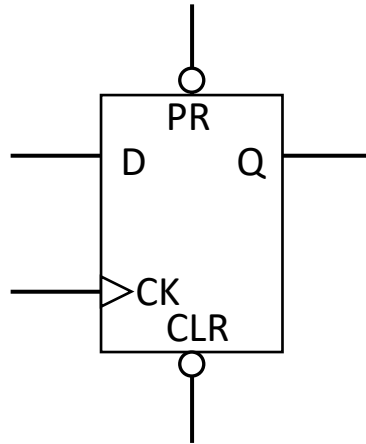
*R*

*S*

*Toggle*

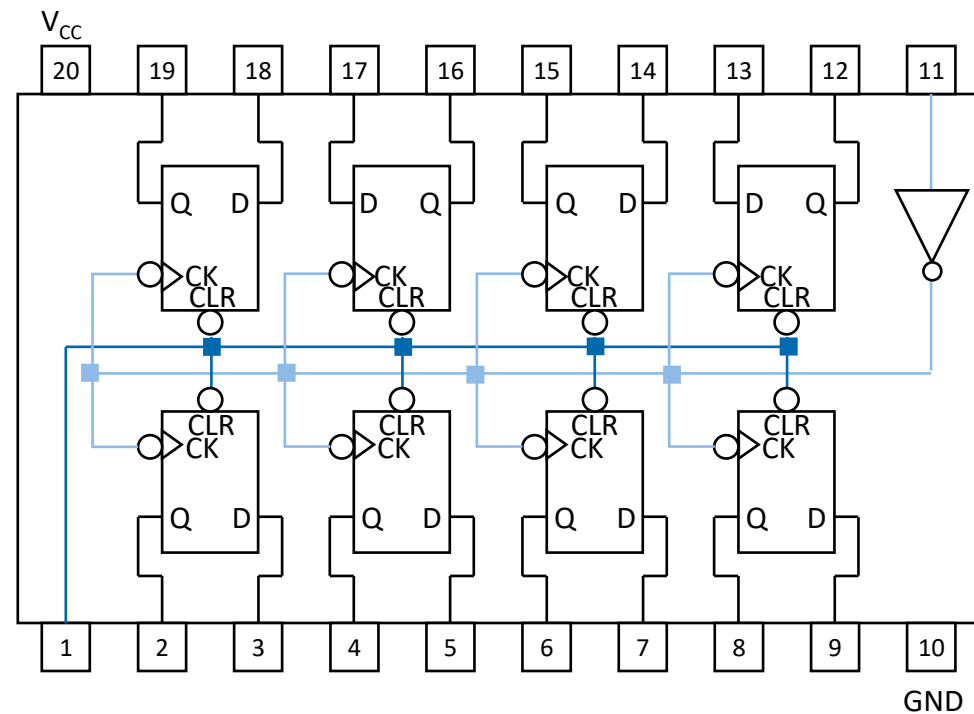
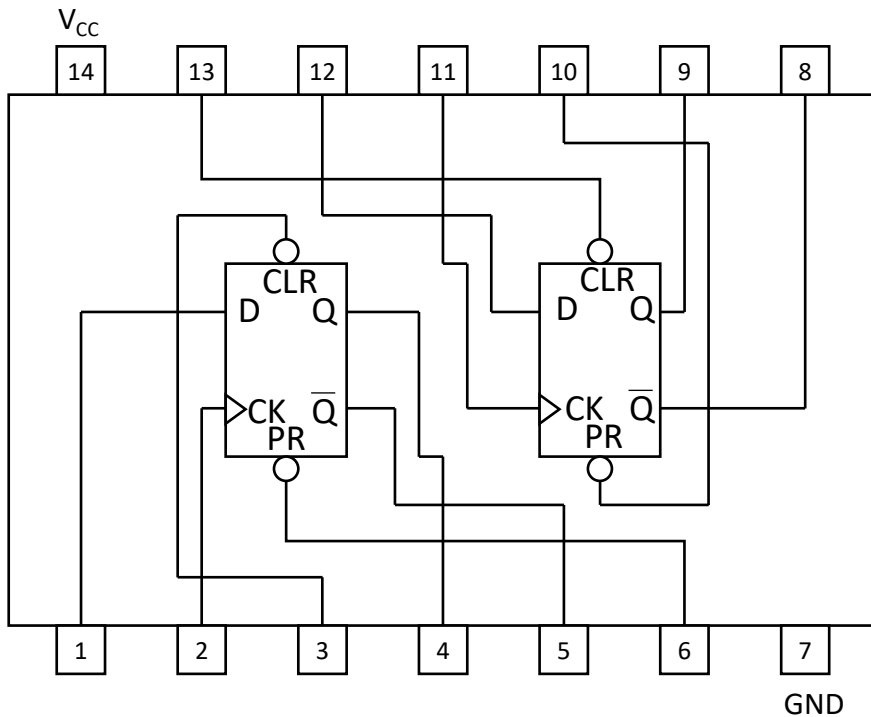


# Clear und Preset



- **Clear** und **Preset** sind zusätzliche Eingänge an getakteten Latches und Flipflops, die ein asynchrones Setzen und Löschen des gespeicherten Bits ermöglichen.

# Zwei D-Flipflops und ein 8-bit Register



© G. Lakemeyer, W. Oberschelp, G. Vossen

# Chip Select und Output Enable

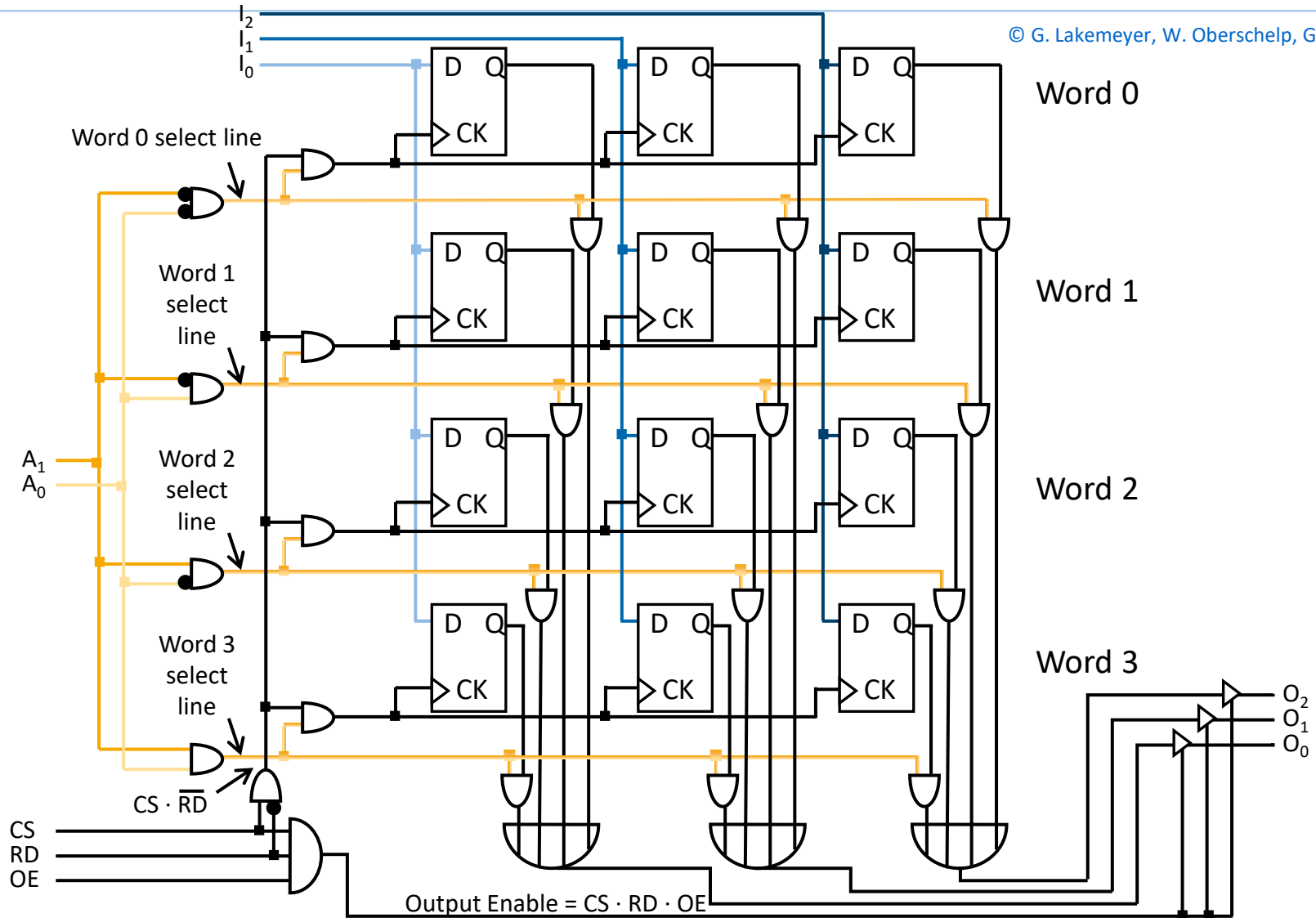
---

- Speicherbausteine enthalten häufig die Eingänge CS (Chip Select) und OE (Output Enable)
  - Mit CS lassen sich Ein- und Ausgabe ganzer Chips deaktivieren
  - Mit OE werden die Ausgänge eines Chips aktiviert bzw. deaktiviert

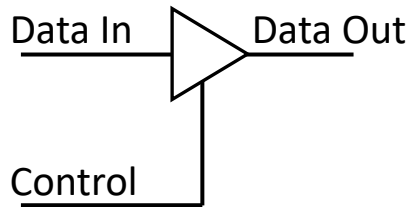
Damit kann gewährleistet werden, dass z.B. momentan nicht benötigte Chips die Bussignale der momentan aktiven Chips nicht stören.

# 4 x 3 Speicher

© G. Lakemeyer, W. Oberschelp, G. Vossen



# Schalter (Tri-State Buffer)



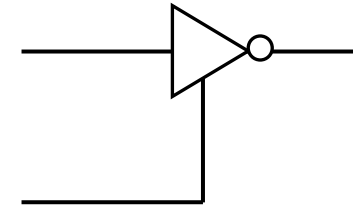
Schalter



Control = 1



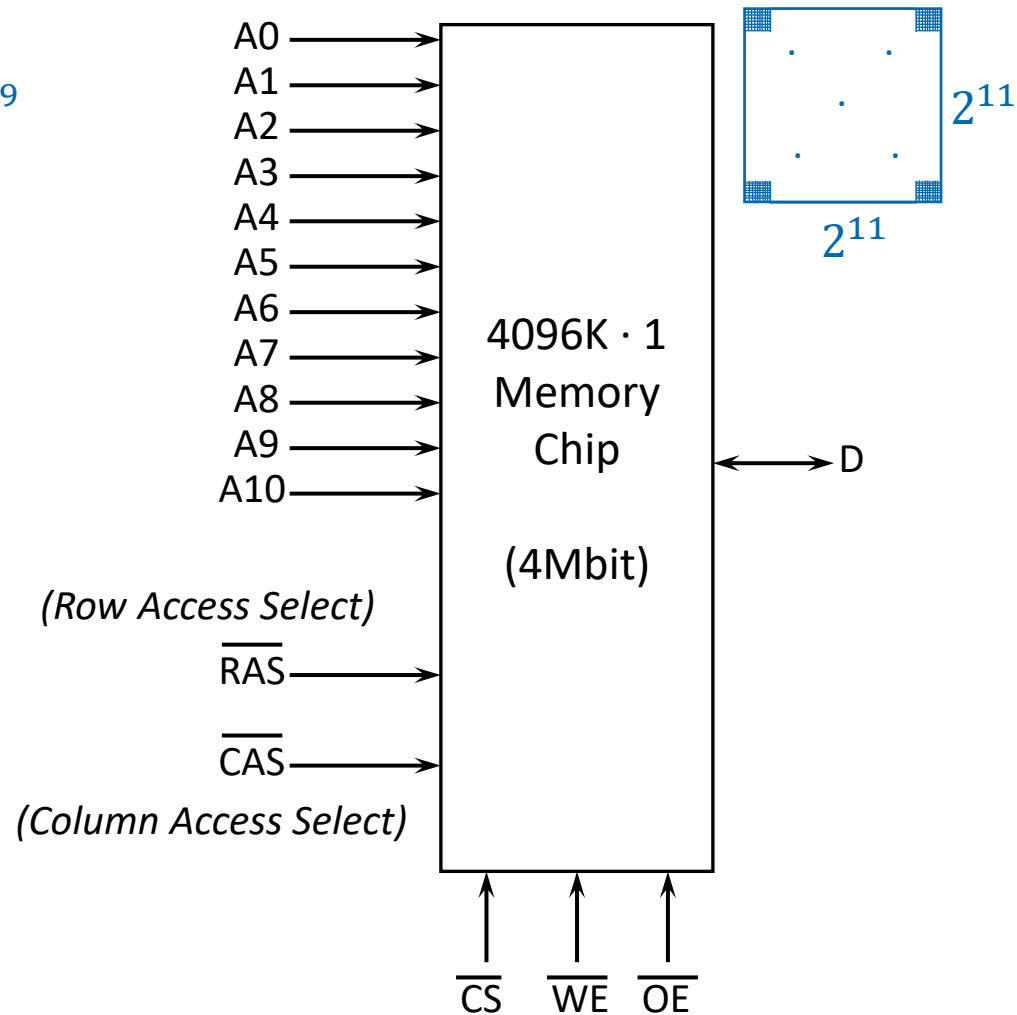
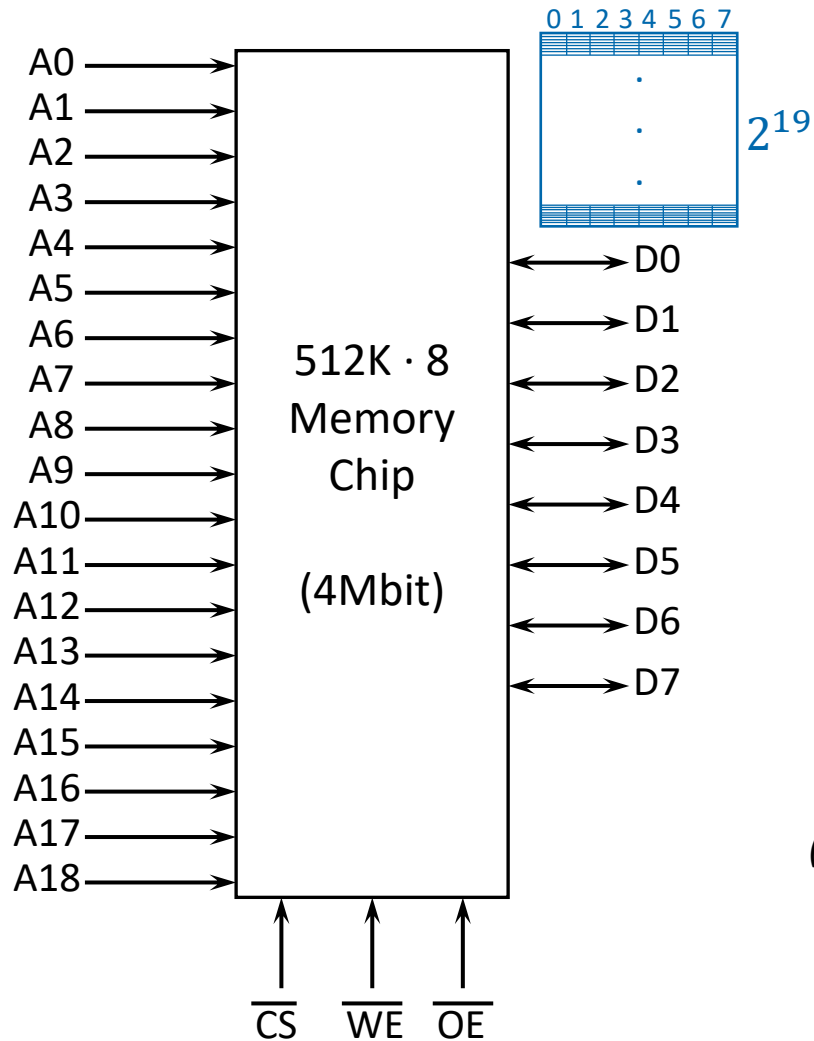
Control = 0



Invertierender  
Schalter

Control kann als Schalter aufgefasst werden oder äquivalent mit dem Input zusammen in ein UND geführt werden

# Organisation eines 4-Mbit Speicherchips



© G. Lakemeyer, W. Oberschelp, G. Vossen