

基本结构



存储矩阵：由大量相同的位存储单元阵列构成

译码驱动：将来自地址总线的地址信号翻译成对应存储单元的选通信号，该信号在读写电路的配合下完成对被选中单元的读写操作

读写电路：包括读出放大器和写入电路，用来完成读写操作

读写控制线：决定芯片进行读写操作

片选线：由于半导体存储器是由许多芯片组成的，因此需要使用片选线确定哪个存储芯片被选中

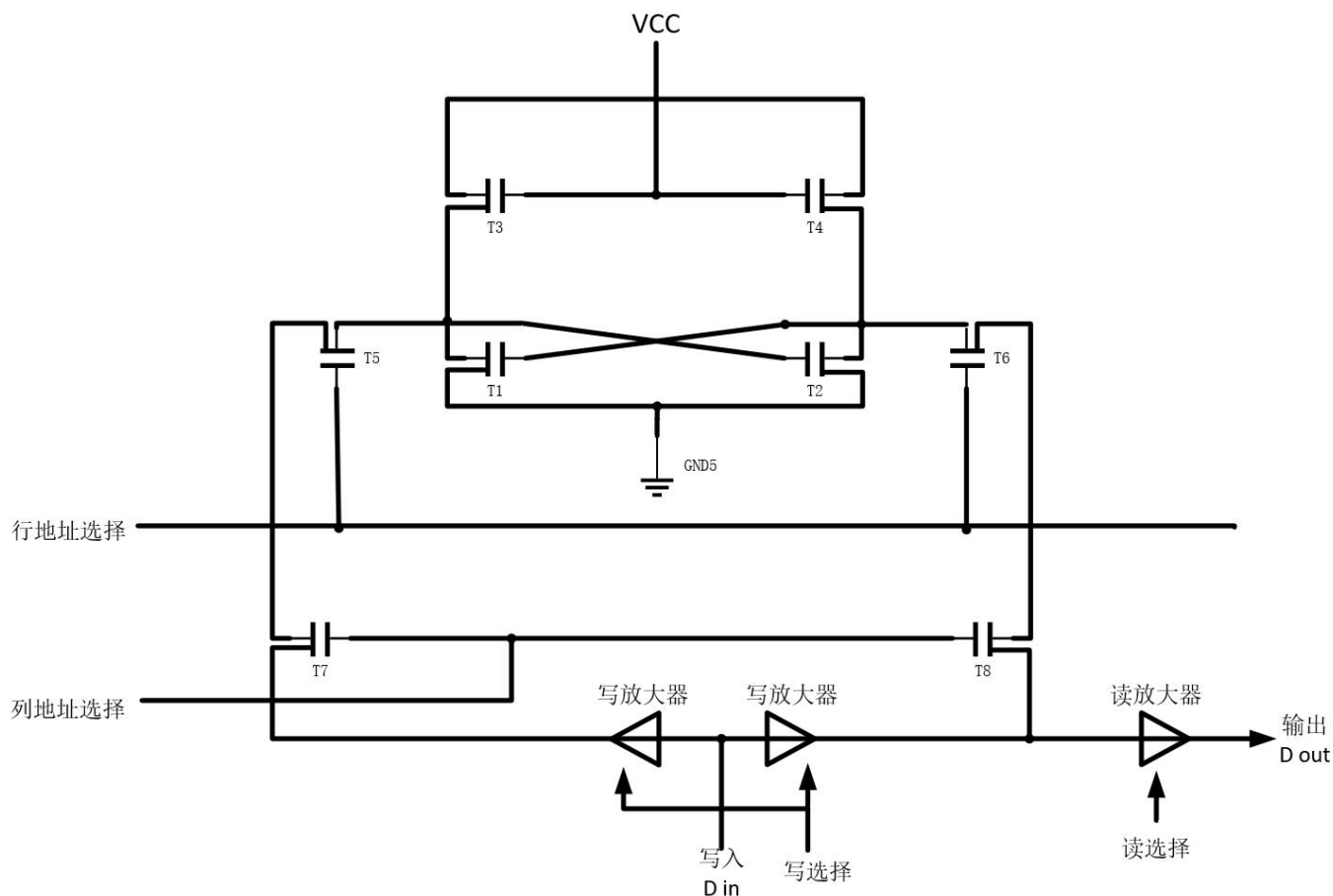
地址线：单向输入的；其位数与存储字的个数有关

数据线：双向的；其位数与读入读出的数据位数有关

数据线和地址线共同反映了存储芯片容量的大小

例如：地址线10根；数据线8根；则芯片容量为 $2^{10} * 8 = 8K$

SRAM 工作原理



SRAM (Static Random Access Memory) 静态随机访问存储器

工作原理：存储元是双稳态触发器(六管MOS)来记忆信息。即使信息被读出，它仍然保持其原状态而不需要再生（非破坏性读出）。只要电源被切断，原来保存的信息便会消失，它是易失性半导体存储器；

一般用来组成高速缓冲器Cache

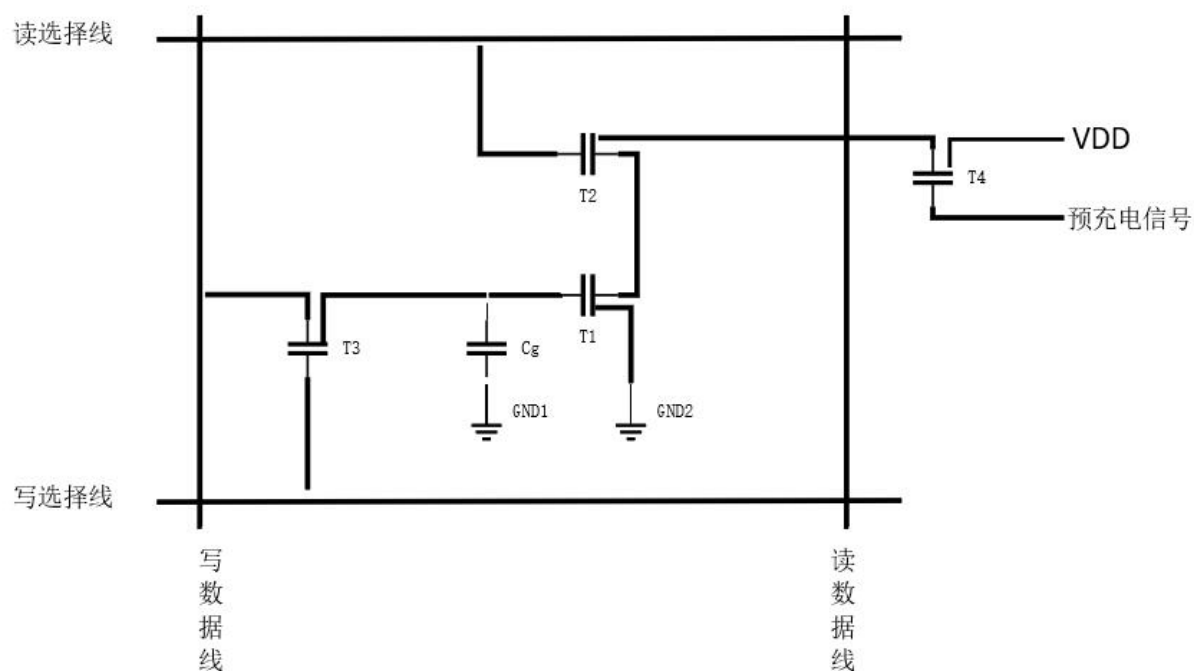
优点：

1. 速度快

缺点：

1. 集成度低
2. 功耗高
3. 价格高
4. 容量小

DRAM 工作原理



DRAM (Dynamic Random Access Memory) 动态随机访问存储器

DRAM是利用存储元电路中栅极电容上的电荷来存储信息的

常见的DRAM的基本存储电路通常分为三管式和单管式

采用地址复用技术，地址线是原来的1/2，地址信号分行、列两次传送

一般用来组成大容量主存系统（内存条）

优点：

1. 集成度高
2. 功耗较低
3. 价格较低

缺点：

1. 速度较慢
2. 需要定时刷新

DRAM的刷新

刷新周期

电容上的电荷只能停留1~2ms，所以刷新周期一般为2ms

每次以行为单位进行刷新，硬件支持刷新

分散刷新

每次读写完都刷新一行；系统的存储周期变为1us

前0.5us时间用于正常读写；后0.5us用于刷新某行

集中刷新

2ms内集中安排时间全部刷新；系统的存取周期还是0.5us；

有一段时间专门用于刷新，无法访问存储器，称为访问“死区”

异步刷新

2ms内每行刷新一次即可

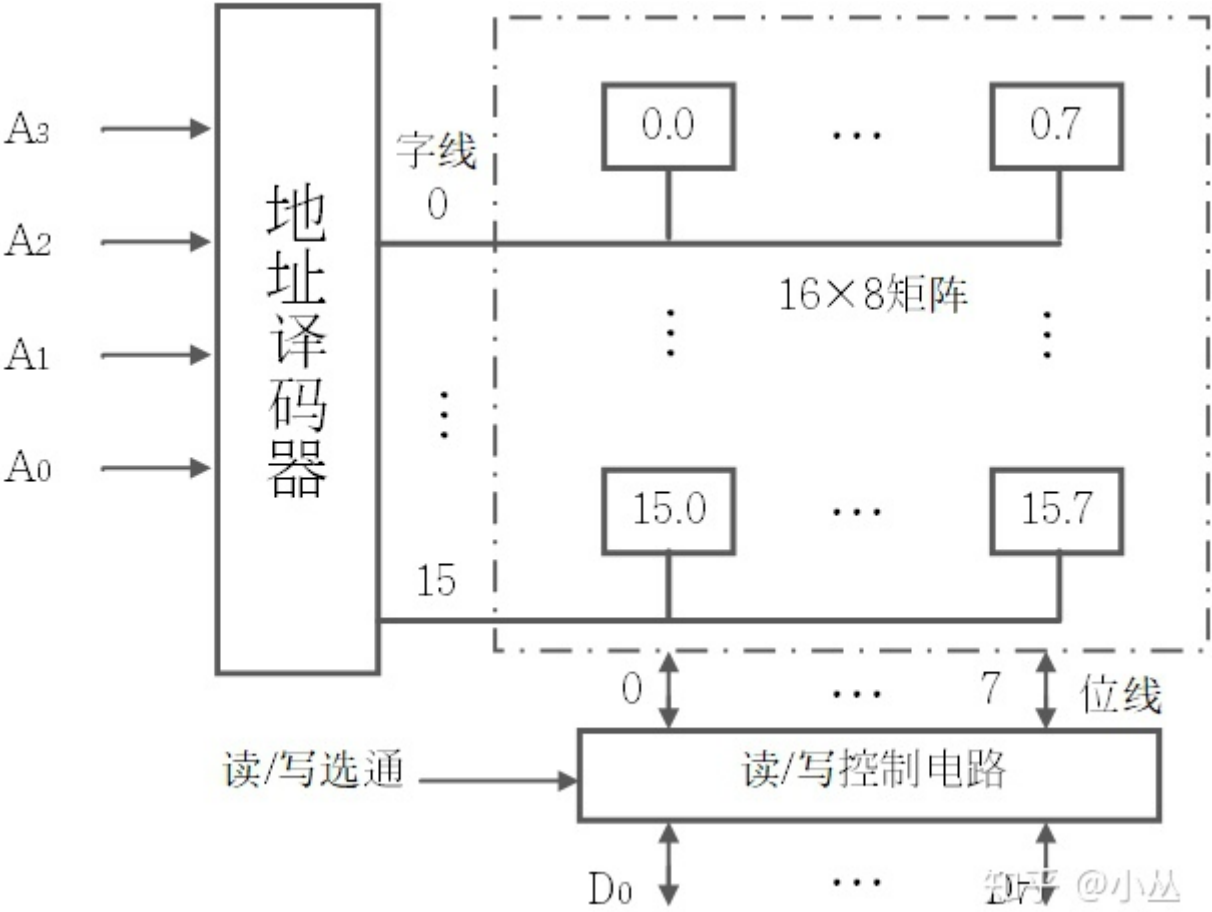
2ms内需要产生128次（假设行数）刷新请求；每隔2ms/128（假设行数） = 15.6us一次

每15.6内有0.5us的“死时间”

半导体存储芯片的译码驱动方式

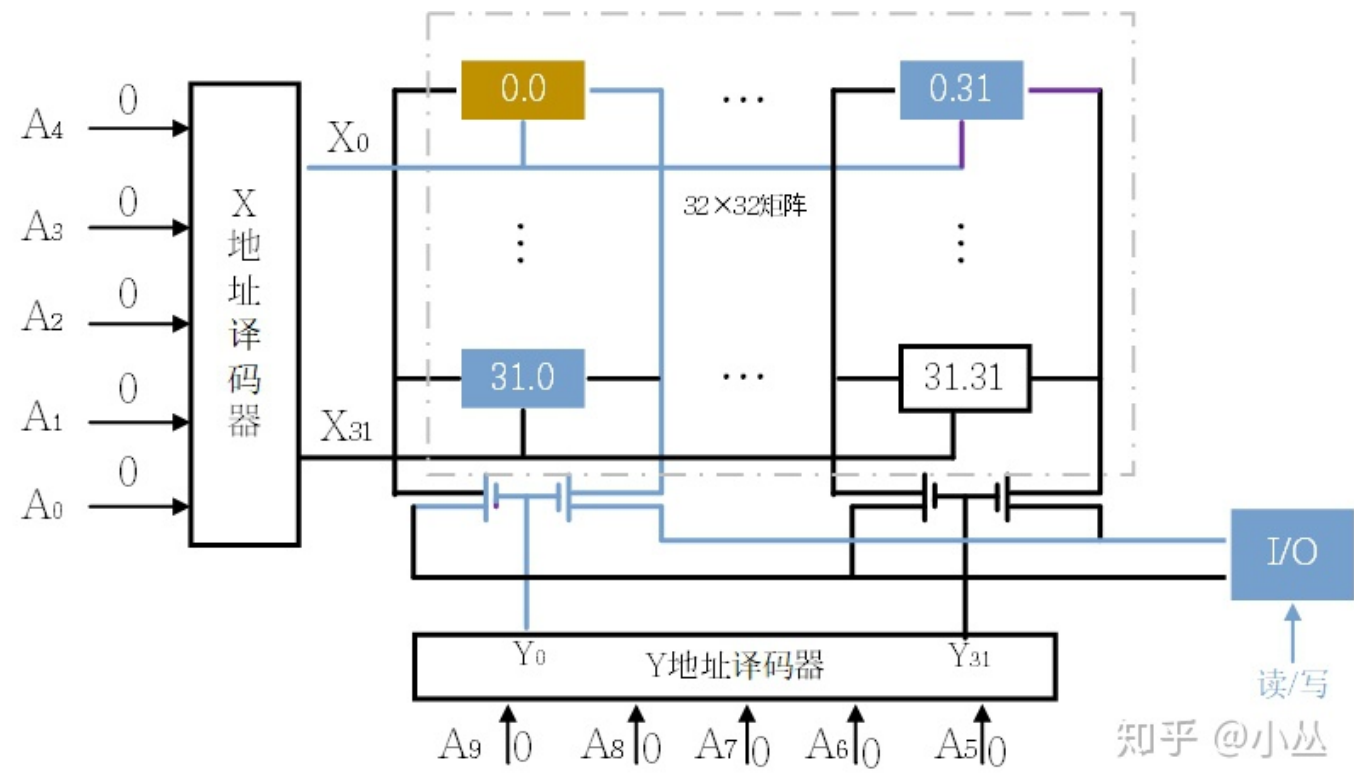
重合法相比线选法减少了许多线，降低了经济成本，减少了布线以及芯片的复杂度

线选法



上图中，共有A3、A2、A1和A0四根地址线，共有16种可能，也就是连接了16个存储单元
在存储器的右边，共有16根线，分别连接了这16个存储单元；可见需要的线数非常多

重合法



重合法是由行地址线和列地址线共同确定了一个存储单元；
行和列地址线都是5根，都可以表示32种可能
行和列共同工作可确定 (32 * 32 = 1024) 种可能，但是只用了10根线