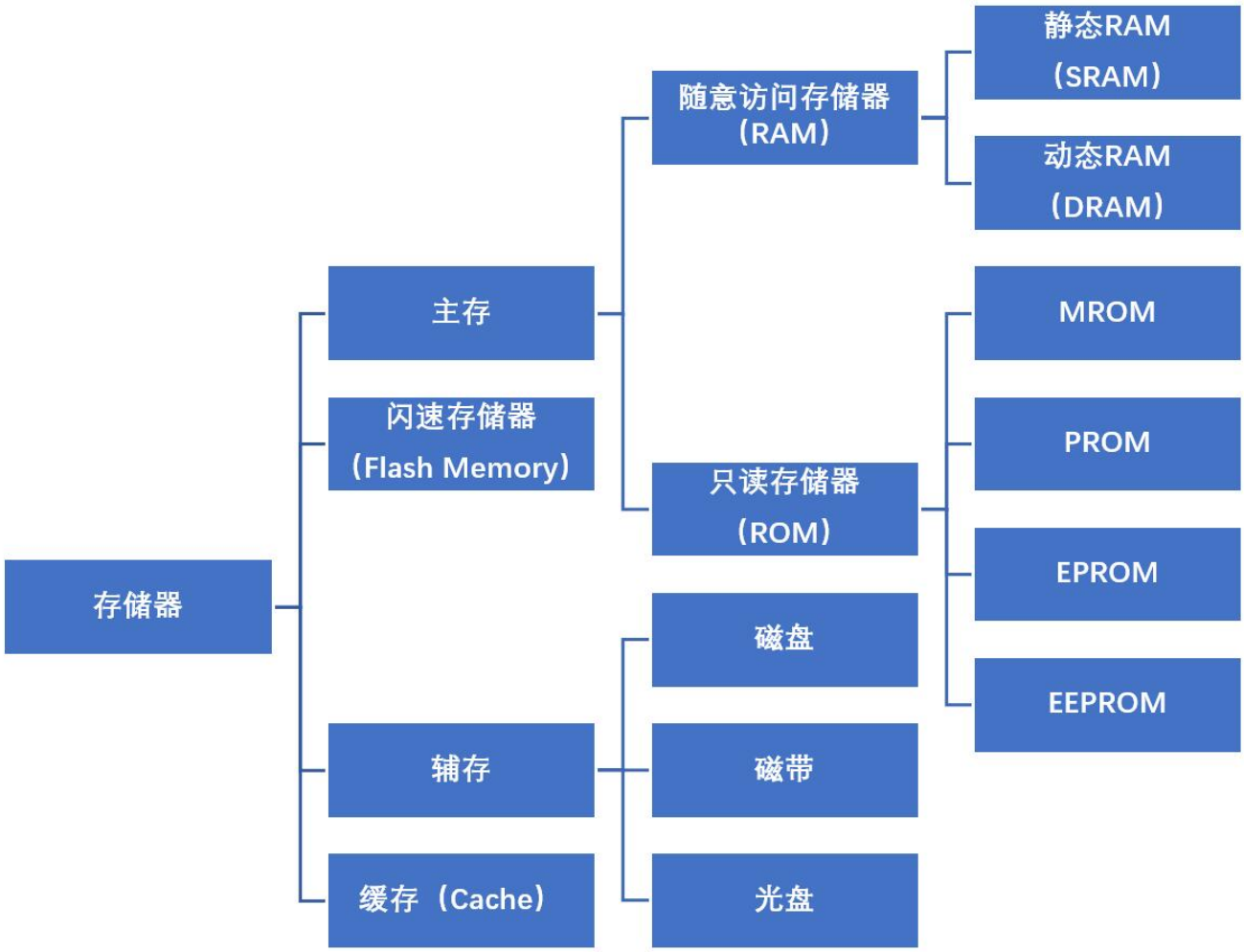
存储器

存储器是计算机系统中的记忆设备，用来存放程序和数据

P70 存储器分类

按照存储器在计算机中的功能，有以下分类



- 主存储器；简称主存或内存；和CPU直接交换信息
- 辅助存储器；简称辅存和外存

P69 按存取方式分类

RAM（易失的）

任何一个存储单元都可随机存取，存取时间与存储单元无关，具有易失性

分为SRAM和DRAM两种

1. SRAM；静态随机访问存储器；(Static Random Aceess Memory)；电容实现；需要不停的充电

2. DRAM；动态随机访问存储器；(Dynamic Random Aceess Memory)；触发器实现；只需要在改变其状态的时候充电

ROM（不易失的）

ROM一旦有了信息，则不能轻易改变，即使断电也不会丢失

分为MROM、PROM、EPROM和EEPROM

- MROM；Mask ROM；掩模只读存储器
- PROM；Programmable ROM；可编程只读存储器
- EPROM；Erasable Programmable ROM；可擦除可编程只读存储器
- EEPROM；Electrically-Erasable Programmable ROM；电可擦除可编程只读存储器

P73 主存中存储单元地址的分配

地址线24根，按字节寻址范围为2^24 =16M；

若字长32位，则一个字有4个字节，所以要留2根地址线指出该字中的哪个字节 `[00,01,10,11]` ，即寻址范围为 2^(24-2) = 4M；

若字长16位，则一个字有2个字节，所以要留1根地址线指出该字中的哪个字节 `[00,01]` ，即寻址范围为 2^(24-1) = 8M；

P73 主存的技术指标

存储容量

存储容量指的是主存能存放二进制代码的总位数

存储容量 = 存储字数 * 存储字长

存储字数：存储单元的个数，与MAR的位数有关

存储字长：一个存储单元包含二进制代码的长度

存储速度

存储速度是由存取时间和存取周期来表示的

- 存取时间Ta；从启动一次存储器操作到完成该操作所花费的时间，分为读入时间和写入时间
- 存储周期Tm；存储器进行连续两次独立访问存储器操作之间所需要的最小时间间隔，通常存储周期大于存取时间

存储器带宽

存储器带宽表示单位时间内存储器存取的数据量

单位是字/秒、字节/秒、位/秒

带宽 = 数据宽度 / 存储周期

为了提高存储器的带宽，可以采用以下措施

- 缩短存取周期
- 增加存储子长
- 增加存储体

单位的转换

- 秒s、毫秒ms、微秒us、纳秒ns
- 1s = 1000ms = 1000,000us = 1000,000,000ns
- 赫兹Hz、千赫兹KHz、兆赫兹MHz、吉赫兹GHz
- 1GHz = 1000MHz = 1000,000KHz = 1000,000,000Hz
- 1s = 1hz、1ms = 1k、1us = 1m、1ns = 1000m

单位成本

每位价格 = 总成本 / 总容量

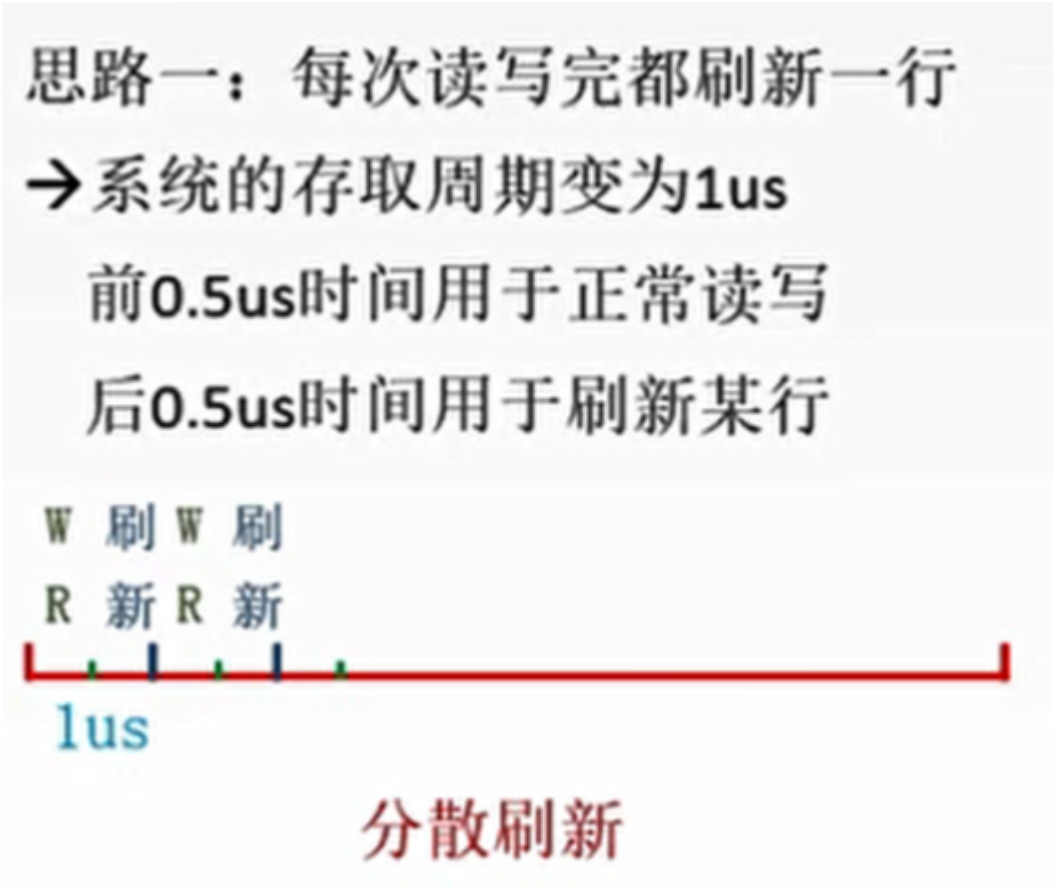
P86 DRAM的刷新

刷新周期

DRAM使用电容存储信息，但是电容上的电荷只能停留1~2ms，所以刷新周期一般为2ms

每次以行为单位进行刷新，硬件支持刷新

分散刷新

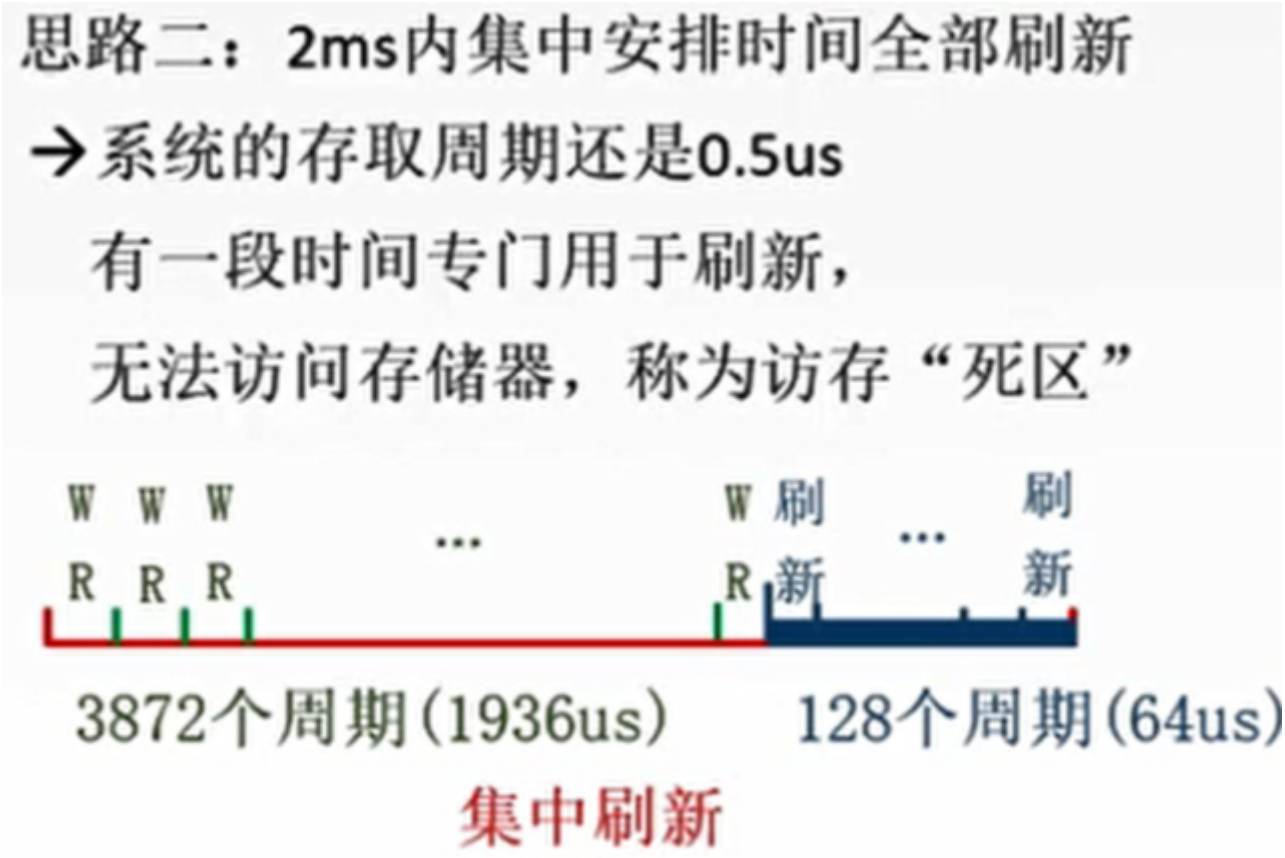


对每行存储单元的刷新分布到每个存取周期内完成

其中把机器的存取周期（记为tc），分成两个部分，前半段的tm用来记录读写，后半段（tr）用来刷新，即tc = tm + tr

不存在停止读写操作的死时间，但是每个存储周期延长为1us，降低了效率

集中刷新

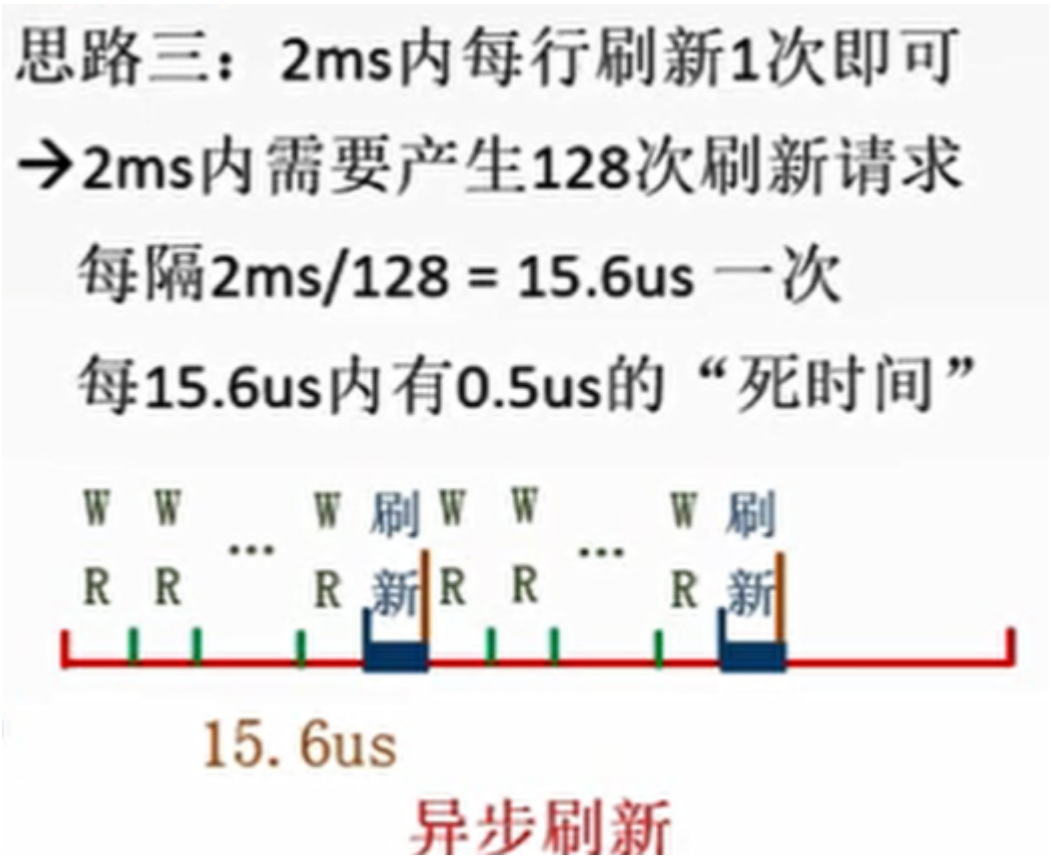


在刷新周期内，对全部存储单元集中一段时间进行刷新（逐行进行），此时必须停止读写操作。

系统的存取周期还是0.5us；

有一段时间专门用于刷新，无法访问存储器，称为访问“死区”

异步刷新



2ms内每行刷新一次即可

2ms内需要产生128次（假设行数）刷新请求；每隔2ms/128（假设行数） = 15.6us一次

每15.6内有0.5us的"死时间"

既能缩短死时间，又能充分利用刷新周期，提高刷新频率

P88 基本器件

对于半导体ROM而言，基本器间为MOS型和TTL型

存储容量的扩展

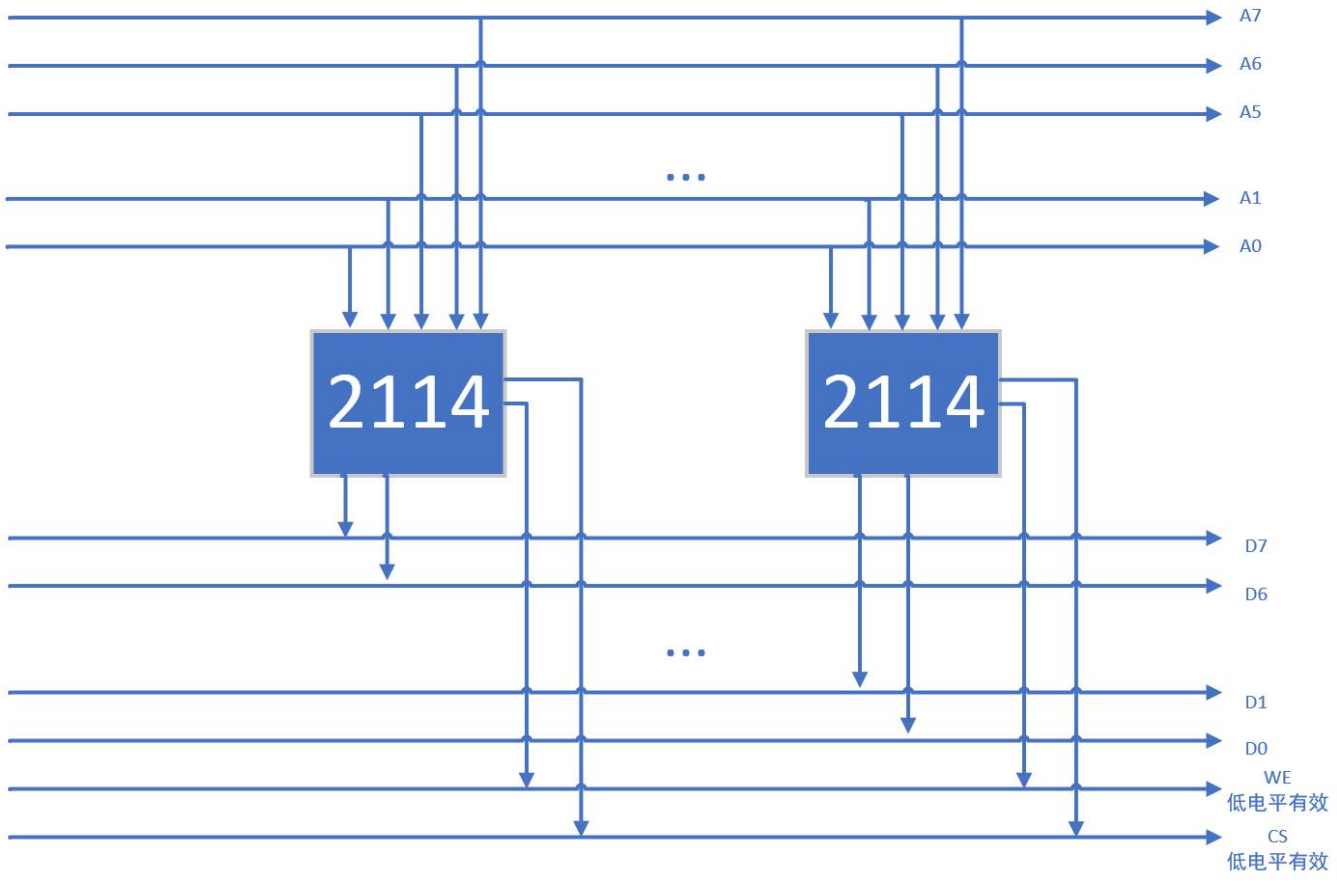
存储芯片的容量总是有限的，很难满足实际需要

因此需要将若干个存储芯片连接到一起才能组成足够容量的存储器

扩展：

- 位扩展
- 字扩展
- 字位扩展

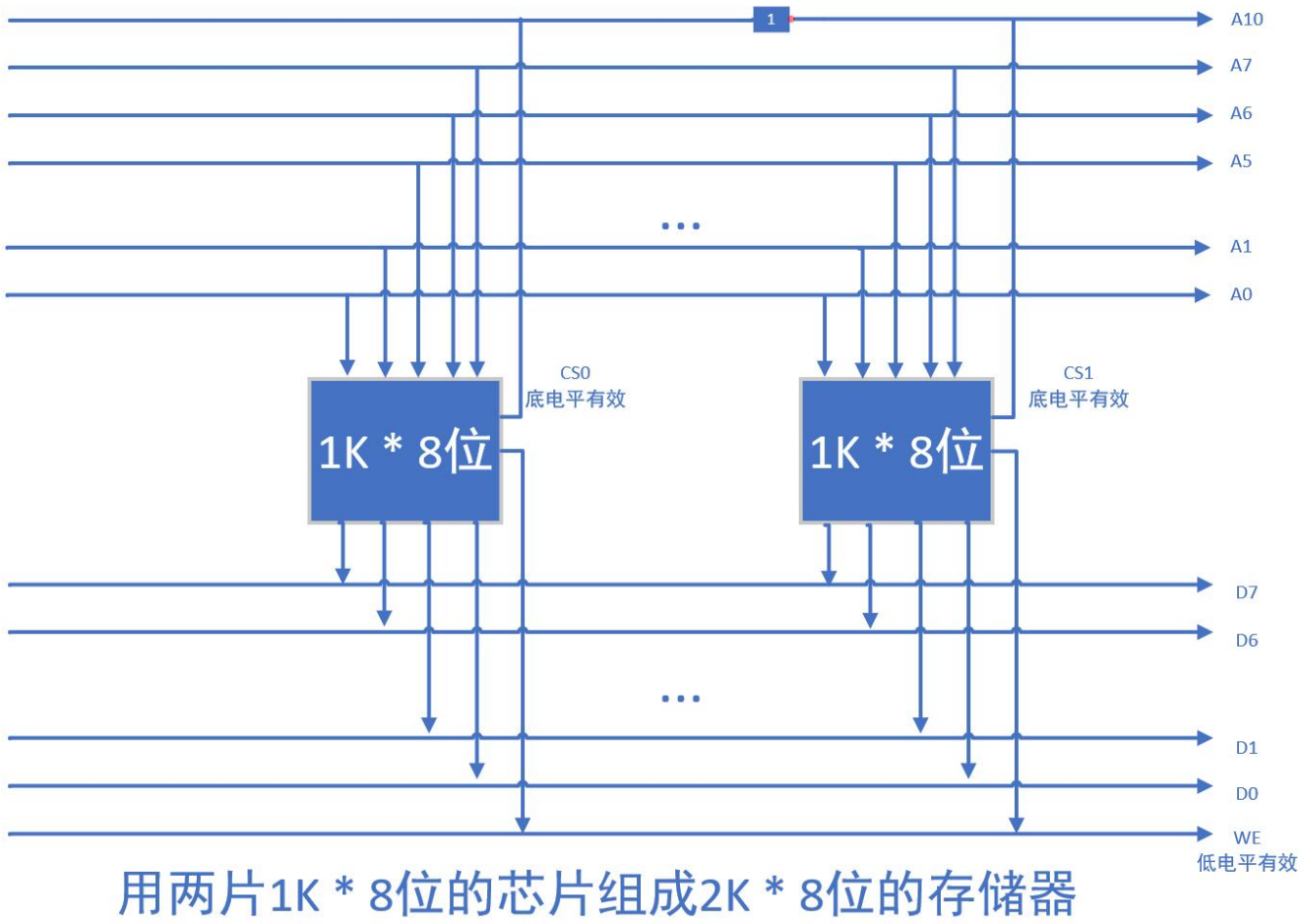
位扩展



用多个存储器件对字长进行扩充，增加存储字长使其数据位数与CPU的数据线数相等

连接方式：将多个存储芯片的地址端、片选端和读写控制端相应并联，数据段分别引出

字扩展



增加存储器中字的数量，而位数不变

将芯片的地址线、数据线、读写控制端相应并联，而由片选信号来区分各芯片的地址范围

两颗1K * 8位芯片连接了相同的数据位

1K = 2^10 为了区分两颗存储芯片又加了一根地址线

用于区分芯片的地址线都接到芯片的CS(低电平有效)

其中一颗要加非门，那么就是可以分别选中芯片

芯片1

- 开始 0 0000 0000 00
- 结束 0 1111 1111 11

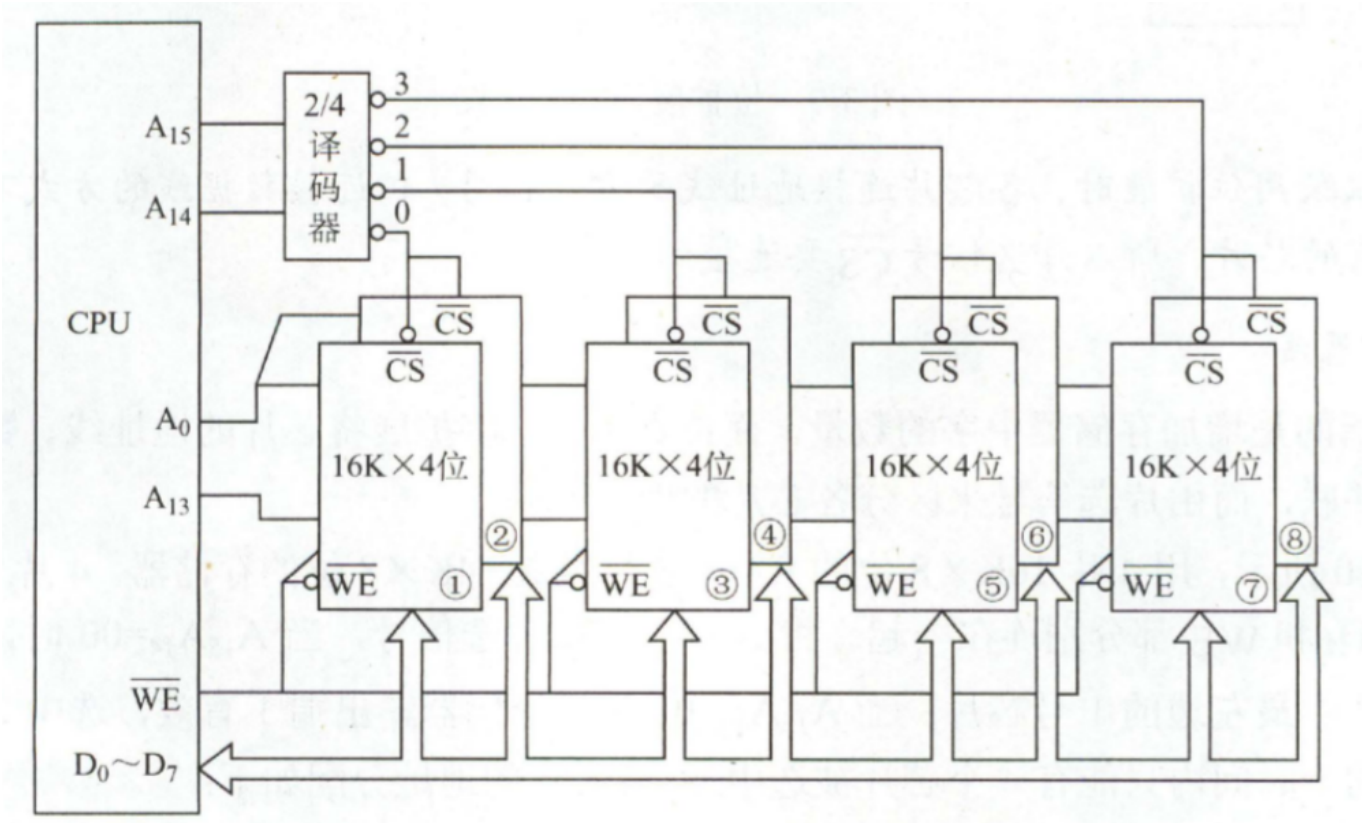
芯片2

- 开始 1 0000 0000 00

- 结束 1 1111 1111 11

WE(低电平有效)信号直接并联就可以

字位扩展



既增加存储字数量，又增加存储字长

P91 存储器与CPU的连接

存储芯片与CPU相连时，特别要注意片与片之间的地址线、数据线和控制线的连接

地址线的连接

CPU的地址线往往比存储芯片的地址线数多；

通常是将CPU的地址线低位与存储芯片相连；

CPU高位地址线或在存储芯片扩充时用，或用作其他用途，如片选信号

数据线的连接

CPU的数据线数和存储芯片也不一定相等；

此时，必须对存储芯片扩位，使其位数和CPU位数相等

读写命令线的连接

CPU读写命令线一般与存储芯片读写控制端直接相连；

通常高电平为读，低电平为写；

片选线的连接

片选有效信号与CPU的访存控制信号 MREQ(低电平有效)有关；

片选有效信号还和地址有关，因为CPU的地址线往往多于存储芯片的地址线，故那些未与存储器相连的高位地址必须和访存控制信号共同产生存储芯片的片选信号

P94 例4.1

P94 例4.2

P94 例4.3

P100 存储器的校验

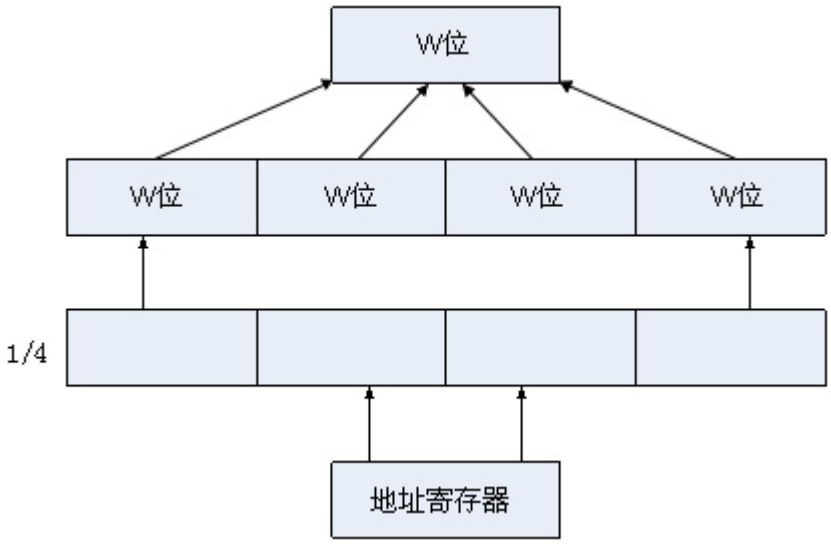
例题4.4

例题4.5

提高访存速度的措施

分为单体多字存储器和多体并行存储器

单体多字存储器

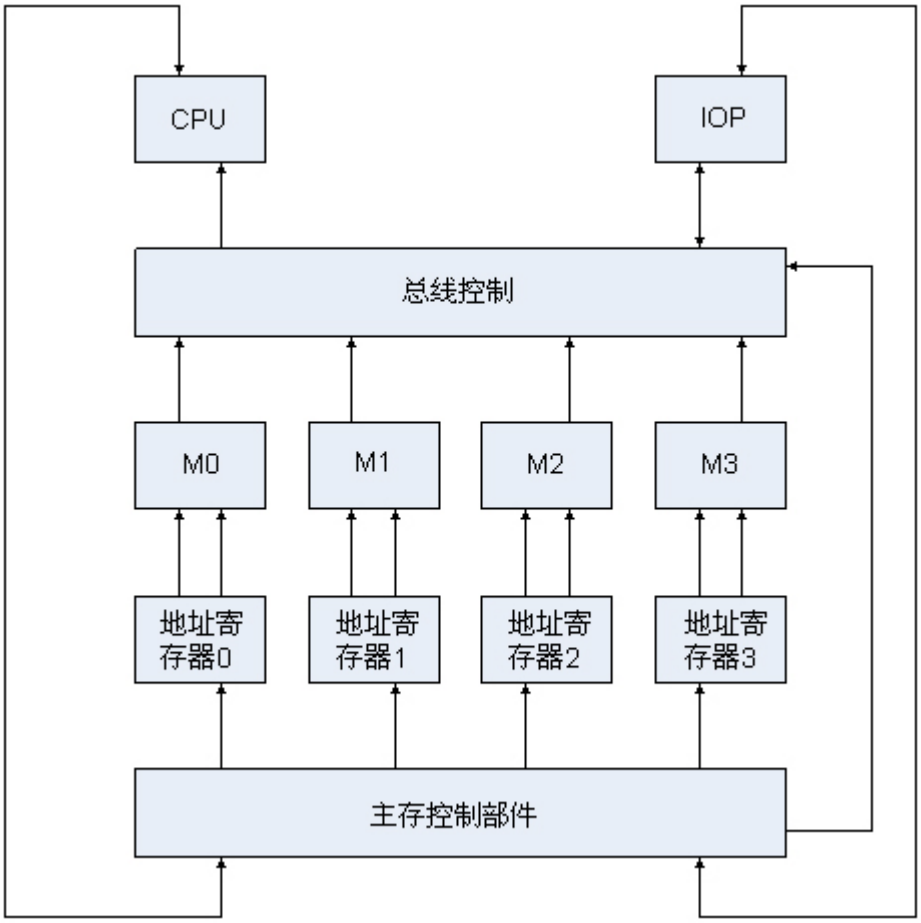


按同一地址码并行地访问各自对应单元，每一个单元为一个字，每字m位；

可以同时选中存储器的n个单元，可以将带宽提高n倍

地址必须顺序排列并处于同一存储单元

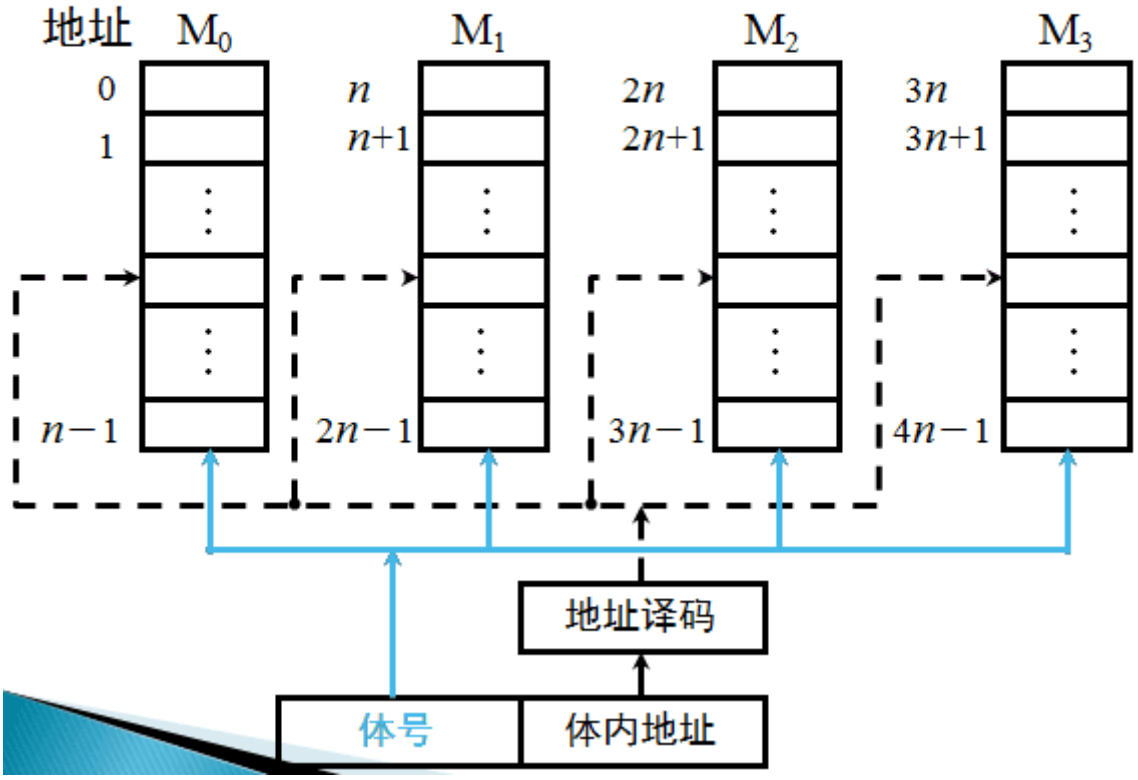
多体并行存储器



每个模块都有相同容量和存储速度，各模块都有独立的读写控制电路，地址寄存器和数据寄存器，既能并行工作又能交叉工作

高位交叉编址

(1) 高位交叉　　各个体并行工作　　4



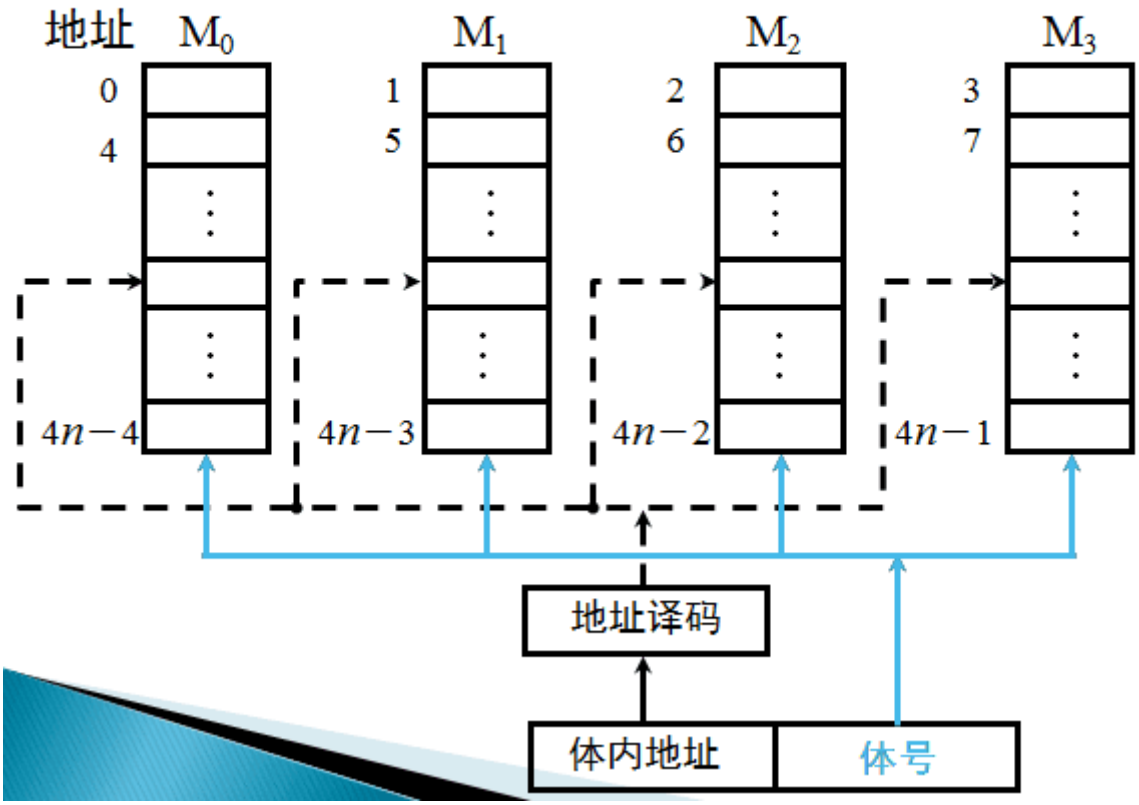
高位地址为体号，低位地址为体内地址

一个体内的地址时连续的，只需要一个地址寄存器，也有利于存储器的扩充

多模块串行，无性能提升

低位交叉编址

(2) 低位交叉 各个体轮流编址 4



低位为体号，高位为体内地址（这种编址方法又称为模M编址，M等于模块数）

相邻地址位于不同的存储体中，每个存储体都需要寄存器

多模块并行，可以实现对存储器的流水线式访问，性能提升

低位交叉编址流水线方式读取

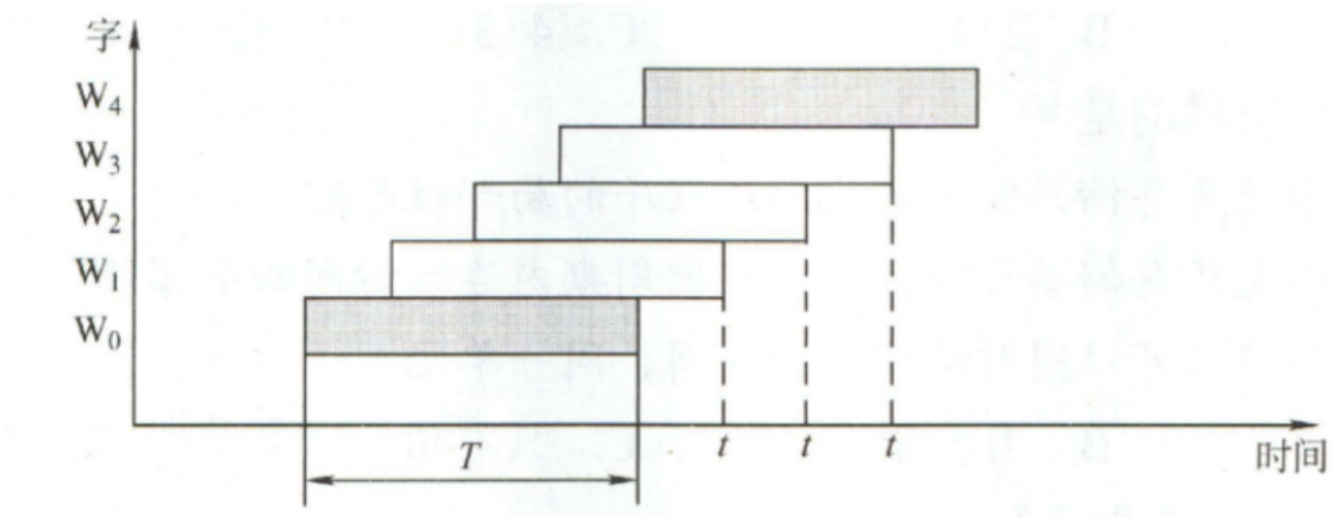


图 3-16 低位交叉编址流水线方式存取示意图

为实现流水线方式存取，存储器交叉模块数应该大于等于：m=T/r

每经r时间延迟后启动下一模块，交叉存储器要求其模块数必须大于或等于m，以保证启动某模块后经过m*r时间后再次启动该模块时，其上次存取操作已经完成（即流水线不间断）

这样连续存取m个字所需要的时间为t1=T+(m-1)r

顺序方式连续读取m个字所需要的时间为t2=mT

例4.6