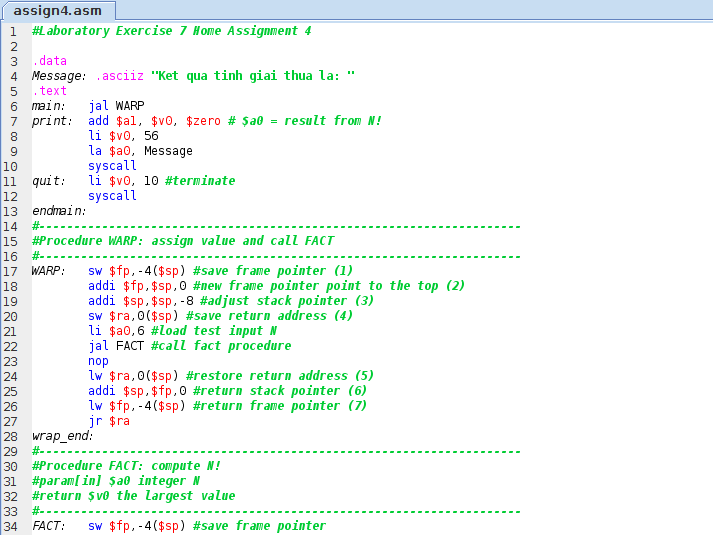
**Laboratory Exercise 12 – Report:**

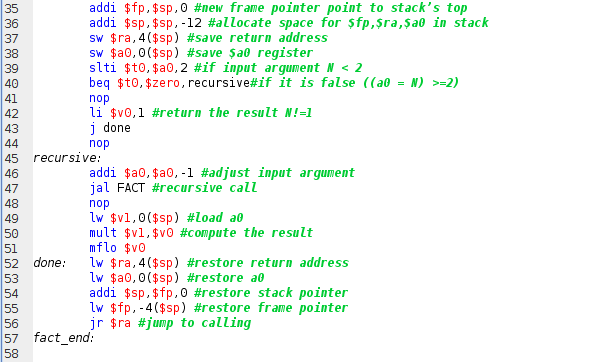
Cache Memory

Lê Văn Duẩn - 20194508

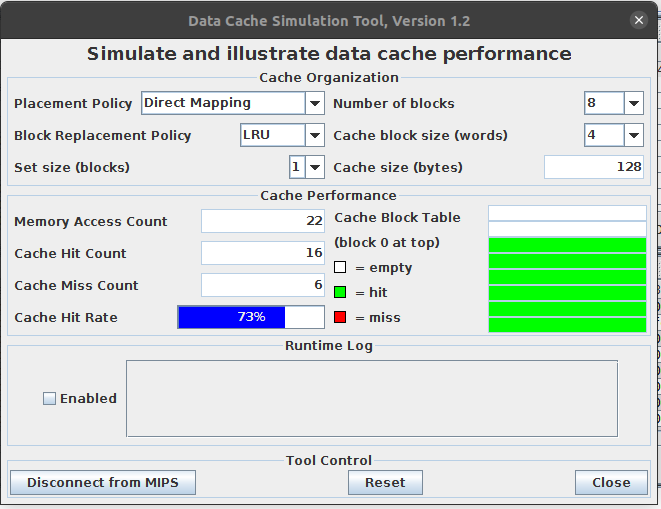
1. **Chạy code Lab7 Assignment 4**

- Mã nguồn lab 7 Assignment 4:





Chạy và theo dõi trên Data Cache Simulator:



1. **Cache Hit Count, Cache Miss count, ...**

- Cache Hit count: số lần CPU yêu cầu truy cập vào Cache Memory thành công

- Cache Miss count: số lần CPU yêu cầu truy cập vào Cache Memory thất bại và phải truy cập vào bộ nhớ chính (Ram)

- Memory Access Count: số lần CPU yêu cầu truy cập vào Cache Memory (Tổng của Hit và Miss)

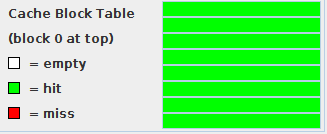
- Cache Hit Rate: tỷ lệ truy cập thành công vào Cache Memory ( = Hit/Memory Access Count)

- Number of Blocks: số lượng block cho Cache Memory

- Cache block size (Words) : kích thước hay dung lượng của 1 block, như trong Mips mặc địch words là 4 bytes

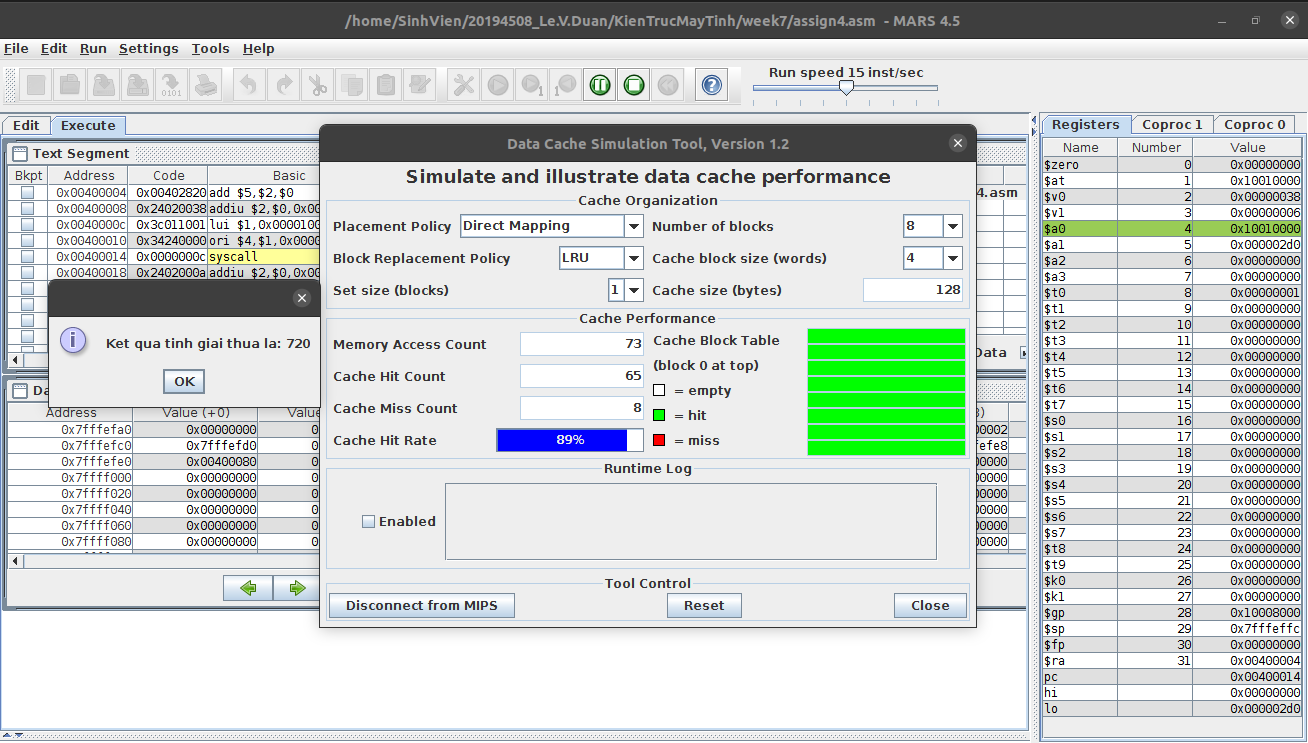
- Cache size (bytes): kích thước hay dung lượng của Cache Memory (= Number of blocks \* Cache block size)

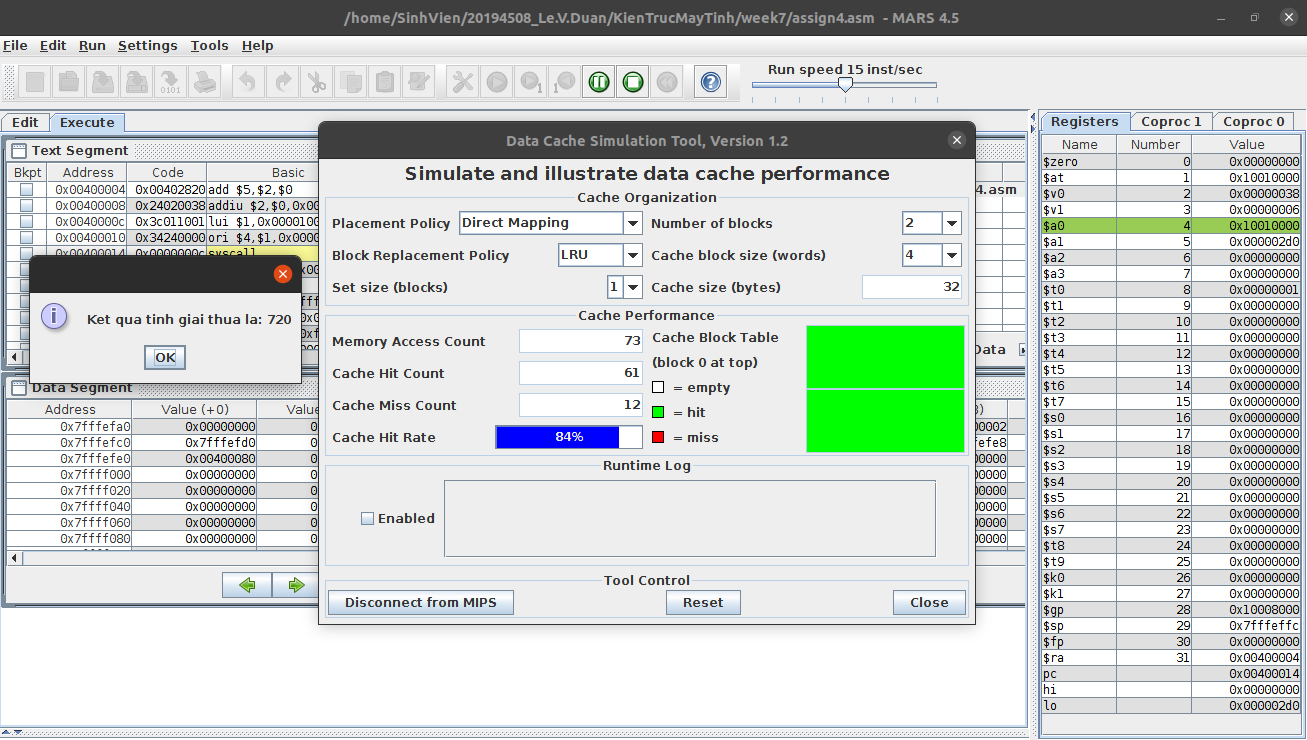
- Biểu diễn và mô tả hoạt động của Cache được hiển thị tại Cache Block table:



- Khi Number of block tăng lên thì dẫn đến kích thước của Cache tăng lên -> Cache Hit count tăng lên và Cache Miss count giảm xuống.

- Ví dụ dưới đây thể hiển sự thay đổi khi chạy cùng 1 mã nguồn và thay đổi giá trị Number of block = 8



- Khi giảm Number of blocks xuống 2:

Cache Hit Rate giảm từ 89% xuống 84%

Cache Hit count: 65 -> 61

Cache Miss count: 8 -> 12