

Generadores de Señales de Reloj Para Procesadores SoC

Luis Juventino Velasquez Hidalgo,
M.Osvaldo Espinosa Sosa,
Dr. Victor Hugo Ponce Ponce

Centro de Investigación en Computación
Av. Juan de Dios Bátiz, esq. Miguel Othón de Mendizábal
Col. Nueva Industrial Vallejo, Alcaldía Gustavo A. Madero, C.P. 07738, CDMX
Unidad Profesional Adolfo López Matéos (Zacaténcio)
lvelasquezh2024@cic.ipn.mx
{vponce@cic.ipn.mx, espinosa@cic.ipn.mx}@cic.ipn.mx
<http://www.cic.ipn.mx>

Abstract. Las señales de reloj son fundamentales para el funcionamiento de todos los procesadores. Este trabajo explora la creación de una señal de reloj digital utilizando un *Phase-lock loop* (**PLL**). El área de *System on Chip* (**SoC**) es un campo muy cerrado, pero es un campo muy amplio y requerido para distintas aplicaciones. Por lo que uno de los objetivos del presente trabajo es diseñar el PLL en un lenguaje de descripción de hardware para generar una referencia de dichas tecnologías.

Keywords: FPGA, SoC, Sistemas Embebidos, Microprocesadores, PLL, Microtecnologías

1 Introducción

Un procesador es un circuito integrado encargado de ejecutar instrucciones y procesar datos en un sistema informático. Se le llama SoC a un dispositivo que integra todos los componentes esenciales de un sistema, por ejemplo; memoria, controladores, procesador y otros bloques funcionales. El avance de las microtecnologías ha echo que para concretar el diseño de un SoC sea necesario usar un *hardware description language* (**HDL**)³ para describir el comportamiento del sistema en lugar de describir la circuitería necesaria.

El reloj es uno de los componentes principales en el diseño de SoC's. El reloj se encarga de generar señales periódicas estables esenciales para coordinar todos los componentes del sistema. La línea de investigación de la propuesta de tesis está encaminada al desarrollo de un reloj integrable a un SoC.

En los SoC los relojes usualmente se implementa usando sensores *On-chip*, generadores de reloj *On-chip*¹ o haciendo uso de PLL's siendo estos últimos en los que se enfoca la propuesta de tesis. El principal problema es que el ecosistema de desarrollo en HDL es muy cerrado y es común que los componentes individuales no sean transparentes. La propuesta de esta tesis es **crear un diseño de reloj en HDL** para uso general y de acceso libre.

Un PLL se evalúa principalmente con dos métricas: *jitter* y *Phase noise* (Ruido de fase)⁴. Como la finalidad del PLL es fungir como reloj, a estas métricas se le añade la frecuencia máxima. El jitter; ocasionalmente referido como *time interval error*, es una medida estadística de la desviación entre los flancos de la señal cuadrada ideal comparado con la señal real. Al ser una medida estadística se necesita de un muestreo a partir del cual se caracteriza al jitter y poder calcular, por ejemplo; la desviación máxima, el promedio aritmético de la desviación y la desviación del promedio. Por otro, el ruido de fase es una varianza en la magnitud horizontal de la onda. A diferencia del ruido aditivo el cual solo afecta a la amplitud de la onda, la varianza horizontal puede cambiar el periodo de la señal deseada.

En un artículo publicado en el 2022⁵ se reseñaron en total 144 publicaciones de la *ISSCC* y *VLSI*, dando como resultado que 38% de las publicaciones hablan de *ADPLL*, 15% sobre *SSPLL*, 18% de *ILPLL*, 7% de *MDLL* y el 22% restante de otros diseños. Uno de los resultados que se obtuvo en el artículo mencionado es que los avances en el diseño de PLL se pueden dividir en 3 categorías: aumentar la frecuencia conservando el consumo de energía, aumentar la frecuencia manteniendo la relación de frecuencia-consumo de energía, aumentar la frecuencia manteniendo el jitter normalizado

Existen muchas implementaciones de PLL, pero los componentes fundamentales son; el *Error detector* compuesto por un detector de frecuencia de fase y un regulador de voltaje, un *Loop Filter* para suavizar la señal de error generado por el *Error detector*, un *Voltage-controlled oscillator* (**VCO**) encargado de ajustar la frecuencia en función de la señal de error del *Error detector* para compararla con la señal deseada y un *feedback divider* encargado de regular la señal del *VCO* para que este en la misma fase y frecuencia que la señal de referencia.

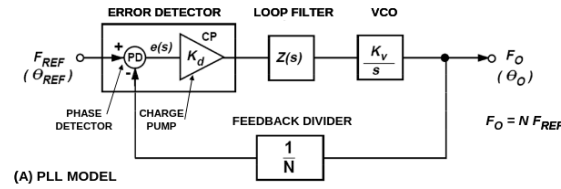


Fig. 1. Arquitectura base de un PLL. Rescatado de⁶

De la arquitectura base se desprenden implementaciones como en ⁷ la cual añade; para la implementación de un SoC, un control de voltaje antes del *VCO* para disminuir el efecto del ruido generado por todos los componentes digitales existentes en el chip. Aumentando el consumo de energía pero reduciendo el jitter.

Cada problema que necesite una implementación requiere especificaciones diferentes. Será trabajo de la tesis definir si el reloj estará enfocado a un uso específico o a uno más general y bajo que condiciones otra tecnología se adaptaría mejor al problema. Una de los factores que afectan el rendimiento del reloj en un SoC es la distribución del mismo, al trabajar con frecuencias muy altas la frecuencia llega con un desfase diferente en cada dispositivo, es por eso que hay distintas arquitecturas para la correcta distribución de la señal de reloj, por ejemplo: *ring clock*, *tree-clock* y *mesh clock*. Es trabajo de la tesis saber con que arquitectura se acomoda mejor el reloj diseñado

2 Características y generalidades

Cada implementación de un SoC está caracterizado por un conjunto de restricciones, como lo es el tamaño del chip, el consumo energético y la frecuencia a la que debe trabajar el sistema. Dichas restricciones pueden ser parte del problema o consecuencia de los componentes individuales a usar. En lo que concierne al reloj; además de las métricas ya mencionadas, es necesario pensar en la distribución de todos los componentes que del SoC para asegurar que la señal llegue en sincronía a cada elemento que lo conforma.

Para poder cumplir con las métricas necesarias del reloj se han desarrollado las técnicas ya mencionadas, las cuales son: *ADPLL*, *SSPLL*, *ILPLL* y *MDLL*. También ha sido necesario desarrollar en la arquitectura necesaria para llevar la señal de reloj a cada componente del SoC, como las ya mencionadas: *ring clock*, *tree clock* y *mesh clock*. Es prudente mencionar que algunas técnicas de PLL se integran mejor a arquitecturas específicas, como lo es el *SSPLL* con el *ring clock*. El entregable propuesto es el diseño de un PLL y su implementación en una arquitectura SoC pensando en las necesidades más generales de un sistema: integración de cpu, memoria y puertos periféricos, bajo consumo de energía, bajo costo de producción, tamaño reducido y respuesta en tiempo real.

La relevancia de dicho trabajo radica en la necesidad de generar el conocimiento de cómo diseñar SoC's, siendo la integración del reloj el primer paso del proceso. Dicha integración implica un estudio para relacionar las necesidades del SoC con el diseño del PLL.

2.1 Objetivo General:

Diseñar un circuito generador de reloj para microprocesador basado en un PLL.

2.2 Objetivos específicos:

Investigar las diferentes tecnologías en el diseño de PLL e identificar sus ventajas y desventajas

Hacer un estudio comparativo de circuitos PLL analógicos y digitales.

Investigar arquitecturas para integrar un reloj en circuitos SoC e identificar sus casos de uso

Integrar la señal del reloj con otros periféricos o circuitos, por ejemplo el procesador lagarto

Caracterizar el circuito de reloj, midiendo su frecuencia máxima, jitter y ruido de fase

2.3 Índice tentativo de la tesis:

- Introduccion
- Capítulo 1
 - Antecedentes
 - Planteamiento del problema
 - Objetivos
 - Trabajos relacionados
- Capítulo 2
 - Estado del arte
 - Nuevas tecnologías en el diseño de PLL's
 - **ADPLL**
 - **SSPLL**
 - **ILPLL**
 - **MDLL**
- Capítulo 3
 - Diseño del circuito PLL digital
- Capítulo 4
 - Diseño del circuito PLL analogico
- Capítulo 5
 - Pruebas y resultados
- Conclusiones

3 Aspectos importantes a destacar del trabajo de tesis

- Un reloj es necesario para implementar un sistema embebido y actualmente el laboratorio de Microse no cuenta con el diseño de uno
- Una de las tendencias es el diseño de relojes totalmente digitales(*ADPLL*), dedicarle tiempo a investigar esta tecnología ayuda al laboratorio a estar actualizado con los avances en el campo.
- La arquitectura del reloj de un SoC es un subconjunto del diseño de un SoC: a su vez, El diseño de un SoC es un campo de estudio importante en el campo de sistemas embebidos.

Al finalizar la tesis, el alumno deberá ser capaz de; dado un problema, identificar las necesidades de un SoC. Además de obtener habilidades técnicas para aumentar la frecuencia de un reloj, reducir la necesidades energéticas del mismo y poder asegurar que la señal del reloj llegue sincronizada a todos los componentes.

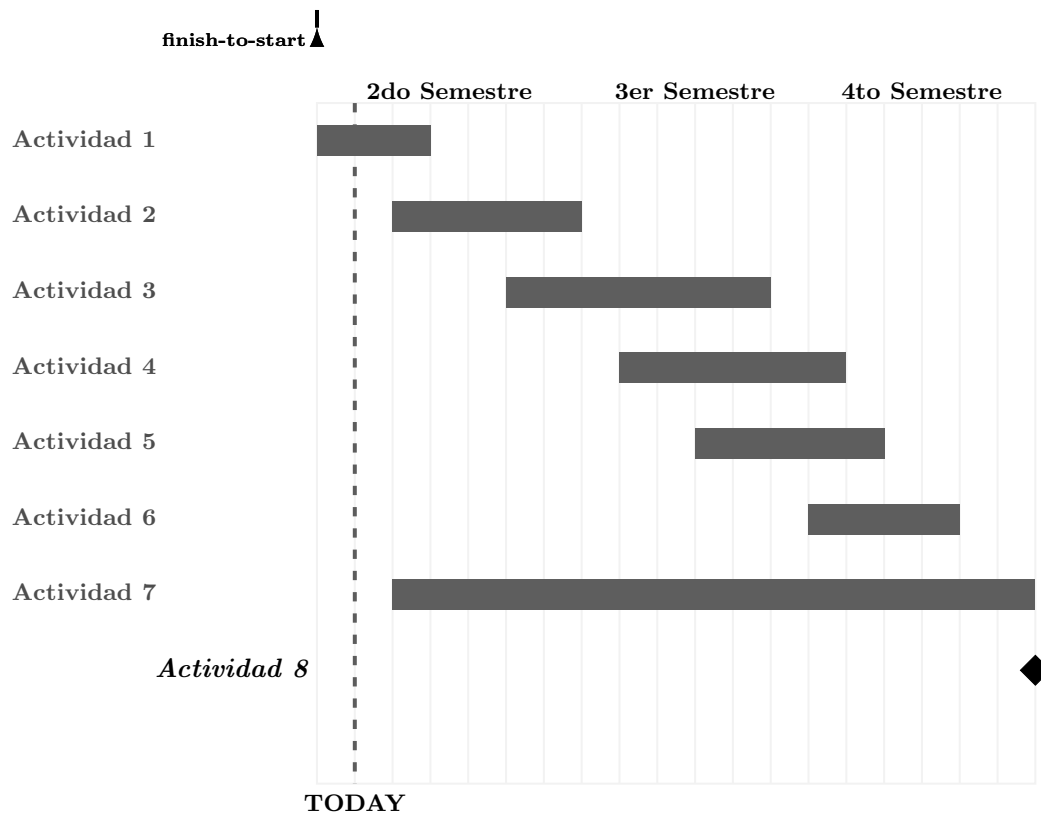
4 Plan de trabajo y cronograma

Enumere y describa sucintamente las acciones y actividades que desarrollará para lograr los objetivos propuestos, así como los productos que se generarán como fruto del desarrollo de las actividades.

4.1 Plan de estudios

Debe señalar los meses estimados de inicio y término de cada una de las actividades descritas en el plan de trabajo, a partir de la fecha de presentación de esta solicitud.

Consecutivo	Actividades o acciones a desarrollar	Productos Esperados
1	Hacer un estudio de las técnicas existentes para implementar circuitos PLL	Una tabla comparativa con las ventajas, desventajas y especificaciones de cada circuito
2	Diseñar las versiones digital y analógica del circuito PLL	Diseño conceptual de cada reloj
3	Utilizar software de diseño y simulación para obtener las versiones de los circuitos PLL	Diseños en HDL de los circuitos
4	Implementar el PLL en una placa de desarrollo	Un PLL funcional integrado a una placa de desarrollo
5	Obtener el lay-out de los circuitos propuestos	Diseño del PLL en una placa física
6	Hacer análisis de los circuitos obtenidos	Conclusiones preliminares de la tesis
7	Escritura de la tesis	La tesis
8	Presentación del examen de puerta cerrada.	Evaluación de las conclusiones mostradas en la tesis



5 Recursos requeridos de hardware y software

- Computadora de desarrollo
- Software de desarrollo de HDL
 - Quartus (herramienta EDA para circuitos digitales)
 - ModelSim (Simulador digital)
 - CADENCE Virtuoso (herramienta de diseño y simulación analógica)
- Placa de desarrollo Terasic DE115 para familia Cyclone IV de FPGA's

6 Estancia de investigación

Me gustaría hacer una estancia de investigación en el ultimo semestre. Aun no hay un grupo de trabajo identificado en el que pueda desarrollarme.

7 Plan de UA que cursará

Primer Semestre 1. 15A7160 Matemáticas para las ciencias de la computación 2. 15A71761 Probabilidad, procesos aleatorios e inferencia 3. 15A7203 Internet de las Cosas 4. 15A7228 Procesamiento digital de señales 5. 15A7215 Microtecnología y Arquitectura de Procesadores 6. Seminario	Segundo Semestre 1. 15A7159 Diseño y Análisis de Algoritmos 2. 15A7162 Teoría de la Computación 3. 15A7211 Lenguajes de Descripción de Hardware 4. 15A7200 Identificación de Sistemas 5. Tema de tesis
Tercer Semestre 1. 15B7298 Diseño de Circuitos VLSI Avanzados 2. 15A7194 Diseño de Sistemas VLSI 3. 15A7240 Redes sociales y complejidad / Complex Social Networks 4. Seminario III 5. Tema de tesis	Cuarto Semestre 1. Tema de tesis

8 Comité tutorial propuesto

- M. Osvaldo Espinosa Sosa
- Dr. Victor Hugo Ponce Ponce
- Dr. Hector Báez Medina
- Dr. Herón Molina Lozano

9 Retribución social

- Presentar resultados de su investigación ante grupos sociales, productivos e instituciones
- Colaborar en procesos de innovación social y tecnológica.
- Impartir cursos o talleres de formación e innovación social.
- Participar en foros de intercambio de experiencias sociales/institucionales
- Apoyar a los programas de posgrado registrados en el SNP para dar cursos, talleres, conferencias, etc., sobre los temas en los que se es experto
- Divulgar la ciencia y tecnología a niños y jóvenes, mediante cursos y pláticas.

10 NOTA ACLARATORIA

El presente documento es representativo de que tanto el alumno, así como el(los) director(es) de tesis están de acuerdo en trabajar conjuntamente para cumplir los objetivos planteados en el mismo, quedando claro que el contenido de éste es pieza sustentante de las labores a desarrollar por ambas partes y que al momento de ser entregado a la coordinación del programa, queda de conformidad su desarrollo por los involucrados. Considerando además que la planeación presentada emana de una propuesta por parte del o los director(es) de tesis y es un trabajo a desarrollar por el asesorado cuya labor se considera como un recurso humano de apoyo a un investigador.

References

1. Brackenbury, L. E. M., Plana, L. A., Pepper, J. (2010). System-on-Chip Design and Implementation. IEEE Transactions on Education, 53(2), 272–281. doi:10.1109/te.2009.2014858 en https://ieeexplore.ieee.org/abstract/document/5196691?casa_token=TpI81j-CHq4AAAAA:ILb916GoYXNWQbEPythUCDtK5P1gD1r4H0ItcKHaa1guUkdviQkCzPEXMteGrnGGqSA2KhfANXdp
2. Lech Józwiak(2001), Quality-driven design in the system-on-a-chip era: Why and how?, Journal of Systems Architecture en https://www.sciencedirect.com/science/article/pii/S1383762100000461?casa_token=A_tME0kkXqAAAAA:kexFmDn0pCK5R-u1-8HtNg50ipAboKdQQhrSq3JXLfYNBPwSGPyhPnqJm5v44uHy2IDG1ExRLkVd
3. Chakravarthi, V. S. (2022). A practical approach to VLSI system on chip (SoC) design A practical approach to VLSI system on chip (SoC) design (2nd ed.). doi:10.1007/978-3-031-18363-8 en <https://link.springer.com/book/10.1007/978-3-031-18363-8>
4. Fahim, A. (2004). Clock generators for SOC processors [PDF]. doi:10.1007/b117041 en <https://link.springer.com/book/10.1007/b117041>
5. Bae, W. (2022). Benchmark figure of merit extensions for low jitter phase locked loops inspired by new PLL architectures. IEEE Access: Practical Innovations, Open Solutions, 10, 80680–80694. doi:10.1109/access.2022.3195687 en <https://ieeexplore.ieee.org/abstract/document/9847207>
6. Analog Devices. (2010). Fundamentals of Phase Locked Loops (PLLs) en <https://www.analog.com/media/en/training-seminars/tutorials/MT-086.pdf>
7. Young, I. A., Greason, J. K., Wong, K. L. (1992). A PLL clock generator with 5 to 110 MHz of lock range for microprocessors. IEEE Journal of Solid-State Circuits, 27(11), 1599–1607. doi:10.1109/4.165341 en <https://ieeexplore.ieee.org/document/165341>