Circuito PLL (Phase Locked Loop) para generar sen˜ales de reloj en microprocesadores.

Luis Juventino Velasquez Hidalgo, M.Osvaldo Espinosa Sosa,

Dr. Victor Hugo Ponce Ponce

Centro de Investigacio´n en Computacio´n

Av. Juan de Dios Ba´tiz, esq. M guel Otho´n de Mendiza´bal

Col. Nueva Industrial Vallejo, Alcald´ıa Gustavo A. Madero, C.P. 07738, CDMX Unidad Profesional Adolfo Lo´pez Mat´eos (Zacat´enco) [lvelasquezh2024@cic.ipn.mx](mailto:lvelasquezh2024@cic.ipn.mx)

{vponce@cic.ipn.mx,[espinosa@cic.ipn.mx}@cic.ipn.mx](mailto:espinosa@cic.ipn.mx) [http://www.cic.ipn.mx](http://www.cic.ipn.mx/)

**Abstract.** Las sen˜ales de reloj son fundamentales para el funcionamiento de todos los procesadores y perif´ericos asociados para formar sistemas en un solo chip. Este trabajo explora el disen˜o de un circuito generador de reloj digital utilizando un Phase-locked loop (PLL) por las ventajas que ofrece utilizar este tipo de circuitos en sistemas con microprocesador. En el laboratorio de Microtecnolog´ıa y Sistemas Embebidos del CIC –IPN, se ha trabajado durante los u´ltimos an˜os en la creacio´n de un microprocesador denominado Lagarto, es por ello que se hace necesario contar con el soporte para sincronizar los circuitos que forman a dicho procesador, por lo que uno de los objetivos del presente trabajo es disen˜ar un circuito PLL, analizando las versiones analo´gicas y digitales del mismo con el propo´sito de elegir la mejor opcio´n

**Keywords:** FPGA, SoC, Sistemas Embebidos, Microprocesadores, PLL, Microtecnologias

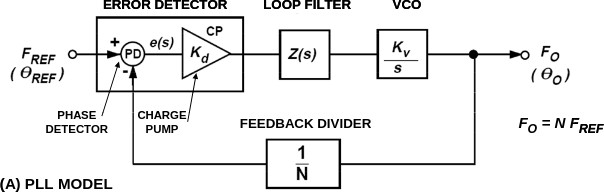
# Introduccio´n

Un procesador es un circuito encargado de ejecutar instrucciones y procesar datos en un sistema inform´atico. Se le llama SoC (*System On Chip*) a un dispositivo que integra todos los componentes esenciales de un sistema, por ejemplo: memoria, controladores, procesador y otros bloques funcionales. El reloj es uno de los componente principales en le disen˜o de SoC’s. El reloj se encarga de generar sen˜ales peri´odicas estables, esenciales para coordinar todos los componentes del sistema. La linea de investigaci´on de la propuesta de tesis est´a encaminada al desarrollo de un reloj integrable a un SoC.

En los SoC los relojes usualmente se implementa usando osciladores externos generadores de reloj *On-chip* o haciendo uso de PLL’s1 siendo estos u´ltimos en los que se enfoca la propuesta de tesis. El principal problema es que el ecosistema de desarrollo en HDL (*hardware description language*) es comu´n que los componentes indi- viduales no sean transparentes, es decir no exista documentaci´on con detalles sobre el disen˜o e implementaci´on de los circuitos. La propuesta de est´a tesis es disen˜ar un circuito generador de reloj ya sea en forma anal´ogica o digital en HDL para uso general y de acceso libre. El avance de las microtecnolog´ıas ha provocado que para concretar el disen˜o de un SoC sea necesario usar un HDL3 como verilog para describir el comportamiento del sistema en lugar de disen˜ar creando diagramas esquem´aticos.

Un PLL se evalu´a principalmente con dos m´etricas: *jitter* y *Phase noise* (Ruido de fase)4. Como la finalidad del PLL es fungir como reloj, a estas m´etricas se le an˜ade la frecuencia m´axima. El jitter, ocasionalmente referido como *time interval error*, es una medida estad´ıstica de la desviaci´on entre los flancos de la sen˜al cuadrada ideal comparado con la sen˜al real. Al ser una medida estad´ıstica se necesita de un muestreo a partir del cual se caracteriza al jitter y poder calcular, por ejemplo; la desviaci´on m´axima, el promedio aritm´etico de la desviaci´on y la desviaci´on del promedio. Por otro, el ruido de fase es una varianza en la magnitud horizontal de la onda. A diferencia del ruido aditivo el cual solo afecta a la amplitud de la onda, la varianza horizontal puede cambiar el periodo de la sen˜al deseada.

En un articulo publicado en el 20225 se resen˜aron en total 144 publicaciones de la ISSCC y VLSI, dando como resultado que 38% de las publicaciones hablan de ADPLL (*All-Digital PLL*), 15% sobre SSPLL (*Sub Sampling PLL*),18% de ILPLL (*Injection Locked PLL*) , 7% de MDLL (*multiplying delay-locked PLL*) y el 22% restante de otros disen˜os. Uno de los resultados que se obtuvo en el articulo mencionado es que los avances en el disen˜o de PLL se pueden dividir en 3 categor´ıas: aumentar la frecuencia conservando el consumo de energ´ıa, aumentar la frecuencia manteniendo la relaci´on de frecuencia-consumo de energ´ıa, aumentar la frecuencia manteniendo el



**Fig. 1.** Arquitectura base de un PLL. Rescatado de6

jitter normalizado

Existen muchas implementaciones de PLL, pero los componentes fundamentales son; el *Error detector* com- puesto por un detector de frecuencia de fase y un regulador de voltaje, un *Loop Filter* para suavizar la sen˜al de error generado por el *Error detector*, un *Voltage-controlled oscillator* (**VCO**) encargado de ajustar la frecuencia en funci´on de la sen˜al de error del *Error detector* para compararla con la sen˜al deseada y un *feedback divider* encargado de regular la sen˜al del *VCO* para que este en la misma fase y frecuencia que la sen˜al de referencia.

De la arquitectura base se desprenden implementaciones como en 7 la cual an˜ade; para la implementaci´on de un SoC, un control de voltaje antes del *VCO* para disminuir el efecto del ruido generado por todos los componentes digitales existentes en el chip. Aumentando el consumo de energ´ıa pero reduciendo el jitter.

Cada problema que necesite una implementaci´on requiere especificaciones diferentes. Sera trabajo de la tesis definir si el reloj estar´a enfocado a un uso especifico o a uno m´as general y bajo que condiciones otra tecnolog´ıa se adaptar´ıa mejor al problema. Una de los factores que afectan el rendimiento del reloj en un SoC es la distribuci´on del mismo, al trabajar con frecuencias muy altas la frecuencia llega con un desface diferente en cada dispositivo, es por eso que hay distintas arquitecturas para la correcta distribuci´on de la sen˜al de reloj, por ejemplo: *ring clock*,*tree-clock* y *mesh clock*. Es trabajo de la tesis saber con que arquitectura se acomoda mejor el reloj disen˜ado

# Caracter´ısticas y generalidades

Cada implementaci´on de un SoC est´a caracterizado por un conjunto de restricciones, como lo es el taman˜o del chip, el consumo energ´etico y la frecuencia a la que debe trabajar el sistema. Dichas restricciones pueden ser parte del problema o consecuencia de los componentes individuales a usar. En lo que concierne al reloj; ademas de las m´etricas ya mencionadas, es necesario pensar en la distribuci´on de todos los componentes que del SoC para asegurar que la sen˜al llegue en sincron´ıa a cada elemento que lo conforma.

Para poder cumplir con las m´etricas necesarias del reloj se han desarrollado las t´ecnicas ya mencionadas, las cuales son: ADPLL, SSPLL, ILPLL y MDLL. Tambi´en ha sido necesario desarrollar en la arquitectura necesaria para llevar la sen˜al de reloj a cada componente del SoC, como las ya mencionadas: ring clock, tree clock y mesh clock. Es prudente mencionar que algunas t´ecnicas de PLL se integran mejor a arquitecturas especificas, como lo es el SSPLL con el ring clock . El entregable propuesto es el disen˜o de un PLL y su implementaci´on en una arquitectura SoC pensando en las necesidades m´as generales de un sistema: integraci´on de cpu , memoria y puertos perif´ericos, bajo consumo de energ´ıa, bajo costo de producci´on, taman˜o reducido y respuesta en tiempo real.

La relevancia de dicho trabajo radica en la necesidad de generar el conocimiento de c´omo disen˜ar SoC’s, siendo la integraci´on del reloj el primer paso del proceso. Dicha integraci´on implica un estudio para relacionar las necesidades del SoC con el disen˜o del PLL.

## Objetivo General:

*Disen˜ar un circuito generador de reloj para microprocesador basado en un PLL.*

## Objetivos espec´ıficos:

*Investigar las diferentes tecnolog´ıas en el disen˜o de PLL e identificar sus ventajas y desventajas Hacer un estudio comparativo de circuitos PLL anal´ogicos y digitales.*

*Investigar arquitecturas para integrar un reloj en circuitos SoC e identificar sus casos de uso*

*Integrar la sen˜al del reloj con otros perif´ericos o circuitos, por ejemplo el procesador lagarto Caracterizar el circuito de reloj, midiendo su frecuencia m´axima, jitter y ruido de fase*

## ´Indice tentativo de la tesis:

* + - Introduccion
    - Cap´ıtulo 1
      * Antecedentes
      * Planteamiento del problema
      * Objetivos
      * Trabajos relacionados
    - Cap´ıtulo 2
      * Estado del arte
      * Nuevas tecnolog´ıas en el disen˜o de PLL’s
      * **ADPLL**
      * **SSPLL**
      * **ILPLL**
      * **MDLL**
    - Cap´ıtulo 3
      * Disen˜o del circuito PLL digital
    - Cap´ıtulo 4
      * Disen˜o del circuito PLL anal´ogico
    - Cap´ıtulo 5
      * Pruebas y resultados
    - Conclusiones

# Aspectos importantes a destacar del trabajo de tesis

* Un reloj es necesario para implementar un sistema dedicado y actualmente el laboratorio de Microse no cuenta con el disen˜o de uno
* Una de las tendencias es el disen˜o de relojes totalmente digitales(*ADPLL*), dedicarle tiempo a investigar esta tecnolog´ıa ayuda al laboratorio a estar actualizado con los avances en el campo.
* La arquitectura del reloj de un SoC es un subconjunto del disen˜o de un SoC: a su vez, El disen˜o de un SoC es un campo de estudio importante en el campo de sistemas embebidos.

Al finalizar la tesis, el alumno deber´a ser capas de; dado un problema, identificar las necesidades de un SoC. Adem´as de obtener habilidades t´ecnicas para aumentar la frecuencia de un reloj, reducir la necesidades en- erg´eticas del mismo y poder asegurar que la sen˜al del reloj llegue sincronizada a todos los componentes.

# Plan de trabajo y cronograma

Enumere y describa sucintamente las acciones y actividades que desarrollar´a para lograr los objetivos propuestos, as´ı como los productos que se generar´an como fruto del desarrollo de las actividades.

## Plan de estudios

Debe sen˜alar los meses estimados de inicio y t´ermino de cada una de las actividades descritas en el plan de trabajo, a partir de la fecha de presentaci´on de esta solicitud.

Consecutivo Actividades o acciones a desarrollar Productos Esperados

|  |  |  |
| --- | --- | --- |
| 1 | Hacer un estudio de las t´ecnicas ex-  istentes para implementar circuitos  PLL | Una tabla comparativa con las ven-  tajas, desventajas y especificaciones  de cada circuito |
| 2 | Disen˜ar las versiones digital y  analo´gica del circuito PLL | Disen˜o conceptual de cada reloj |
| 3 | Utilizar software de disen˜o y simu-  lacio´n para obtener las versiones de  los circuitos PLL | Disen˜os en HDL de los circuitos |
| 4 | Implementar el PLL en una placa  de desarrollo | Un PLL funcional integrado a una  placa de desarrollo |
| 5 | Obtener el lay-out de los circuitos  propuestos | Disen˜o del PLL en una placa f´ısica |
| 6 | Hacer ana´lisis de los circuitos  obtenidos | Conclusiones preliminares de la  tesis |
| 7 | Escritura de la tesis | La tesis |
| 8 | Presentacio´n del examen de puerta  cerrada. | Evaluacio´n de las conclusiones  mostradas en la tesis |

**finish-to-start **

**2do Semestre 3er Semestre 4to Semestre**



**Actividad 1**

**Actividad 2**

**Actividad 3**

**Actividad 4**

**Actividad 5**

**Actividad 6**

**Actividad 7**

***Actividad 8***

**TODAY**

# Recursos requeridos de hardware y software

* Computadora de desarrollo
* Software de desarrollo de HDL
  + Quartus (herramienta EDA para circuitos digitales)
  + ModelSim (Simulador digital)
  + CADENCE Virtuoso (herramienta de disen˜o y simulaci´on anal´ogica)
* Placa de desarrollo Terasic DE115 para familia Cyclone IV de FPGA’s

# Estancia de investigacio´n

Me gustar´ıa hacer una estancia de investigaci´on en el ultimo semestre. Aun no hay un grupo de trabajo identi- ficado en el que pueda desarrollarme.

# Plan de UA que cursar´a

Primer Semestre

1. 15A7160 Matema´ticas para las ciencias de la computacio´n
2. 15A71761 Probabilidad, procesos aleatorios e inferencia
3. 15A7203 Internet de las Cosas
4. 15A7228 Procesamiento digital de sen˜ales
5. 15A7215 Microtecnolog´ıa y Arquitectura de Procesadores
6. Seminario Tercer Semestre
7. 15B7298 Disen˜o de Circuitos VLSI Avanzados
8. 15A7194 Disen˜o de Sistemas VLSI
9. 15A7240 Redes sociales y complejidad / Complex Social Networks
10. Seminario III
11. Tema de tesis

Segundo Semestre

1. 15A7159 Disen˜o y Ana´lisis de Algoritmos
2. 15A7162 Teor´ıa de la Computacio´n
3. 15A7211 Lenguajes de Descripcio´n de Hardware
4. 15A7200 Identificacio´n de Sistemas
5. Tema de tesis

Cuarto Semestre

1. Tema de tesis

# Comit´e tutorial propuesto

* M. Osvaldo Espinosa Sosa
* Dr. Victor Hugo Ponce Ponce
* Dr. Hector B´aez Medina
* Dr. Her´on Molina Lozano

# Retribuci´on social

* Presentar resultados de su investigaci´on ante grupos sociales, productivos e instituciones
* Colaborar en procesos de innovaci´on social y tecnol´ogica.
* Impartir cursos o talleres de formaci´on e innovaci´on social.
* Participar en foros de intercambio de experiencias sociales/institucionales
* Apoyar a los programas de posgrado registrados en el SNP para dar cursos, talleres, conferencias, etc., sobre los temas en los que se es experto
* Divulgar la ciencia y tecnolog´ıa a nin˜os y j´ovenes, mediante cursos y pl´aticas.

# NOTA ACLARATORIA

El presente documento es representativo de que tanto el alumno, as´ı como el(los) director(es) de tesis est´an de acuerdo en trabajar conjuntamente para cumplir los objetivos planteados en el mismo, quedando claro que el contenido de ´este es pieza sustentante de las labores a desarrollar por ambas partes y que al momento de ser entregado a la coordinaci´on del programa, queda de conformidad su desarrollo por los involucrados. Considerando adem´as que la planeaci´on presentada emana de una propuesta por parte del o los director(es) de tesis y es un trabajo a desarrollar por el asesorado cuya labor se considera como un recurso humano de apoyo a un investigador.

# References

1. Brackenbury, L. E. M., Plana, L. A., Pepper, J. (2010). System-on-Chip Design and Im- plementation. IEEE Transactions on Education, 53(2), 272–281. doi:10.1109/te.2009.2014858 en https://ieeexplore.ieee.org/abstract/document/5196691?casa\_token=TpI81j-CHq4AAAAA: ILb9l6GoYXNWQbEPythUCDtK5P1gD1r4HOItcKHaa1guUkdviQkCzPEXMteGrnGGqSA2KhfANXdP
2. Lech Jo´´zwiak(2001), Quality-driven design in the system-on-a-chip era: Why and how?, Journal of Sys- tems Architecture en [https://www.sciencedirect.com/science/article/pii/S1383762100000461?casa\_token=A\_](http://www.sciencedirect.com/science/article/pii/S1383762100000461?casa_token=A_) tME0kkXqAAAAAA:kexFmDn0pCK5R-u1-8HtNg5OipAboKdQQhrSq3JXLFyNBPwSGPyhPnqJm5v44uHy2IDGlExRLkVd
3. Chakravarthi, V. S. (2022). A practical approach to VLSI system on chip (SoC) design A practical approach to VLSI system on chip (SoC) design (2nd ed.). doi:10.1007/978-3-031-18363-8 en https://link.springer.com/book/ 10.1007/978-3-031-18363-8
4. Fahim, A. (2004). Clock generators for SOC processors [PDF]. doi:10.1007/b117041 en https://link.springer.com/ book/10.1007/b117041
5. Bae, W. (2022). Benchmark figure of merit extensions for low jitter phase locked loops inspired by new PLL archi- tectures. IEEE Access: Practical Innovations, Open Solutions, 10, 80680–80694. doi:10.1109/access.2022.3195687 en https://ieeexplore.ieee.org/abstract/document/9847207
6. Analog Devices. (2010). Fundamentals of Phase Locked Loops (PLLs) en [https://www.analog.com/media/en/](http://www.analog.com/media/en/) training-seminars/tutorials/MT-086.pdf
7. Young, I. A., Greason, J. K., Wong, K. L. (1992). A PLL clock generator with 5 to 110 MHz of lock range for microprocessors. IEEE Journal of Solid-State Circuits, 27(11), 1599–1607. doi:10.1109/4.165341 en https:

//ieeexplore.ieee.org/document/165341