

Universidad de Murcia
Facultad de Informática

TÍTULO DE GRADO EN
INGENIERÍA INFORMÁTICA

Fundamentos de Computadores

Tema 3: Sistemas Digitales: Circuitos Combinacionales

Boletín de autoevaluación de teoría / problemas

CURSO 2020 / 21

Departamento de Ingeniería y Tecnología de Computadores

Área de Arquitectura y Tecnología de Computadores



Índice general

I. Ejercicios resueltos	2
II. Ejercicios propuestos	4
III. Soluciones a los ejercicios resueltos	7

Ejercicios resueltos

1. Para cada una de las siguientes funciones, dar su expresión mínima primero en forma de suma de productos, y después en forma de producto de sumas (hacer uso de sus mapas de Karnaugh, simplificando por unos y por ceros, respectivamente):
 - a) $F(A,B,C) = A \cdot B' \cdot C + A' \cdot B \cdot C' + A' \cdot B \cdot C + A \cdot B' \cdot C'$
 - b) $F(A,B,C,D) = \sum(0,2,5,7,8,10,13,15)$
 - c) $F(A,B,C,D) = \prod(2,3,6,8,9,12)$
 - d) $F(A,B,C,D) = \sum(1,4,5,6,7,9,10,13)$
 - e) $F(A,B,C,D) = A' \cdot B \cdot C' \cdot D + A \cdot B' \cdot C + A \cdot B' + A \cdot B' \cdot C' \cdot D$
 - f) $F(A,B,C,D,E) = \sum(1,5,7,9,13,15,16,17,20,21,22,25,29,31)$
2. Para el ejercicio anterior, obtener circuitos equivalentes usando:
 - a) Sólo puertas NAND.
 - b) Sólo puertas NOR.
3. Implementar las funciones a) y b) del ejercicio 1 utilizando:
 - a) Un decodificador y una puerta OR del tamaño adecuado.
 - b) Multiplexores de los tamaños adecuados y ninguna puerta adicional (no se dispone de las entradas negadas).
 - c) Multiplexores con la mitad de entradas de datos.
4. Diseñar un circuito combinacional, utilizando únicamente puertas NOR, con 4 variables de entrada, tal que tenga como salida $F(A,B,C,D)$ un 1 si el número ABCD interpretado en binario natural es primo, y 0 si no lo es (p.e., $(ABCD)=(1001) \Rightarrow F=0$, porque 9 no es primo, pero $(ABCD)=(1011) \Rightarrow F=1$, porque 11 sí lo es). Suponer que el 0 y uno no son números primos.
5. Se dispone de 4 bits codificados en binario natural y se desea que la codificación utilizada sea en código Gray (o código binario reflejado). Realizar el circuito que satisfaga esta necesidad. Nota: el código Gray es el que se utiliza para numerar los Mapas de Karnaugh y cumple la propiedad de que entre un número y el siguiente/anterior sólo cambia un bit.
6. Diseñar un circuito que tenga como entrada un valor $N > 0$ (de tres bits) y dé como salida $2N - 1$.
 - a) Mediante puertas lógicas sin limitaciones.
 - b) Mediante una PLA mínima.
7. Implemente la siguiente función combinacional utilizando únicamente el número mínimo de puertas NAND.

$$F(A,B,C,D) = A \times C + A \times B \times D + A \times C \times D + \bar{A} \times \bar{B} \times \bar{C} + \bar{A} \times C \times \bar{D} + \bar{A} \times \bar{B} \times C \times D$$

8. Implemente la siguiente función combinacional utilizando un decodificador del tamaño mínimo necesario y una puerta OR.

$$F(A, B, C) = A \times B \times C + \bar{B}$$

9. Implemente la siguiente función combinacional utilizando únicamente el número mínimo de puertas NAND.

$$F(A, B, C, D) = \bar{A} \times \bar{B} \times \bar{C} + \bar{A} \times \bar{B} \times D + \bar{A} \times C \times \bar{D} + B \times C \times D + A \times \bar{B} \times \bar{D}$$

10. Implemente la siguiente función combinacional utilizando un multiplexor de 4 a 1.

$$F(A, B, C) = A \times B \times C + \bar{B}$$

11. Dada la siguiente función lógica expresada en su forma canónica (en la que el término $d(3, 5, 11, 13)$ significa que no importa la salida de la función para los minterminos 3, 5, 11 ni 13):

$$F(D, C, B, A) = \sum \min(2, 4, 6, 8, 10, 14) + d(3, 5, 11, 13)$$

- Implementar el circuito sólo con el mínimo número de puertas NAND en dos niveles de puertas (se dispone de las variables de entrada ya negadas).
- Implementar la función anterior usando un multiplexor 8 a 1 (8 entradas de datos, tres de control y una salida de selección) y las puertas lógicas adicionales necesarias (se dispone también de las variables A , B , C y D negadas). Déjese bien indicado el subíndice de cada una de las entradas de datos y de control del multiplexor.

12. Dada la siguiente función expresada en su forma canónica (en la que el término $d(2, 10, 14)$ significa que no importa la salida de la función para los minterminos 2, 10 ni 14)

$$F(A, B, C, D) = \sum \min(0, 5, 7, 8, 13, 15) + d(2, 10, 14)$$

- (0,5 puntos) Implementar el circuito con el mínimo número de sólo puertas NAND en dos niveles de puertas (se dispone de las variables de entrada ya negadas).
- (0,5 puntos) Implementar la función anterior usando un multiplexor 8 a 1 (8 entradas de datos, tres de control y una salida para el dato seleccionado) y las puertas lógicas adicionales necesarias (se dispone también de las variables A , B , C y D negadas). Déjese bien indicado el subíndice de cada una de las entradas de datos y de control del multiplexor.

Ejercicios propuestos

1. Simplificar las funciones a), d) y f) del ejercicio resuelto 1, pero esta vez suponiendo que los minitérminos 0,1,2,3,4,27,28,29,30,31 son condiciones de no importa. Comparar la complejidad de las funciones obtenidas con las que se obtuvieron en el ejercicio 1.
 2. Dibujar el circuito correspondiente a las funciones obtenidas en los apartados a), b) y f) del ejercicio resuelto 1 mediante puertas AND, OR y NOT.
 3. Construir las funciones b) y d) del ejercicio resuelto 1, utilizando:
 - a) Una sola ROM con el mínimo tamaño posible.
 - b) Un solo PLA con el mínimo tamaño posible.
 4. Muchos circuitos incluyen con frecuencia una entrada adicional que sirve para activar o desactivar la(s) salida(s) del módulo. Por ejemplo, la función desempeñada por un decodificador se inhibe haciendo que todas sus salidas pasen al estado cero. Así, la salida Y_0 de un decodificador de 2 a 4 estaría dada por $Y_0 = X_0' \cdot X_1' \cdot E$, donde E es la entrada de activación. Construir un decodificador de 3 a 8 que incluya una entrada de activación E . Mostrar su tabla de verdad.
 5. Determinar la ecuación para una función lógica con cuatro entradas A, B, C y D que toma valor uno si, y sólo si, un número impar de entradas es 1 (generador de paridad). ¿Se te ocurre alguna puerta lógica que pueda simplificar el circuito obtenido?
 6. Un codificador se dice de prioridad si admite que más de una entrada sea distinta de cero, y en ese caso da prioridad a alguna de esas entradas a la hora de codificar la salida. Diseñar un codificador de prioridad con cuatro entradas E_0, E_1, E_2 y E_3 y dos salidas S_0 y S_1 , que dé prioridad a las líneas de entrada de menor peso, y en el cual la entrada $(E_0, E_1, E_2, E_3) = (0, 0, 0, 0)$ no esté permitida (y por tanto pueda usarse como condición de no importa).
 7. El C.I. CMOS 4532 (cuyo patillaje se muestra en la figura II.1) es un codificador 8 a 3 con prioridad que asigna la prioridad más alta a la entrada D_7 y la más baja a la entrada D_0 . Además, posee las señales EI (*chip-enable input*), EO (*enable-out*) y GS (*group select*) cuya función es la siguiente:
 - Cuando EI es uno:
 - La representación binaria de la entrada de más prioridad aparece en las líneas de salida $Q_2 - Q_0$.
 - La línea de selección de grupo GS se pone a uno si alguna de las entradas de prioridad está presente (a 1).
 - La línea de permiso de salida (EO) es uno cuando ninguna entrada de prioridad está presente.
 - Cuando EI es cero: todas las salidas permanecen a cero.
- Utilizando el mínimo número de C.I. CMOS 4532, diseñar un sistema de comunicación para las 16 habitaciones de un hotel, de modo que, cuando algún cliente desee que se persone el botones, pulse un botón, y en la conserjería se indique el número de habitación correspondiente codificado en binario. Si varios clientes llaman a la vez, sólo se indicará el de más categoría, que será el alojado en la habitación de mayor número. Cuando el botones esté libre (no le llama nadie) se indicará mediante una señal «LIBRE».
8. Implementar, mediante una PLA mínima, un convertidor de Gray (4 bits) a binario.

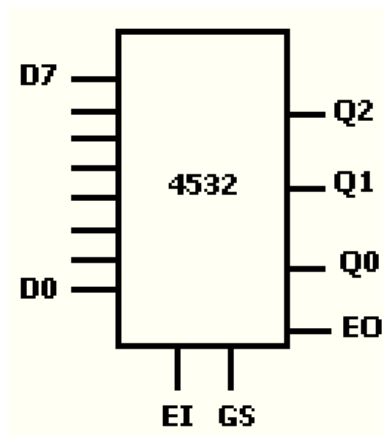


Figura II.1: Patillaje del C.I. CMOS 4532.

9. Diseñar un circuito restador elemental de 1 bit, con salida de resta (R) y «debe» (B). Utilizando este circuito como base, implementar un circuito restador de números de 4 bits.
10. Diseñar un circuito comparador de números de 2 bits utilizando puertas elementales, para su posterior integración en MSI. Debe aceptar como entrada los 4 bits de las palabras y dará como salidas el resultado de la comparación: $A > B$, $A = B$ y $A < B$. Añadir al circuito resultante unas entradas de comparación previa de los bits menos significativos, para facilitar la conexión en cascada. Mostrar como se utilizaría el circuito final para comparar números de 4 bits.
11. Diseñar, apoyándose en un decodificador de 4 a 16 líneas, un circuito capaz de realizar la suma de 2 números de 2 bits, con salida de suma y acarreo.
12. Diseñar un circuito que tenga como entrada un valor $N > 0$ (de tres bits) y dé como salida $N^2 - 1$.
 - a) Mediante puertas lógicas sin limitaciones.
 - b) Mediante puertas NAND.
 - c) Mediante puertas NOR.
 - d) Mediante una PLA mínima.
 - e) Mediante una ROM mínima.
13. Dada la siguiente función lógica combinacional:

$$F(A, B, C, D) = \sum m(0, 2, 8, 10, 12, 13, 14, 15)$$

- a) Obtenga la expresión simplificada de F mediante suma de productos.
 - b) Dibuje un circuito mínimo que la implemente utilizando únicamente puertas NOR (se disponen de las entradas negadas).
 - c) Implementar la función F, si es posible, utilizando un multiplexor de 8 a 1 (se disponen de las entradas negadas).
 - d) Supongamos que no se dispone de las entradas negadas y tampoco de inversores. ¿Sería posible implementar la función F utilizando únicamente un multiplexor de 8 a 1? ¿Cómo?
14. Dada la siguiente función lógica combinacional:

$$F(A, B, C, D) = ABC\bar{D} + A\bar{B}CD + \bar{A}BCD + \bar{A}\bar{B}\bar{C}D + \bar{A}BC\bar{D} + A\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}D$$

- a) Simplifíquela utilizando un mapa de Karnaugh.

- b) Obtenga, si es posible, una expresión equivalente a la función F que se pueda implementar directamente usando únicamente puertas NOR.
- c) ¿Cuáles serían las dimensiones mínimas de un PLA capaz de implementar la función F ?

15. Dada la siguiente función lógica combinacional:

$$F(A, B, C, D) = ABCD + A\bar{B}CD + \bar{A}BCD + AB\bar{C}D + \bar{A}BC\bar{D} + A\bar{B}C\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}\bar{C}D$$

- a) Simplifíquela utilizando un mapa de Karnaugh.
- b) Dibuje un circuito que la implemente mediante puertas AND, OR y NOT a partir de su expresión simplificada.
- c) Dibuje, si es posible, un circuito equivalente al del apartado anterior utilizando únicamente puertas NAND.
- d) Implemente la función anterior, si es posible, utilizando únicamente un PLA de tamaño $4 \times 3 \times 2$.
- e) Implemente la función anterior, si es posible, utilizando un decodificador de 4 a 16 y una puerta OR del tamaño adecuado.

16. Implementar las funciones:

$$F(A, B, C) = A \cdot B' \cdot C + A' \cdot B \cdot C' + A' \cdot B \cdot C + A \cdot B' \cdot C'$$

$$F(A, B, C, D) = \sum(0, 2, 5, 7, 8, 10, 13, 15)$$

utilizando:

- a) Un decodificador y una puerta OR del tamaño adecuado.
- b) Multiplexores de los tamaños adecuados y ninguna puerta adicional (no se dispone de las entradas negadas).
- c) Multiplexores con la mitad de entradas de datos.

Soluciones a los ejercicios resueltos

1. Solución:

a) $F(A,B,C) = A \cdot B' \cdot C + A' \cdot B \cdot C' + A' \cdot B \cdot C + A \cdot B' \cdot C'$

Simplificando por unos:

		AB			
		00	01	11	10
C	0	0	1	0	1
	1	0	1	0	1

$$F = \bar{A} \cdot B + A \cdot \bar{B}$$

Y simplificando por ceros:

		AB			
		00	01	11	10
C	0	0	1	0	1
	1	0	1	0	1

$$F = (A + B) \cdot (\bar{A} + \bar{B})$$

b) $F(A,B,C,D) = \sum(0,2,5,7,8,10,13,15)$

Simplificando por unos:

		AB			
		00	01	11	10
CD	00	1	0	0	1
	01	0	1	1	0
	11	0	1	1	0
	10	1	0	0	1

$$F = B \cdot D + \bar{B} \cdot \bar{D}$$

Y simplificando por ceros:

		AB			
		00	01	11	10
CD	00	1	0	0	1
	01	0	1	1	0
	11	0	1	1	0
	10	1	0	0	1

$$F = (B + \bar{D}) \cdot (\bar{B} + D)$$

c) $F(A,B,C,D) = \prod(2,3,6,8,9,12)$

Simplificando por unos:

		AB			
		00	01	11	10
CD	00	1	1	0	0
	01	1	1	1	0
	11	0	1	1	1
	10	0	0	1	1

$$F = \bar{A} \cdot \bar{C} + B \cdot D + A \cdot C$$

Y simplificando por ceros:

		AB			
		00	01	11	10
CD	00	1	1	0	0
	01	1	1	1	0
	11	0	1	1	1
	10	0	0	1	1

$$F = (A + B + \bar{C}) \cdot (A + \bar{C} + D) \cdot (\bar{A} + C + D) \cdot (\bar{A} + B + C)$$

d) $F(A, B, C, D) = \sum(1, 4, 5, 6, 7, 9, 10, 13)$

Simplificando por unos:

		AB			
		00	01	11	10
CD	00	0	1	0	0
	01	1	1	1	1
	11	0	1	0	0
	10	0	1	0	1

$$F = \bar{A} \cdot B + \bar{C} \cdot D + A \cdot \bar{B} \cdot C \cdot \bar{D}$$

Y simplificando por ceros:

		AB			
		00	01	11	10
CD	00	0	1	0	0
	01	1	1	1	1
	11	0	1	0	0
	10	0	1	0	1

$$F = (\bar{A} + C + D) \cdot (\bar{A} + \bar{B} + \bar{C}) \cdot (B + \bar{C} + \bar{D}) \cdot (A + B + D)$$

e) $F(A, B, C, D) = A' \cdot B \cdot C' \cdot D + A \cdot B' \cdot C + A \cdot B' + A \cdot B' \cdot C' \cdot D$

Simplificando por unos:

		AB			
		00	01	11	10
CD	00	0	0	0	1
	01	0	1	0	1
	11	0	0	0	1
	10	0	0	0	1

$$F = A \cdot \bar{B} + \bar{A} \cdot B \cdot \bar{C} \cdot D$$

Y simplificando por ceros:

		AB			
		00	01	11	10
CD	00	0	0	0	1
	01	0	1	0	1
	11	0	0	0	1
	10	0	0	0	1

$$F = (A + B) \cdot (\bar{A} + \bar{B}) \cdot (\bar{B} + \bar{C}) \cdot (\bar{B} + D)$$

f) $F(A, B, C, D, E) = \sum(1, 5, 7, 9, 13, 15, 16, 17, 20, 21, 22, 25, 29, 31)$

Simplificando por unos:

		BC (A=0)			
		00	01	11	10
DE	00	0	0	0	0
	01	1	1	1	1
	11	0	1	1	0
	10	0	0	0	0

		BC (A=1)			
		00	01	11	10
DE	00	1	1	0	0
	01	1	1	1	1
	11	0	0	1	0
	10	0	1	0	0

En donde se ha marcado en azul aquellas simplificaciones comunes a ambos mapas. La función obtenida es: $F = \bar{D} \cdot E + \bar{A} \cdot C \cdot E + A \cdot \bar{B} \cdot \bar{D} + B \cdot C \cdot E + A \cdot \bar{B} \cdot C \cdot \bar{E}$. Y simplificando por ceros:

		BC (A=0)			
		00	01	11	10
DE	00	0	0	0	0
	01	1	1	1	1
	11	0	1	1	0
	10	0	0	0	0

		BC (A=1)			
		00	01	11	10
DE	00	1	1	0	0
	01	1	1	1	1
	11	0	0	1	0
	10	0	1	0	0

$$F = (\bar{B} + E) \cdot (C + \bar{D}) \cdot (A + E) \cdot (\bar{A} + B + \bar{D} + \bar{E})$$

2. **Solución:** Existen dos posibles formas de solucionar este problema. La primera de ellas es ir sustituyendo cada una de las puertas obtenidas (AND, OR y NOT) por sus equivalente con puertas NAND (NOR) y después intentar simplificar el circuito resultante eliminando puertas redundantes. La segunda opción consiste en realizar la simplificación adecuada para que negando dos veces la solución y aplicando Morgan una vez para desarrollar la negación interior obtener la expresión buscada. Esta opción tiene la ventaja adicional de obtener de forma directa la implementación con puertas NAND (NOR), no siendo necesario realizar el proceso de simplificación.

a) Sólo puertas NAND.

En este caso, basta con utilizar las funciones simplificadas en forma de suma de productos (simplificar por unos):

$$F = \bar{A} \cdot B + A \cdot \bar{B} = \overline{\overline{\bar{A} \cdot B + A \cdot \bar{B}}} = \overline{(\bar{A} \cdot B) \cdot (A \cdot \bar{B})}$$

$$F = B \cdot D + \bar{B} \cdot \bar{D} = \overline{\overline{B \cdot D + \bar{B} \cdot \bar{D}}} = \overline{(B \cdot D) \cdot (\bar{B} \cdot \bar{D})}$$

$$\begin{aligned} F &= \bar{D} \cdot E + \bar{A} \cdot C \cdot E + A \cdot \bar{B} \cdot \bar{D} + B \cdot C \cdot E + A \cdot \bar{B} \cdot C \cdot \bar{E} \\ &= \overline{\overline{\bar{D} \cdot E + \bar{A} \cdot C \cdot E + A \cdot \bar{B} \cdot \bar{D} + B \cdot C \cdot E + A \cdot \bar{B} \cdot C \cdot \bar{E}}} \\ &= \overline{(\bar{D} \cdot E) \cdot (\bar{A} \cdot C \cdot E) \cdot (A \cdot \bar{B} \cdot \bar{D}) \cdot (B \cdot C \cdot E) \cdot (A \cdot \bar{B} \cdot C \cdot \bar{E})} \end{aligned}$$

b) Sólo puertas NOR.

Para la simplificación con puertas NOR, utilizaremos la simplificación por ceros que da como resultado un producto de sumas:

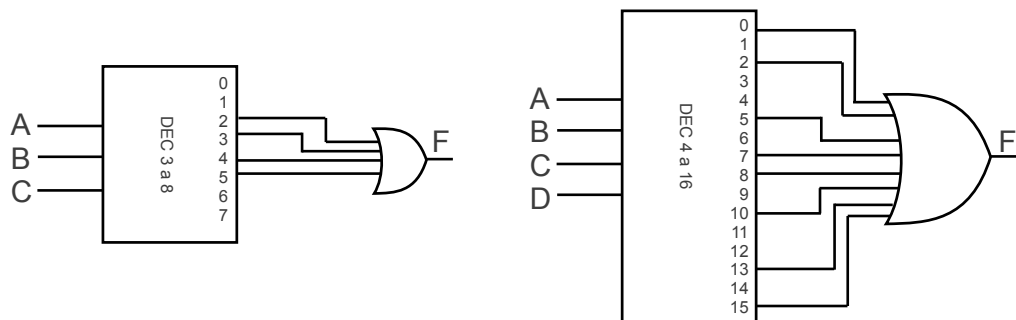
$$F = (A + \bar{B}) \cdot (\bar{A} + B) = \overline{\overline{(A + \bar{B}) \cdot (\bar{A} + B)}} = \overline{(\overline{A + \bar{B}}) \cdot (\overline{\bar{A} + B})}$$

$$F = (B + \bar{D}) \cdot (\bar{B} + D) = \overline{\overline{(B + \bar{D}) \cdot (\bar{B} + D)}} = \overline{(\overline{B + \bar{D}}) \cdot (\overline{\bar{B} + D})}$$

$$\begin{aligned} F &= (\bar{B} + E) \cdot (C + \bar{D}) \cdot (A + B + E) \cdot (\bar{A} + B + \bar{D} + \bar{E}) \\ &= \overline{\overline{(\bar{B} + E) \cdot (C + \bar{D}) \cdot (A + B + E) \cdot (\bar{A} + B + \bar{D} + \bar{E})}} \\ &= \overline{(\overline{\bar{B} + E}) \cdot (\overline{C + \bar{D}}) \cdot (\overline{A + B + E}) \cdot (\overline{\bar{A} + B + \bar{D} + \bar{E}})} \end{aligned}$$

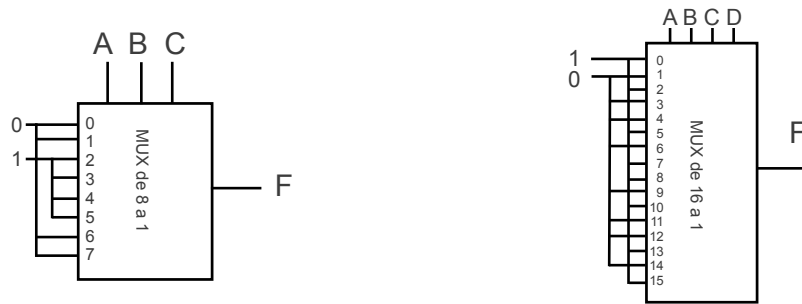
3. Solución:

a) Un decodificador y una puerta OR del tamaño adecuado.



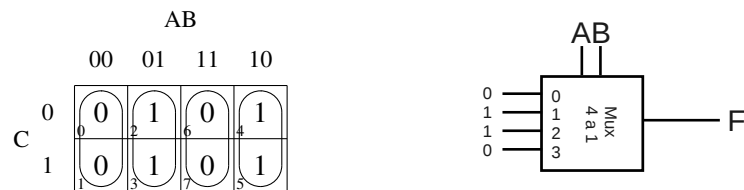
b) Multiplexores de los tamaños adecuados y ninguna puerta adicional (no se dispone de las entradas negadas).

Supondremos que cuando hablan de multiplexores de los tamaños adecuados, se refieren a multiplexores de 2^n entradas, donde n es el número de variables de la función. Entonces, las soluciones pedidas son:

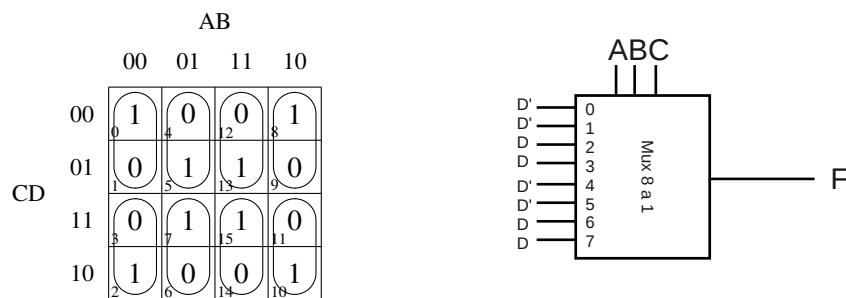


c) Multiplexores con la mitad de entradas de datos.

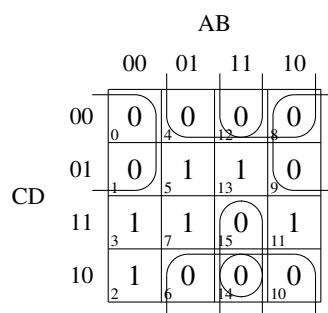
Elegiremos en el primer caso como variable excluida la C, de tal manera que el circuito resultante será:



En el caso del segundo circuito, la variable que decidimos excluir es la D:



4. *Solución:* El mapa de Karnaugh de la función indicada sería:



en donde aparecen a 1 las celdas correspondientes a los números primos: 2, 3, 5, 7, 11 y 13. Simplificando por ceros obtenemos:

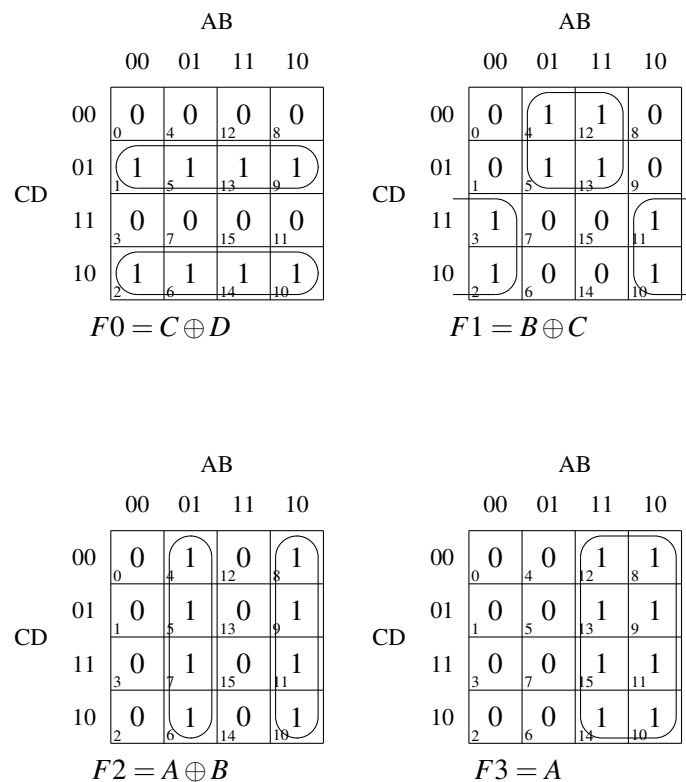
$$\begin{aligned}
 F &= (B + C) \cdot (\bar{B} + D) \cdot (\bar{A} + D) \cdot (\bar{A} + \bar{B} + \bar{C}) \\
 &= \overline{(B + C) \cdot (\bar{B} + D) \cdot (\bar{A} + D) \cdot (\bar{A} + \bar{B} + \bar{C})}
 \end{aligned}$$

Función que puede implementarse directamente con puertas NOR.

5. *Solución:* Según la indicado, el código de Gray de 4 bits será:

Entradas				Salidas			
A	B	C	D	F3	F2	F1	F0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

Calculando los mapas de Karnaugh de las cuatro funciones de salida obtenemos:



6. *Solución:*

- a) Según lo indicado, el circuito tiene como 3 bits de entrada ($N > 0$) y 4 de salida ($2N - 1$). En la siguiente tabla se muestra para cada entrada su correspondiente salida.

ENTRADAS			SALIDAS			
A	B	C	F3	F2	F1	F0
0	0	0	-	-	-	-
0	0	1	0	0	0	1
0	1	0	0	0	1	1
0	1	1	0	1	0	1
1	0	0	0	1	1	1
1	0	1	1	0	0	1
1	1	0	1	0	1	1
1	1	1	1	1	0	1

Simplificando por unos mediante mapas de Karnaugh para las cuatro funciones de salida obtenemos:

AB

	00	01	11	10
0	-	0	1	0
1	0	0	1	1

$$F3 = A \cdot B + A \cdot C$$

AB

	00	01	11	10
0	-	0	0	1
1	0	1	1	0

$$F2 = B \cdot C + \bar{B} \cdot \bar{C}$$

AB

	00	01	11	10
0	-	1	1	1
1	0	0	0	0

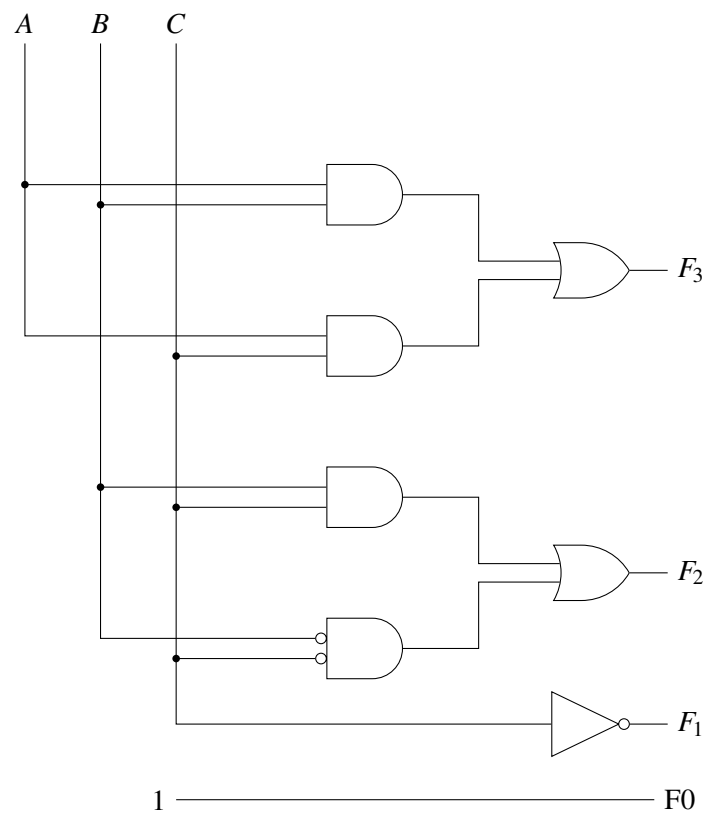
$$F1 = \bar{C}$$

AB

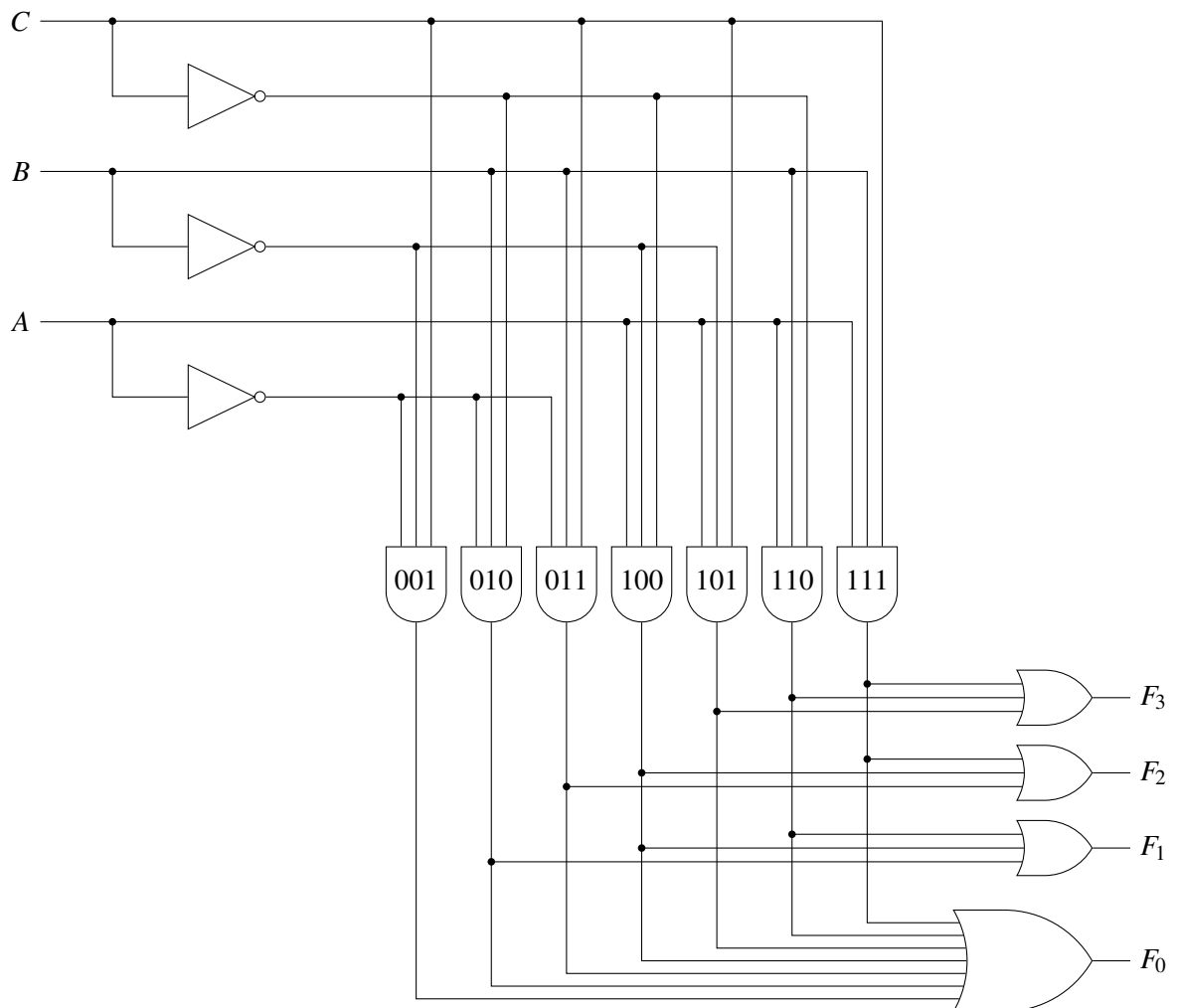
	00	01	11	10
0	-	1	1	1
1	1	1	1	1

$$F0 = 1$$

El circuito correspondiente mediante puertas lógicas se muestra a continuación:



b) Utilizando la tabla del circuito, la PLA mínima es:



Destacar que sólo cuando el dato de entrada es 0 no hay dato de salida, de ahí que en la PLA sólo falte su correspondiente puerta AND.

7. *Solución:* Primero, simplificamos la función utilizando un mapa de Karnaugh (se muestran sólo los implicantes de la cubierta elegida):

		AB			
		00	01	11	10
CD	00	1	0	0	0
	01	1	0	1	0
	11	1	0	1	1
	10	1	1	1	1

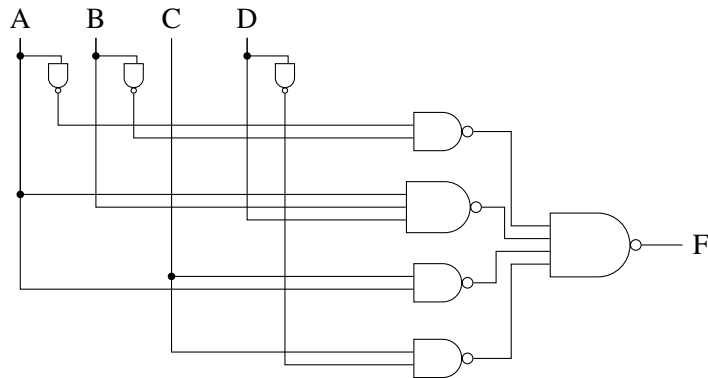
Por lo que la expresión simplificada de F en forma de suma de productos es:

$$F(A,B,C,D) = \bar{A} \times \bar{B} + A \times B \times D + A \times C + C \times \bar{D}$$

Negamos dos veces la expresión anterior y aplicamos las leyes de De Morgan para obtener una expresión fácilmente implementable con puertas NAND:

$$\begin{aligned}
 F(A,B,C,D) &= \overline{\overline{\overline{F(A,B,C,D)}}} \\
 &= \overline{\overline{\overline{\bar{A} \times \bar{B} + A \times B \times D + A \times C + C \times \bar{D}}}} \\
 &= \overline{\overline{\bar{A} \times \bar{B} \times \overline{A \times B \times D \times A \times C + C \times \bar{D}}}}
 \end{aligned}$$

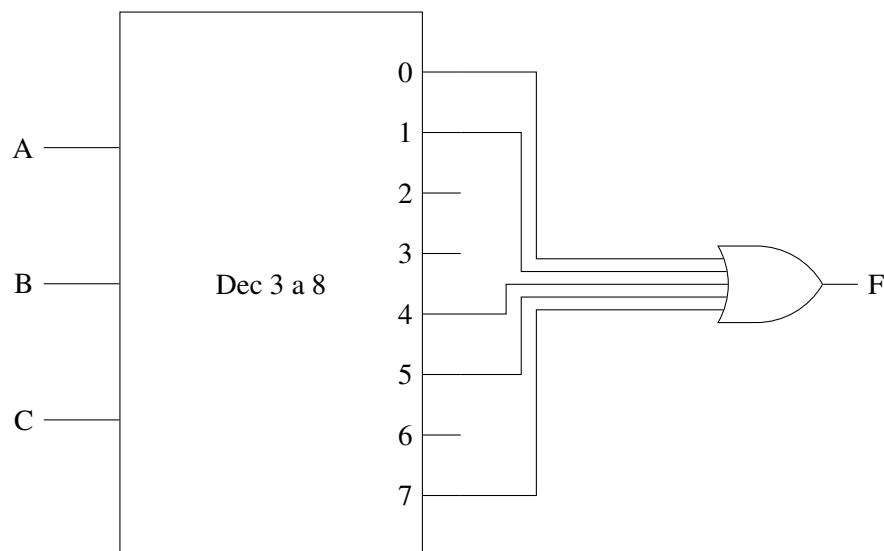
Con lo que el circuito resultante queda:



8. *Solución:* La expresión de F en forma de suma de minitérminos es:

$$F(A,B,C) = A \times B \times C + \bar{B} = \sum m(0,1,4,5,7)$$

Sería suficiente con un decodificador de 3 a 8 y una puerta OR:



9. *Solución:*

Primero, simplificamos la función utilizando un mapa de Karnaugh (se muestran sólo los implicantes de la cubierta elegida):

		AB			
		00	01	11	10
CD	00	1	0	0	1
	01	1	0	0	0
	11	1	1	1	0
	10	1	1	0	1

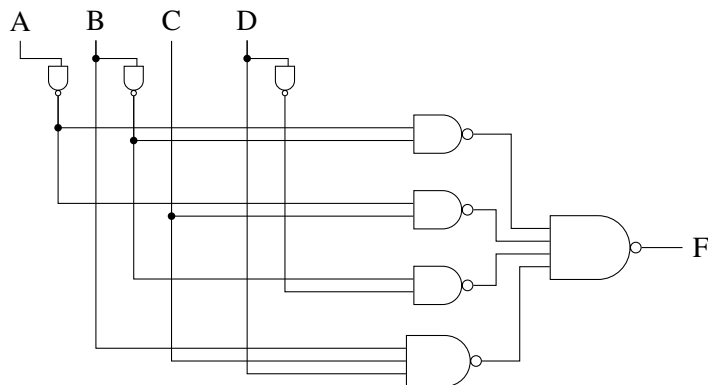
Por lo que la expresión simplificada de F en forma de suma de productos es:

$$F(A,B,C,D) = \bar{A} \times \bar{B} + \bar{A} \times C + \bar{B} \times \bar{D} + B \times C \times D$$

Negamos dos veces la expresión anterior y aplicamos las leyes de De Morgan para obtener una expresión fácilmente implementable con puertas NAND:

$$\begin{aligned} F(A,B,C,D) &= \overline{\overline{\bar{A} \times \bar{B} + \bar{A} \times C + \bar{B} \times \bar{D} + B \times C \times D}} \\ &= \overline{\bar{A} \times \bar{B} + \bar{A} \times C + \bar{B} \times \bar{D} + B \times C \times D} \\ &= \overline{\bar{A} \times \bar{B} \times \bar{A} \times C \times \bar{B} \times \bar{D} \times B \times C \times D} \end{aligned}$$

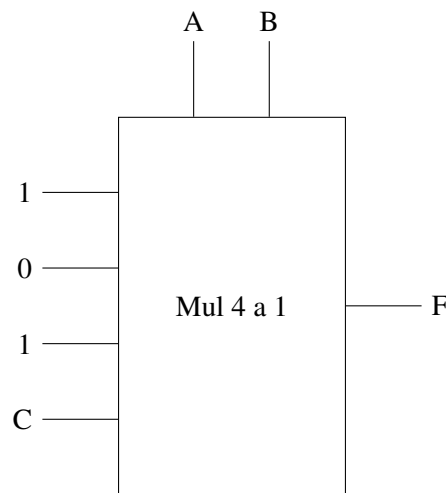
Con lo que el circuito resultante queda:



10. *Solución:* El mapa de Karnaugh de la expresión de F y agrupando por C es:

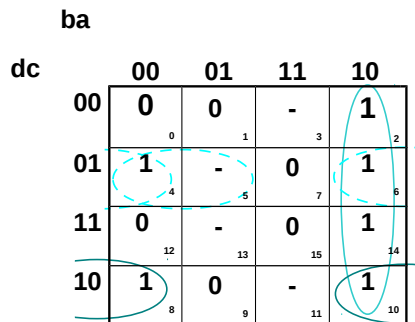
		AB			
		00	01	11	10
C	0	1	0	0	1
	1	1	0	1	1

Las entradas del multiplexor quedarían de la siguiente forma:

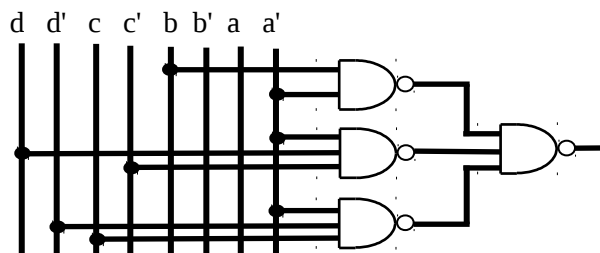


11. Solución:

- a) Representando la función $F(D,C,B,A) = \sum \min(2,4,6,8,10,14) + d(3,5,11,13)$ en un mapa de Karnaugh, y localizando los implicantes primos esenciales y no esenciales, queda:



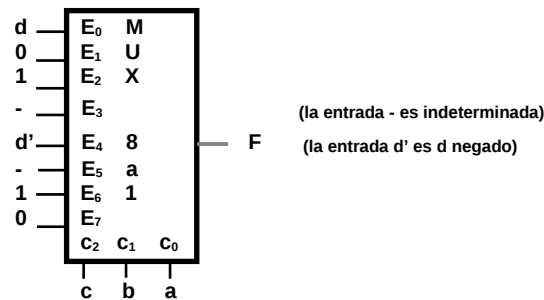
Cuya expresión algebraica es (como suma de productos): $F(D,C,B,A) = B\bar{A} + \bar{A}D\bar{C} + \bar{A}\bar{D}C$ (o bien $F(D,C,B,A) = B\bar{A} + \bar{A}D\bar{C} + \bar{B}\bar{D}C$). Para implementar la función con sólo puertas NAND bastaría sustituir el primer y segundo niveles de la suma de productos por puertas NAND y si algún producto constara de sólo una variable, se niega (puerta NAND con las dos entradas conectadas a la misma variable).



- b) Si seleccionamos como entradas de control (por ejemplo) las variables C, B y A ($C = C_2, B = C_1, A = C_0$), el mapa de Karnaugh queda distribuido en las siguientes áreas correspondientes a las entradas de datos al multiplexor: $E_0 = m_0 + m_8, E_1 = m_1 + m_9, E_2 = m_2 + m_{10}, E_3 = m_3 + m_{11}, E_4 = m_4 + m_{12}, E_5 = m_5 + m_{13}, E_6 = m_6 + m_{14}, E_7 = m_7 + m_{15}$.

		ba			
		00	01	11	10
dc	00	0 0	0 1	- 3	1 2
	01	1 4	- 5	0 7	1 6
	11	0 12	- 13	0 15	1 14
	10	1 8	0 9	- 11	1 10

El circuito quedaría, por lo tanto:

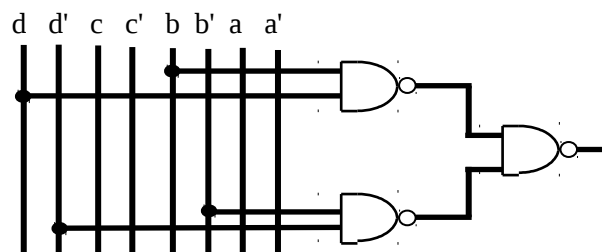


12. Solución:

- a) Representando la función $F(A, B, C, D) = \sum \min(0, 5, 7, 8, 13, 15) + d(2, 10, 14)$ en un mapa de Karnaugh, y localizando los implicantes primos esenciales y no esenciales, queda:

		ab			
		00	01	11	10
cd	00	1 0	0 1	0 3	1 2
	01	0 4	1 5	1 7	0 6
	11	0 12	1 13	1 15	0 14
	10	- 8	0 9	- 11	- 10

Cuya expresión algebraica es (como suma de productos): $F(A, B, C, D) = BD + \bar{B}\bar{D}$. Para implementar la función con sólo puertas NAND bastaría sustituir el primer y segundo niveles de la suma de productos por puertas NAND y si algún producto constara de sólo una variable, se niega (puerta NAND con las dos entradas conectadas a la misma variable, que no es necesario en este caso).



- b) Si seleccionamos como entradas de control (aunque no es lo más eficiente) las variables A, B y C , el mapa de Karnaugh queda distribuido en las siguientes áreas correspondientes a las entradas de datos al multiplexor: $E_0 = m_0 + m_4$, $E_1 = m_{12} + m_8$, $E_2 = m_1 + m_5$, $E_3 = m_{13} + m_9$, $E_4 = m_2 + m_6$, $E_5 = m_{14} + m_{10}$, $E_6 = m_3 + m_7$, $E_7 = m_{15} + m_{11}$.

		ab			
		00	01	11	10
cd	00	1 ₀	0 ₁	0 ₃	1 ₂
	01	0 ₄	1 ₅	1 ₇	0 ₆
	11	0 ₁₂	1 ₁₃	1 ₁₅	0 ₁₄
	10	- ₈	0 ₉	- ₁₁	- ₁₀

El circuito quedaría, por lo tanto:

