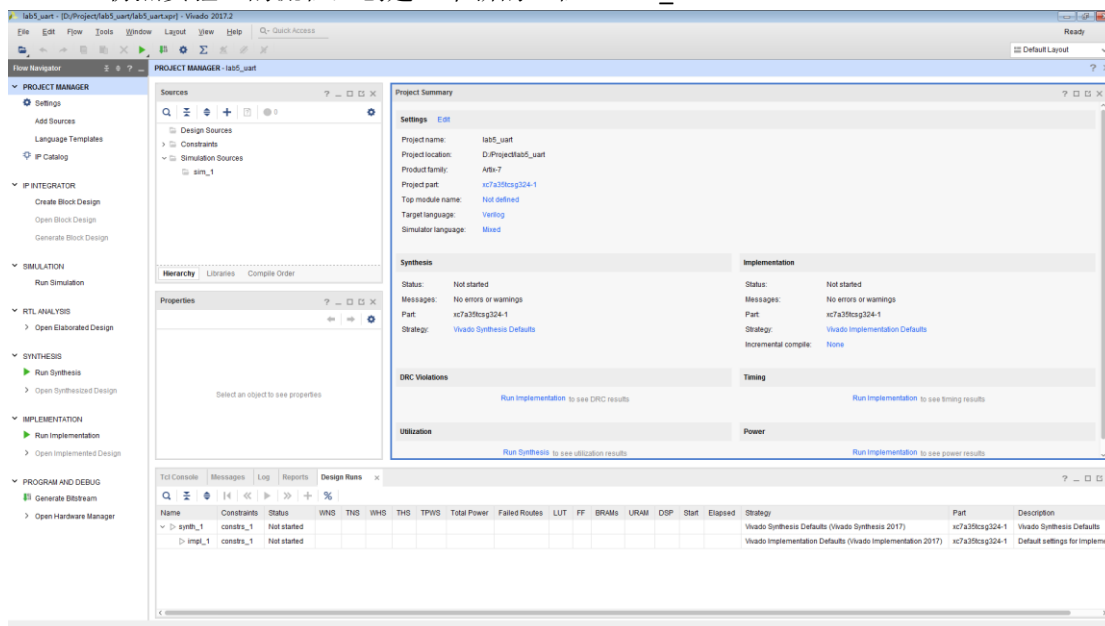


实验五、串口控制器

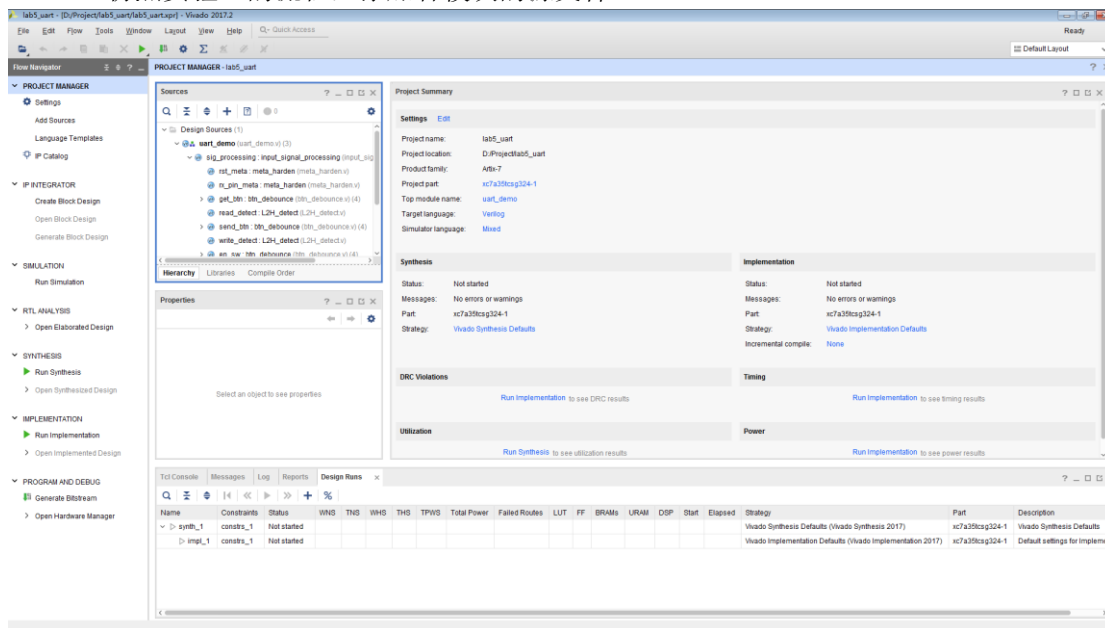
一、创建工程

1、仿照实验一的流程，创建一个新的工程“lab5_uart”。



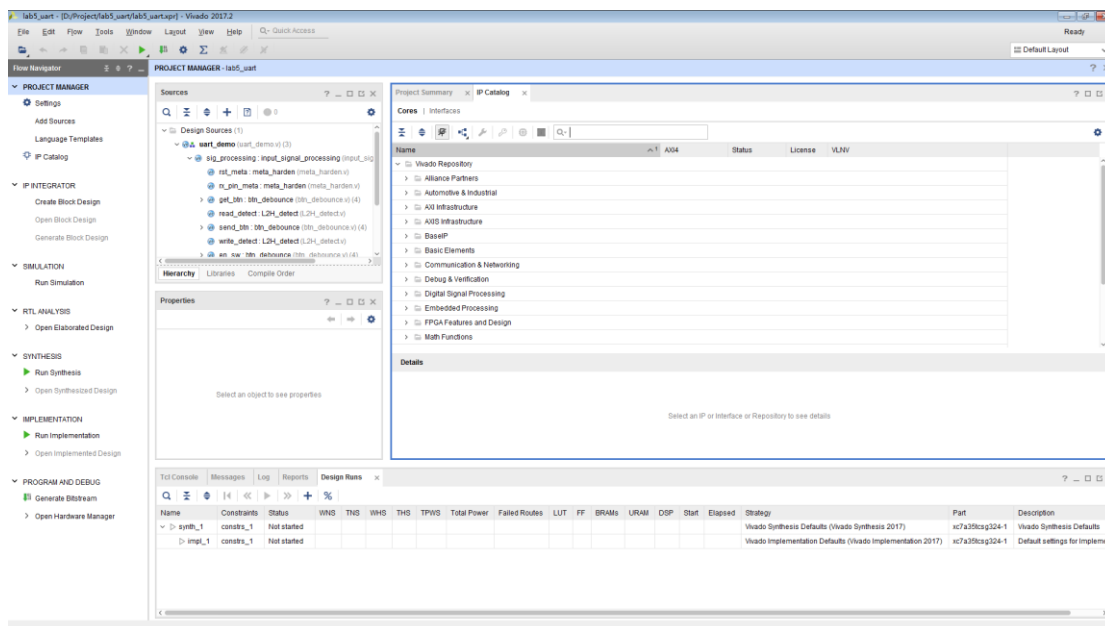
二、添加源文件

2、仿照实验二的流程，添加各模块的源文件。

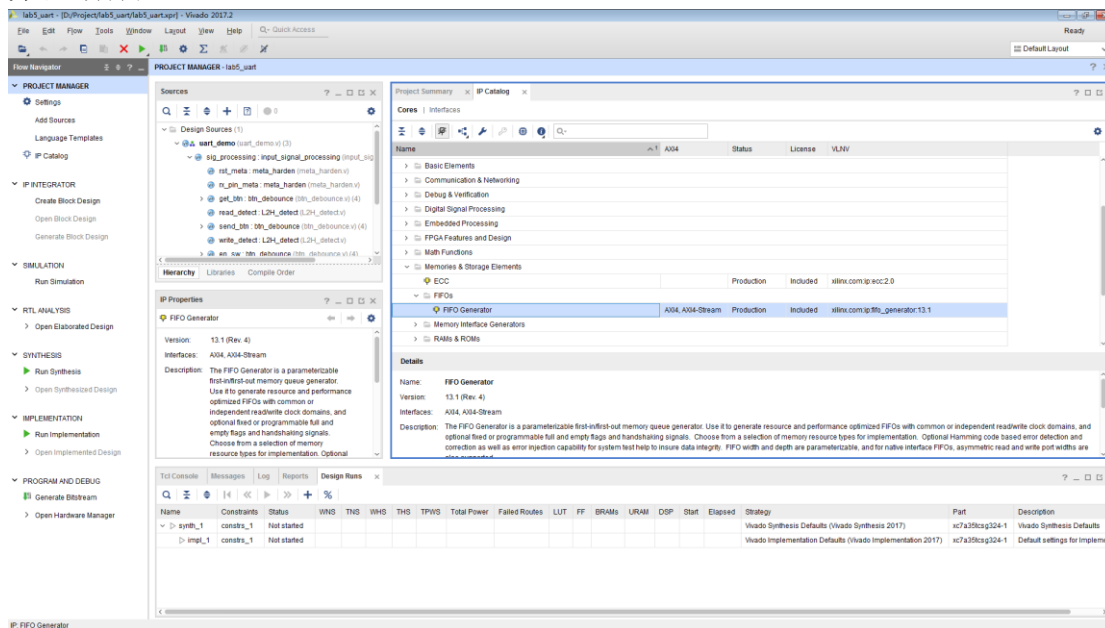


3、仿照实验四的流程，通过 IP 核调用添加“rx_buf”、“tx_buf”模块。

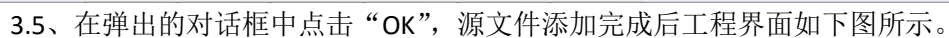
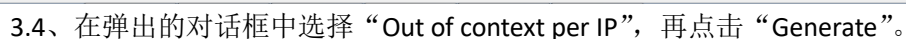
3.1、在“Flow Navigator”一栏中点击“Project Manager”下的“IP Catalog”。

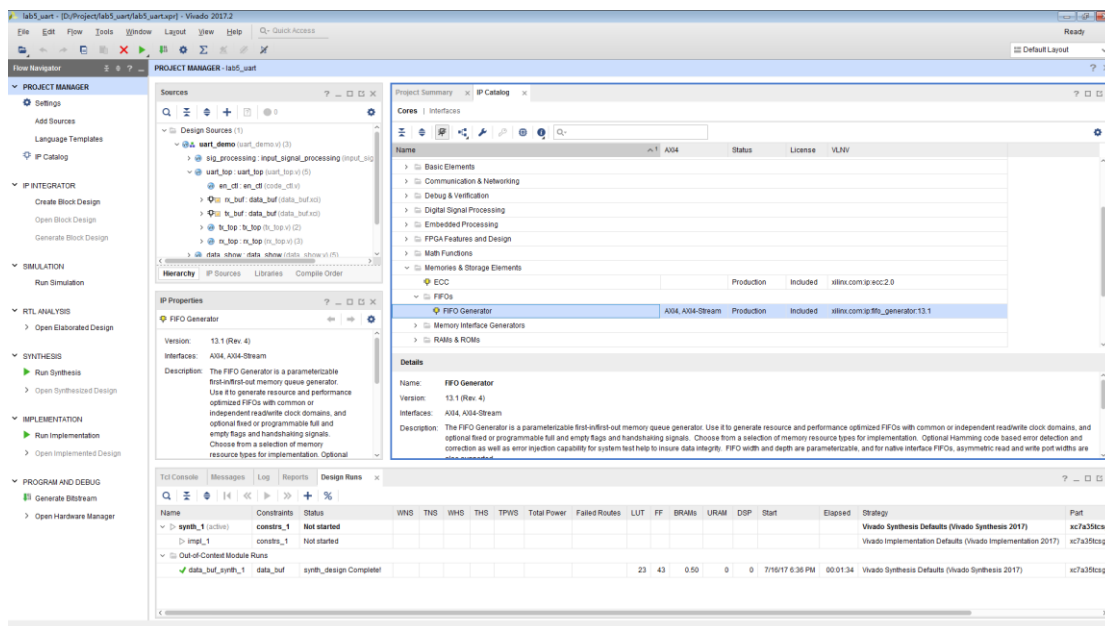


3.2、在“IP Catalog”窗口中找到“Memories & Storage Elements/FIFOs/FIFO Generator”并双击打开。



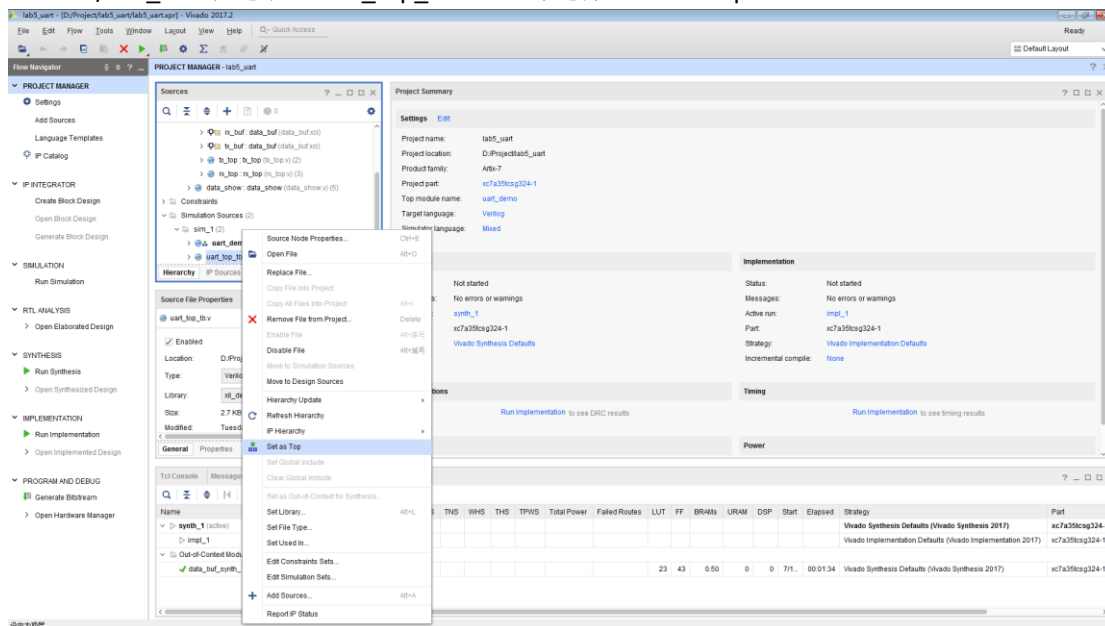
3.3、在“Customize IP”界面“Component Name”一栏输入模块名“data_buf”；在“Native Ports”标签页下，选择“Read Mode”为“Standard FIFO”；“Data Port Parameters”中的“Write Width”和“Read Width”均设置为 8，“Write Depth”和“Read Depth”为 32；“Initialization”中的“Reset Type”选为“Asynchronous Reset”。设置完成后点击“OK”。



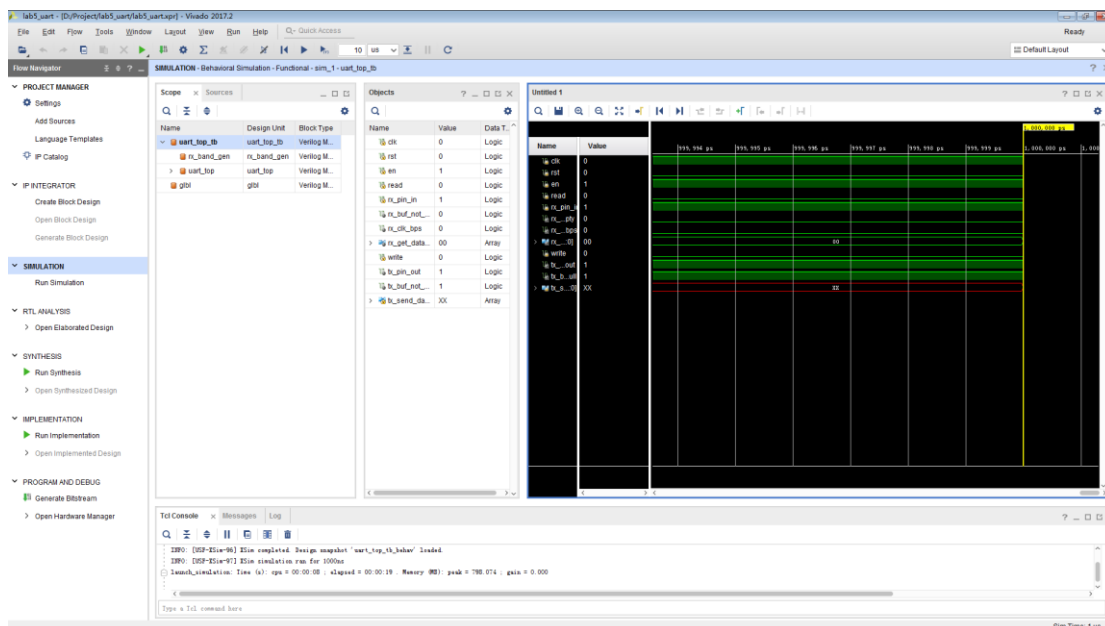


三、仿真

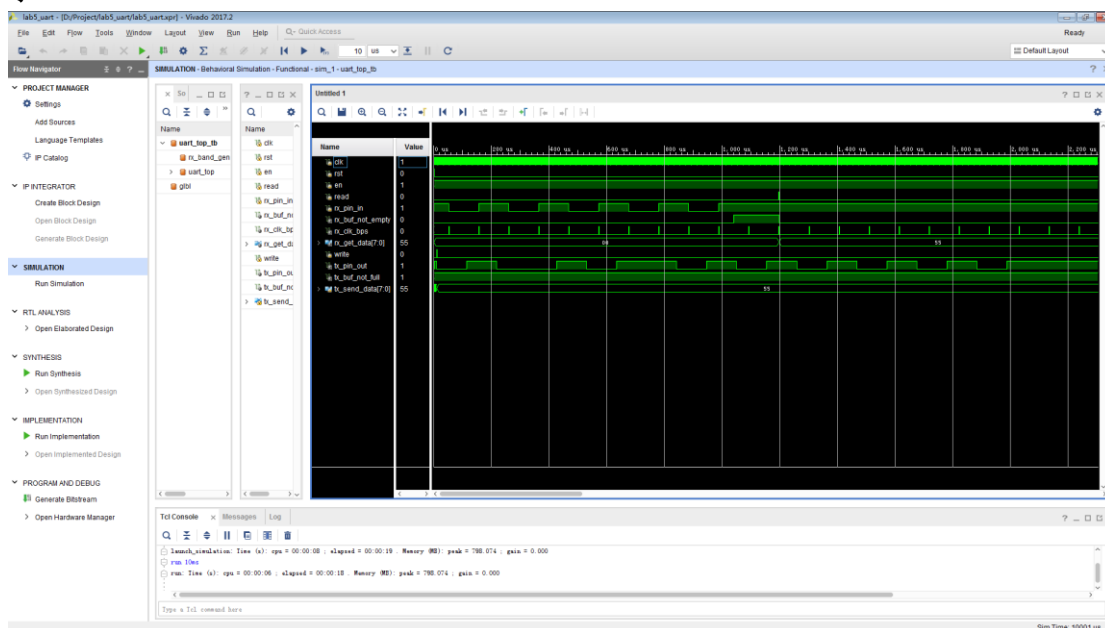
4、仿照实验二的流程，添加仿真文件 `uart_top_tb.v`。添加完成后，在“Simulation Sources/sim_1”下选中“`uart_top_tb`”，右击选择“Set as Top”。



5、在左侧“Flow Navigator”一栏中的“Simulation”下点击“Run Simulation”，选择“Run Behavior Simulation”进入仿真界面。



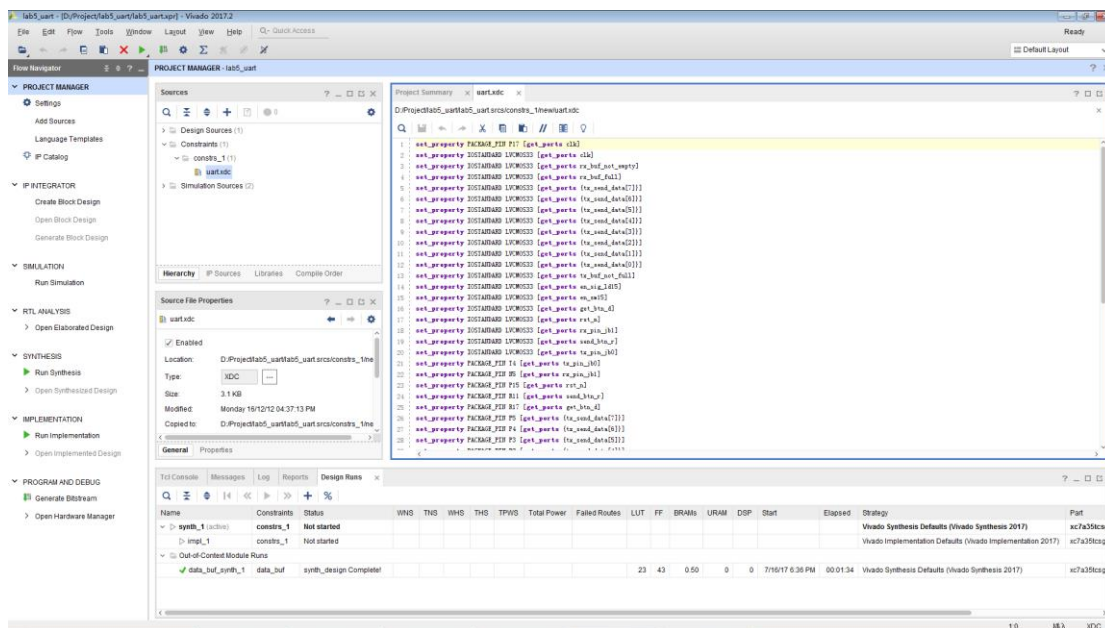
6、调整界面布局，通过“Zoom Fit”、“Zoom In”及“Zoom Out”，将波形缩放到合适大小。



7、完成仿真后，关闭仿真界面。

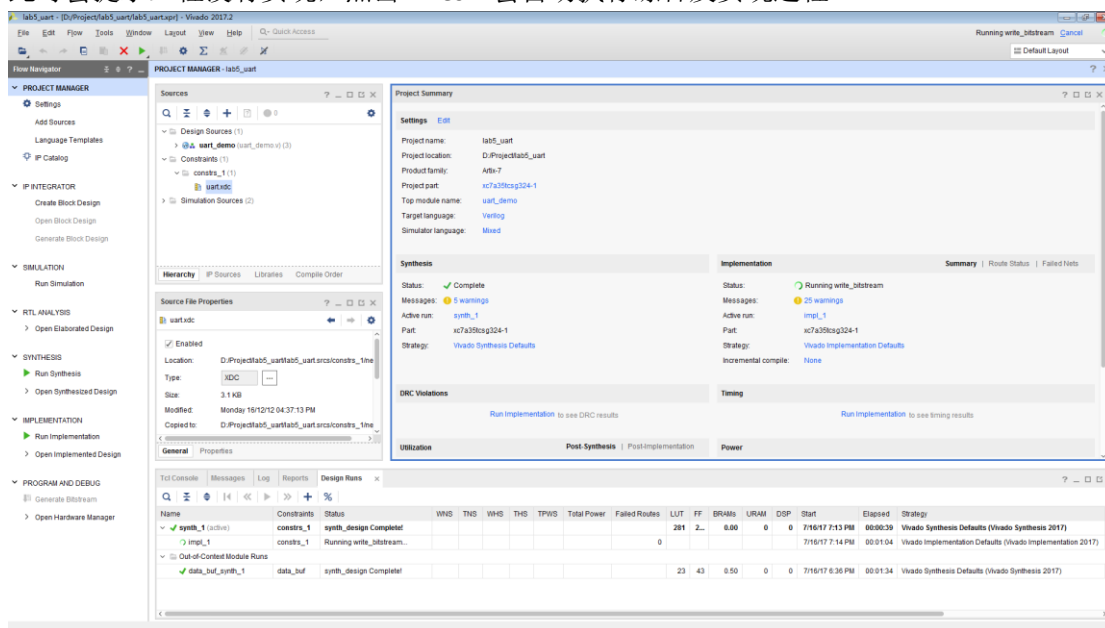
四、添加约束

8、仿照实验二的流程，添加约束文件 uart.xdc。



五、生成 bit 文件

9、在“Flow Navigator”一栏中的“Program and Debug”下点击“Generate Bitstream”，此时会提示工程没有实现，点击“Yes”会自动执行综合及实现过程。

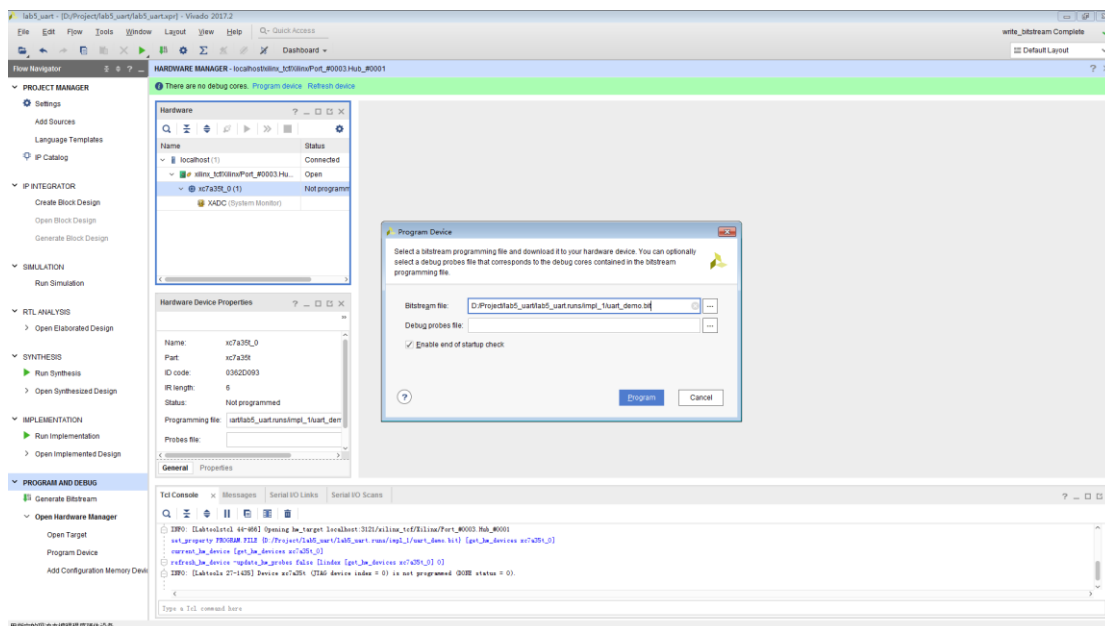


六、下载

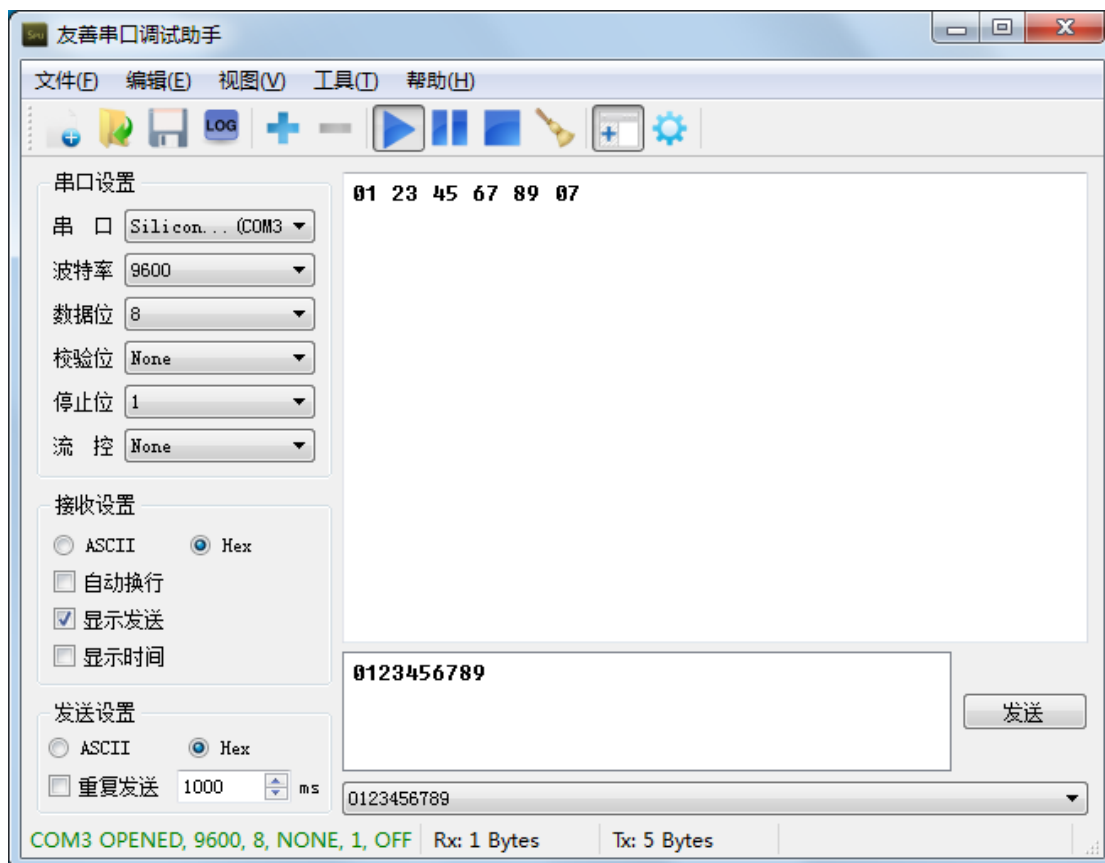
10、用两根 Micro USB 线分别连接电脑与板卡上的 JTAG 端口和 UART 串口，打开电源开关。

11、生成比特流文件完成后，打开“Hardware Manager”，在“Hardware Manager”界面点击“Open target”选择“Auto Connect”。

连接成功后，在目标芯片上右击选择“Program Device”，点击“Program”对 FPGA 芯片进行编程。



12、下载完成后，打开板卡上的使能开关(SW15)，在电脑端打开串口调试软件 Serial Port Utility，参数配置如图所示。在发送文本编辑框中输入“0123456789”，点击发送按钮，调试助手聊天窗口将显示发送数据。



13、将板卡上的拨码开关 SW5、SW6、SW7 打开（此时数码管的右两位会显示 07），按下 S0 按钮向电脑发送数据，此时串口调试助手聊天窗口会显示数据：07。按五次 S1 按钮，依次从接收缓存中读取从电脑发来的数据：01、23、45、67、89，并在数码管上显示这些数据。

