



Xilinx 大学计划-依元素科技 最新口袋实验室平台-EG01



Xilinx大学计划 - 依元素科技

edu@e-elements.com



XUP口袋实验室理念



“口袋实验室”的理念源于现代数字系统设计课程改革的思想。现代数字系统设计课程改革的设想是解决课程教学上理论与实际脱节、培养的学生能力不能满足社会需求的矛盾。

“口袋实验室”是将名片大小的实验板卡发到每个学生手上，装在口袋里可以随身携带，随时操作，在完成各种基本实验的基础上，激发学生的兴趣，发挥学生的独创精神。它有以下特色：

1. 克服“欺软怕硬”，动手实践

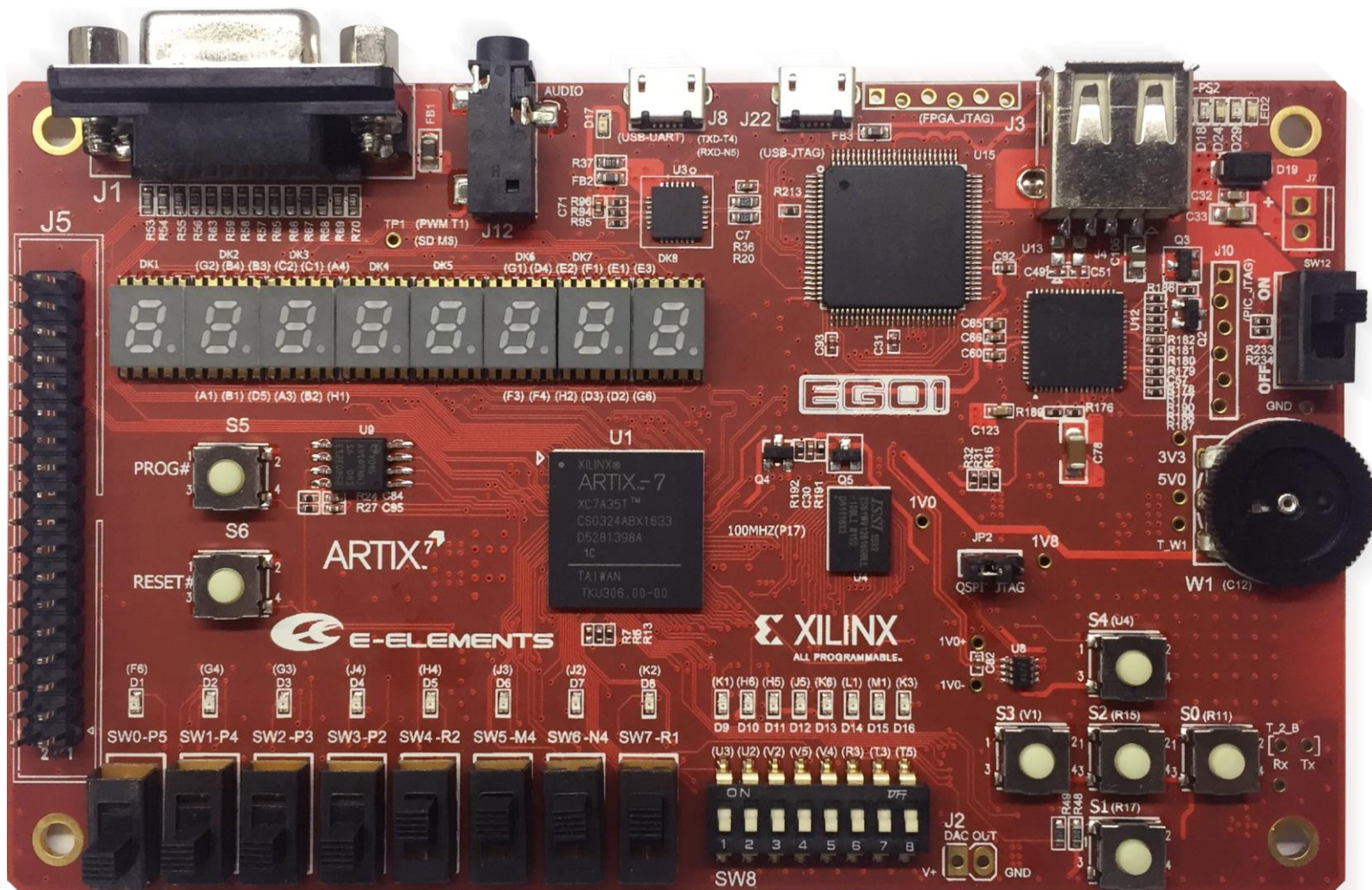
目前，学生的能力有软件强于硬件的“欺软怕硬”现象，而且有愈加严重的发展趋势。软件的功能要有硬件的架构来展现，技术发展的趋势要求培养的人才具有软硬件协同设计的能力，硬件基础偏低要通过提供硬件动手的条件和环境。

2. 避免“灌输教学”，实操掌握理论

课程教学中，存在的教师讲学生听的“灌输式教学”方式，就其原因是数字技术发展迅速，教师在技术和条件上有困难来改变教学方式，做到互相交流，教学相长。



最新一代Xilinx口袋实验室平台 EGO1 Board-实物照片





最新一代Xilinx口袋实验室平台 EGO1 Board-平台特色



Xilinx大学计划EGO数模混合口袋实验室平台秉承了赛灵思“口袋实验室”的思想和优势，立足解决课程教学上理论与实际脱节、培养的学生能力不能满足社会需求的矛盾。

其具有诸多特性：

- 在原有数电口袋实验室平台基础上添加了AD/DA等模块，带领学生进入模拟信号的世界；
- 板载蓝牙、VGA接口和音频输出等丰富的接口资源；
- 基于Xilinx 28nm新器件以及Vivado新工具进行设计；
- 赛灵思大学计划配套提供学习资源；
- 上海交通大学配套教材、实验慕课；
- 配套教材；
- 依元素科技持续更新的实验教程、案例.....
-



最新一代Xilinx口袋实验室平台 EGO1 Board-平台规格



FPGA : Xilinx Artix-7 XC7A35T

时钟 : 100MHz

配置方式 : USB-JTAG/SPI Flash

存储器 :

SRAM : 2Mbit

SPI Flash : N25Q032A

通用IO :

Switch : x8

LED : x16

Button : x5

DIP : x8

通用扩展IO : 32pin

音视频/显示 :

7段数码管 : x8

VGA视频输出接口

Audio音频接口

通信接口 :

UART : USB转UART

Bluetooth : 蓝牙模块

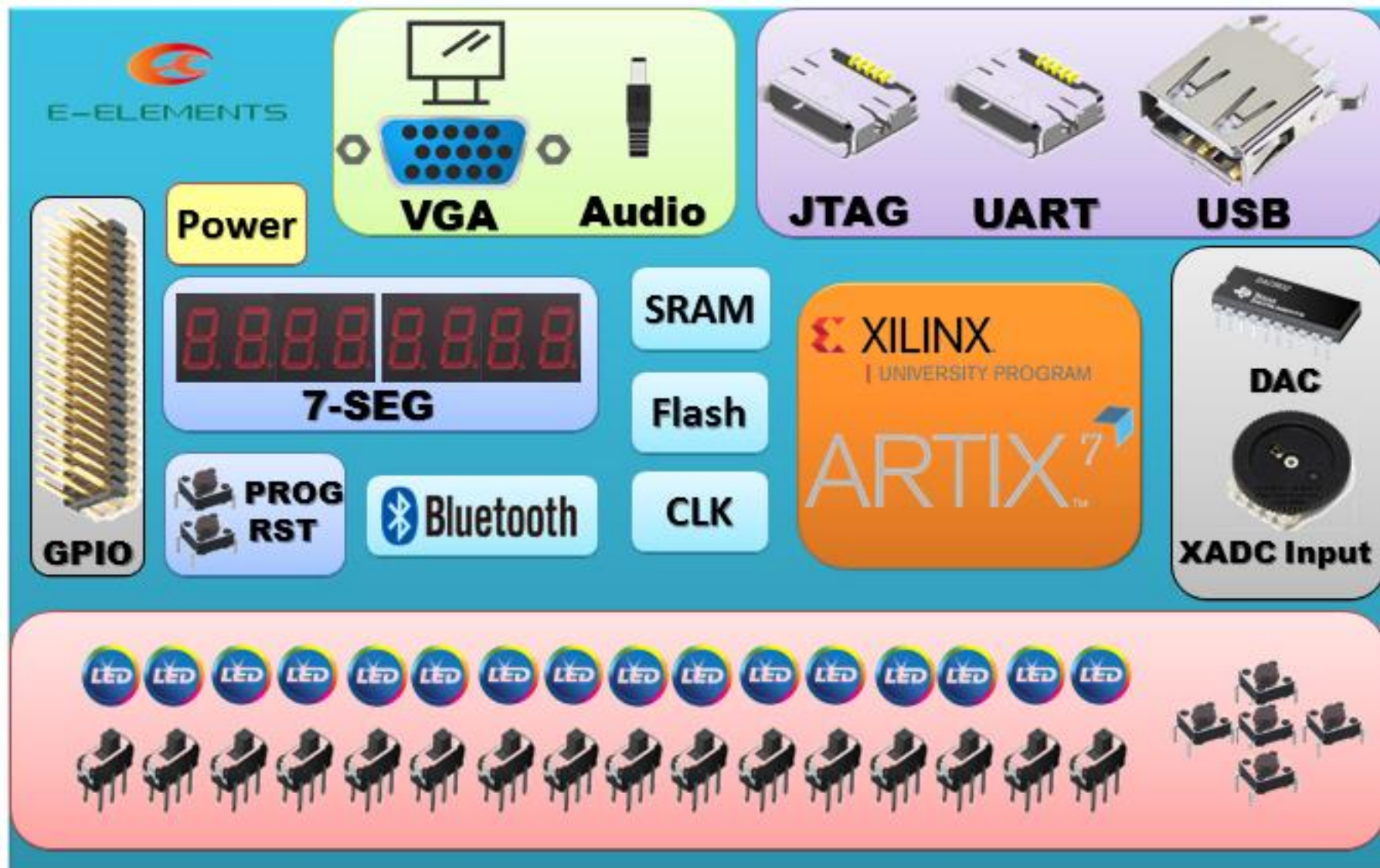
模拟接口:

DAC: 8-bit分辨率

XADC: 2路12bit 1Msps ADC



最新一代Xilinx口袋实验室平台 EGO1 Board-平台框图



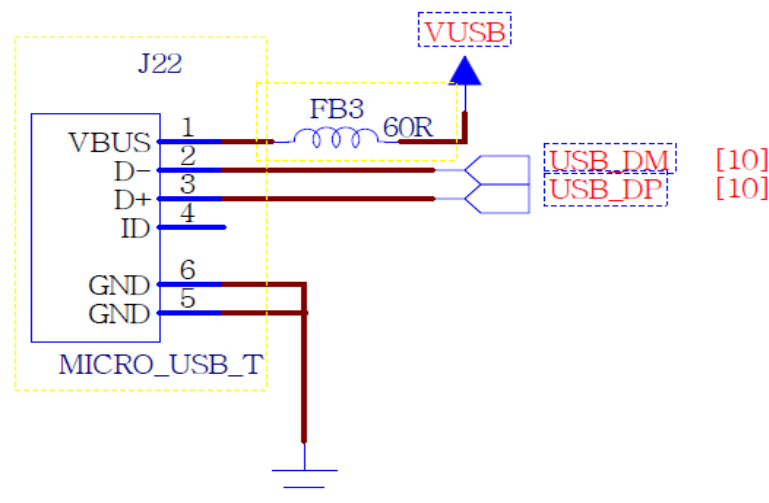


最新一代Xilinx口袋实验室平台 EGO1 Board-硬件介绍



电源

EGO1平台是通过USB-JTAG端口（J22）为板卡供电，提供5V的电压，D17是电源开关的指示灯。



EGO1平台板载一个100MHZ时钟晶振，为系统中A7 FPGA提供100MHZ的系统时钟信号。该信号由A7 FPGA的Bank 14的MRCC（P17）引脚进入FPGA。输入时钟可以驱动MMCM或PLL锁相环产生各种频率的时钟和设计阶段可能需要的各种常用的相位。

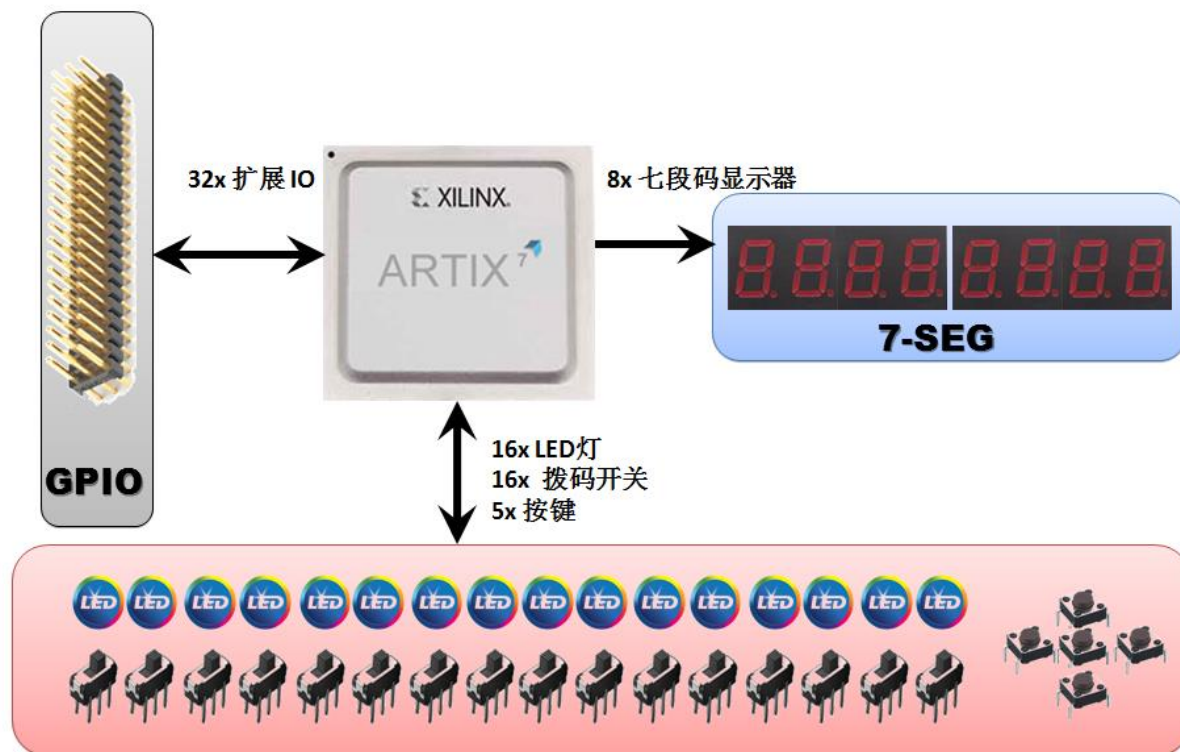


最新一代Xilinx口袋实验室平台 EGO1 Board-硬件介绍



用户IO

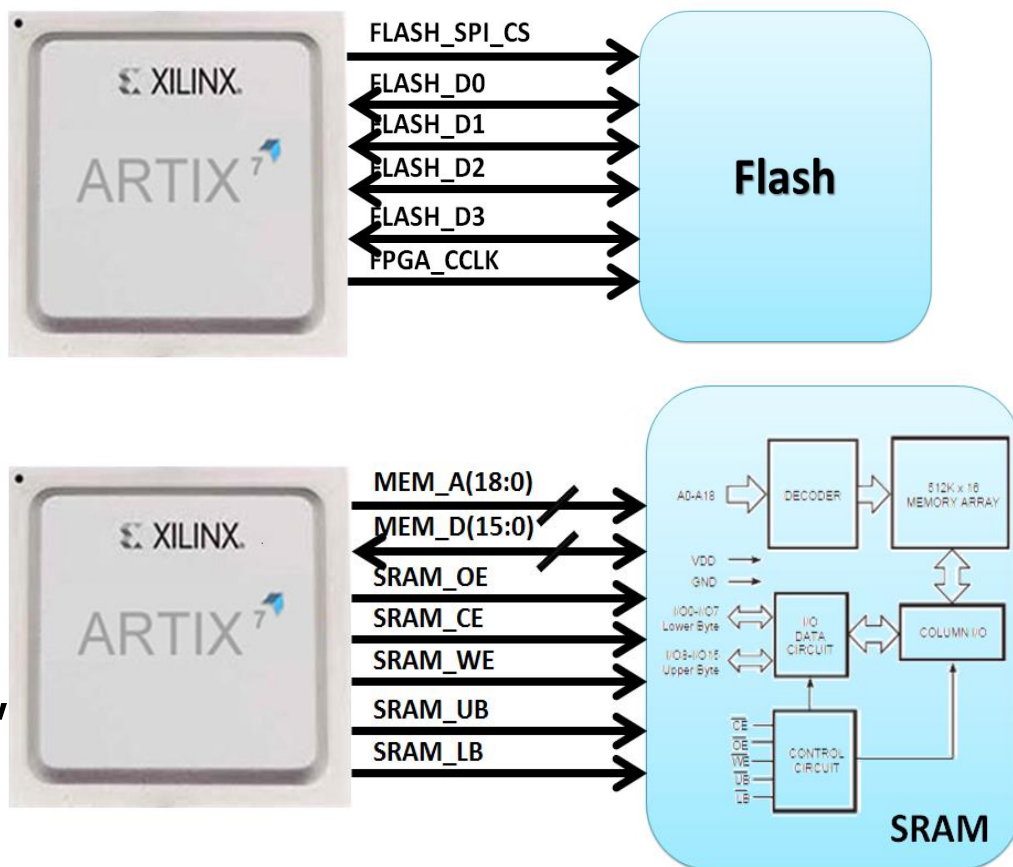
EGO1平台包含的基本I/O有16个滑动开关、5个按钮、16个LED灯和一个八位的七段码显示数码管。



此外，在平台左侧有两列排针，为用户提供了32根引脚的GPIO扩展。用户可通过这部分扩展IO自由定制系统的扩展模块从而完成丰富多样的设计。



EGO1平台板载一个128 Mbit的非易失性存储Flash，它通过专用的Quad-mode(x4) SPI总线连接到Artix-7 FPGA芯片。此外，板卡搭载一颗512Kx16的SRAM存储器，用于提供高速外部缓存。





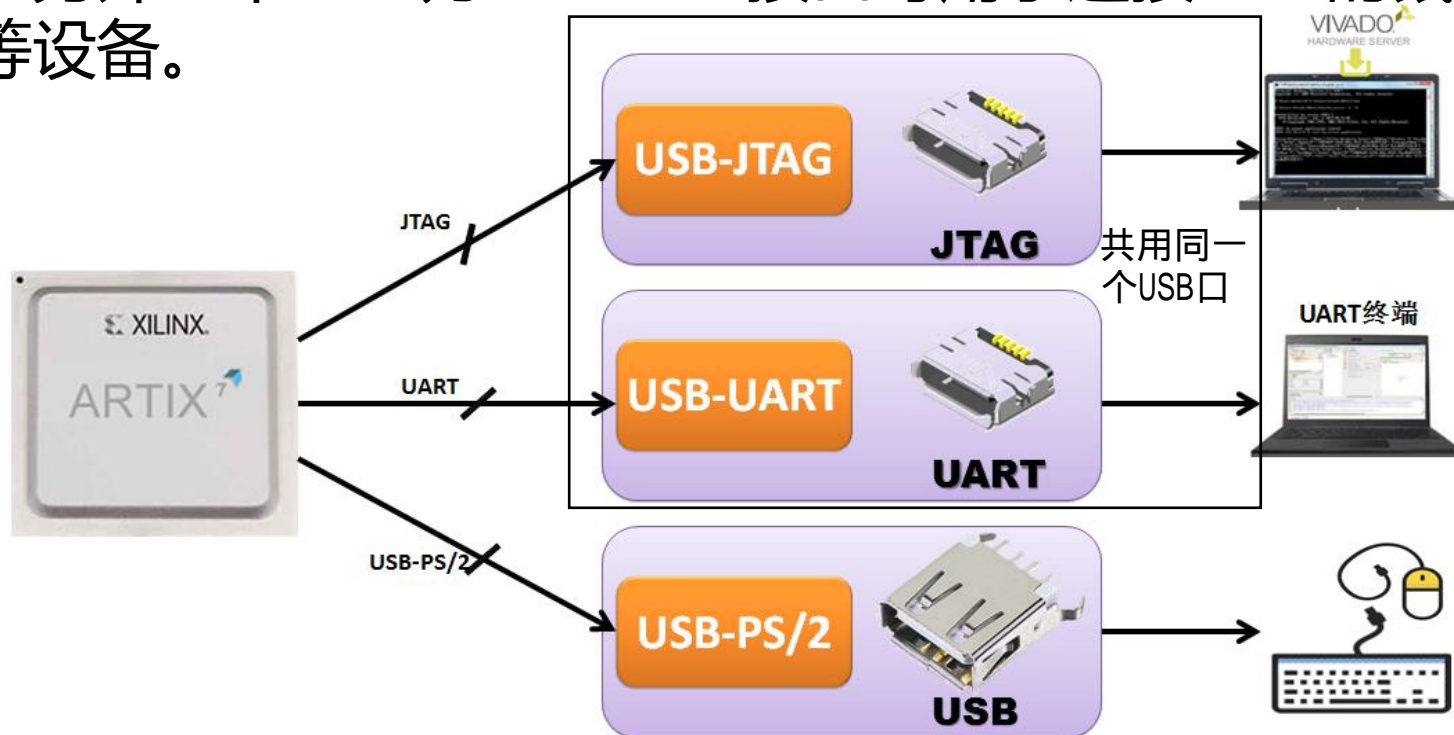
最新一代Xilinx口袋实验室平台 EGO1 Board-硬件介绍



USB接口

USB-UART USB-JTAG USB-PS/2

EGO1平台板上具有三个USB连接器，其中两个Micro-USB连接器分别为USB-JTAG（J22）以及USB-UART（J8）接口，另外一个USB为USB-HID接口可用于连接USB的鼠标键盘等设备。



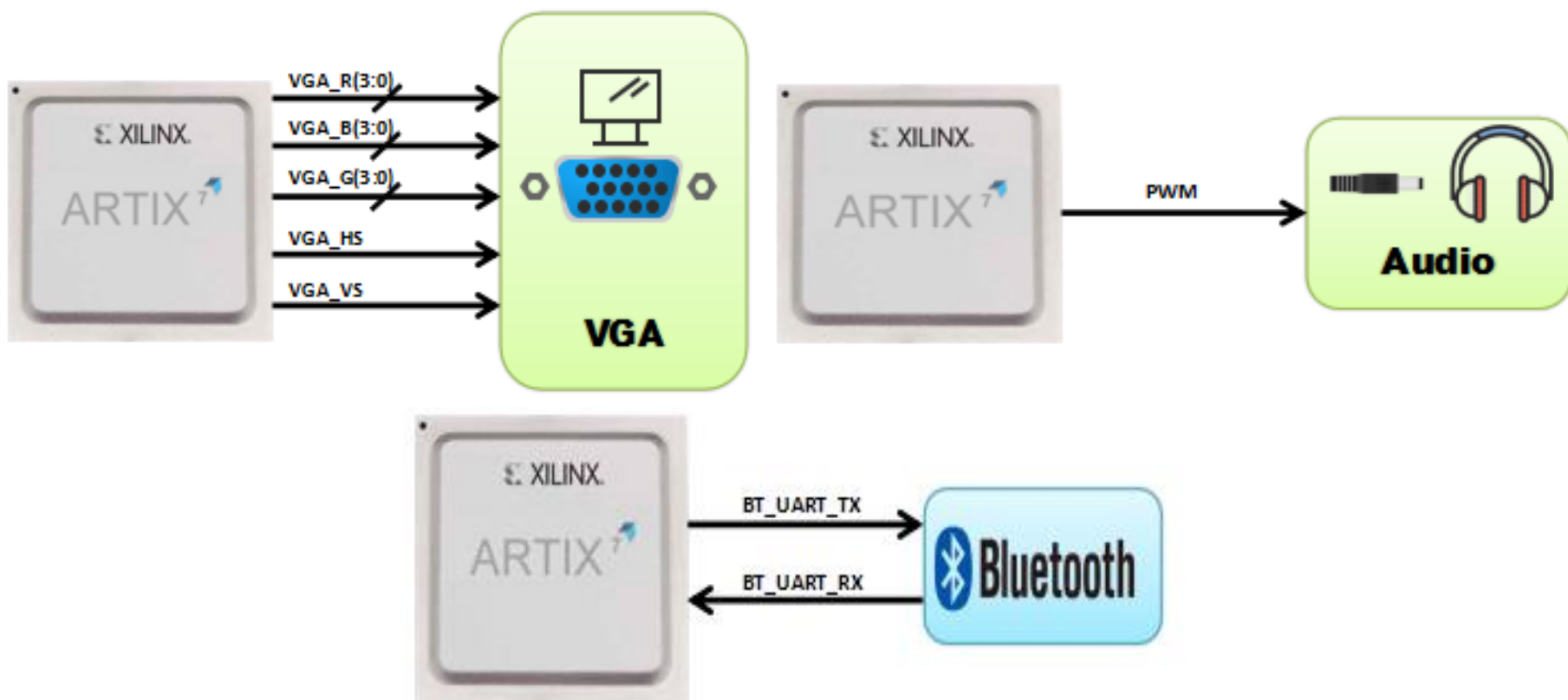


最新一代Xilinx口袋实验室平台 EGO1 Board-硬件介绍



音视频与蓝牙接口

EGO1平台上搭载一个3.5mm的音频输出接口和一个VGA视频输出接口，以及串口蓝牙模块。





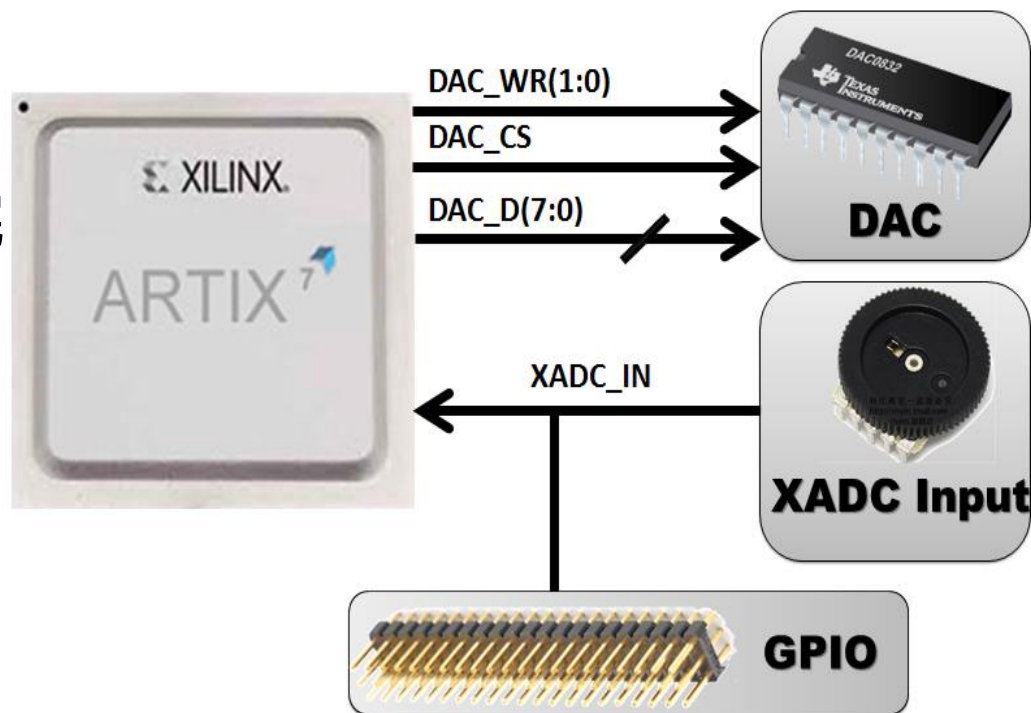
最新一代Xilinx口袋实验室平台 EGO1 Board-硬件介绍



AD/DA模块

EGO1平台上的FPGA内部集成有双 12 位1MSPS模数转换器XADC，可完成对FPGA片上以及外部模拟信号的采样；平台上用户可通过电位器来给XADC提供模拟量输入，也可以通过GPIO扩展IO来接入外界模拟量。

平台上的DA芯片为8位的DAC0832数模转换芯片，用户可以通过这部分电路输出模拟量。





最新一代Xilinx口袋实验室平台 EGO1 Board-资源介绍



上手视频教程

- 五分钟玩转Ego系列
- Vivado视频课程
-

配套教材 课件

Vivado教程

- Vivado设计流程
- Vivado设计约束
- 时序约束与分析
- Vivado设计调试
-

实验案例

- 基础逻辑实验
- 接口实验
- 嵌入式实验
- 系统综合案例
-



最新一代Xilinx口袋实验室平台 EGO1 Board-配套教材



赛灵思FPGA口袋实验室简明实验教程 -基于Vivado与Artix7

第一章FPGA与EDA技术

- 1.1 FPGA概述
- 1.2 FPGA的设计流程与设计方法
- 1.3 EDA技术简介

第二章 FPGA硬件设计平台

- 2.1 Xilinx FPGA产品简介
- 2.2 Xilinx A7口袋实验平台简介
- 2.3 开发板功能详述

第三章 软件设计平台

- 3.1 Vivado介绍与安装
- 3.2 Vivado基本开发流程
- 3.3 Vivado IP核的使用
- 3.4 Vivado IP的封装与集成

第四章 Verilog语言基础

- 4.1 Verilog HDL语言简介
- 4.2 Verilog HDL语言基础
- 4.3 Verilog HDL行为建模
- 4.4 Verilog HDL结构建模
- 4.5 HDL代码风格

西安电子科技大学出版社
即将出版

第五章 基于Vivado的FPGA设计案例

- 5.1流水灯设计
- 5.2智力抢答器
- 5.3分频器
- 5.4 FIR数字滤波器设计
- 5.5串口控制器
- 5.6 Vivado IP集成实验
- 5.7 VGA接口实验
- 5.8蓝牙远程控制实验
- 5.9基于FPGA的嵌入式系统
- 5.10 基于XADC的简易示波器

第六章 FPGA设计进阶

- 6.1 Vivado下的FPGA时序约束与分析
- 6.2 使用Vivado进行硬件调试

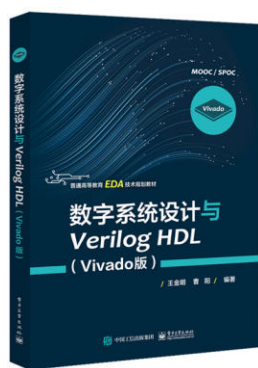
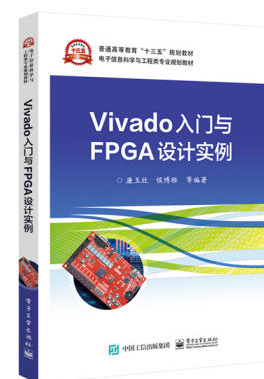
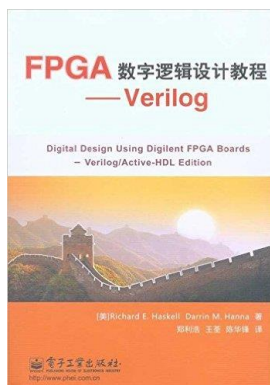
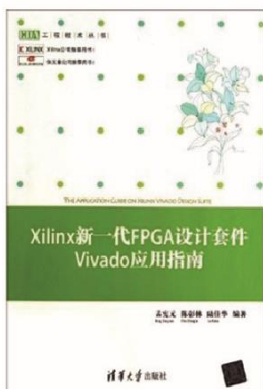
开源案例



最新一代Xilinx口袋实验室平台 EGO1 Board-资源介绍



参考教材



更多
配套教材
即将出版



最新一代Xilinx口袋实验室平台 EGO1 Board-上手视频



五分钟玩转EGO1系列视频教程

选择EGO1板卡对应的FPGA芯片型号

Part	Part Number	Block RAM	Logic Resources	IO Blocks	IO Pins	IO Banks	IO Pins per Bank	IO Pins per Bank (max)
xc7a100t-1	xc7a100t-1	1024	100,000	100	100	10	10	10
xc7a100t-1	xc7a100t-1	1024	100,000	100	100	10	10	10
xc7a100t-1	xc7a100t-1	1024	100,000	100	100	10	10	10
xc7a100t-1	xc7a100t-1	1024	100,000	100	100	10	10	10
xc7a100t-1	xc7a100t-1	1024	100,000	100	100	10	10	10
xc7a100t-1	xc7a100t-1	1024	100,000	100	100	10	10	10
xc7a100t-1	xc7a100t-1	1024	100,000	100	100	10	10	10
xc7a100t-1	xc7a100t-1	1024	100,000	100	100	10	10	10
xc7a100t-1	xc7a100t-1	1024	100,000	100	100	10	10	10
xc7a100t-1	xc7a100t-1	1024	100,000	100	100	10	10	10

5分钟玩转EGo 1

Xilinx 大学计划
口袋实验室平台- EGo 1

设计实现频率为2HZ的流水灯

技术支持部
Email: sales@e-elements.com
Xilinx 大学计划合作伙伴-依元素科技有限公司

THE INFORMATION CONTAINED IN THIS PRESENTATION IS CONFIDENTIAL AND PROPRIETARY TO US AND IS BEING SUBMITTED TO YOU SOLELY FOR YOUR CONFIDENTIAL USE WITH THE EXPRESS UNDERSTANDING THAT, WITHOUT OUR PRIOR EXPRESS WRITTEN PERMISSION, YOU WILL NOT RELEASE THESE STATEMENTS OR DISCUSS THE INFORMATION CONTAINED IN THEM OR MAKE REPRODUCTIONS OF OR USE THESE STATEMENTS FOR ANY PURPOSE OTHER THAN EVALUATING OUR BUSINESS

B站视频链接 : <https://space.bilibili.com/508842252?from=search&seid=2036765415133891685>

更多视频正在更新中

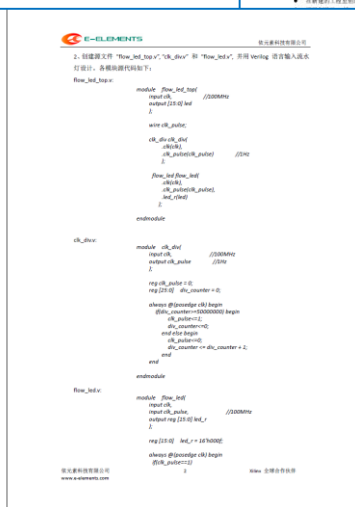
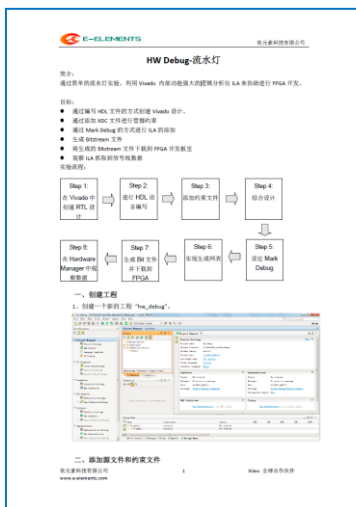
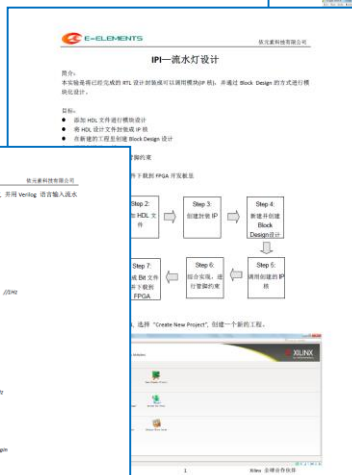
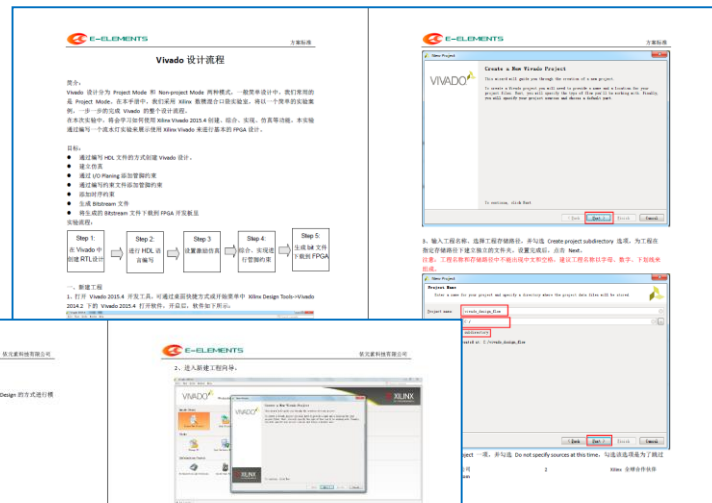


最新一代Xilinx口袋实验室平台 EGO1 Board-中文教程



Vivado上手教程EGO1中文版

1. Vivado设计流程
2. Vivado IP集成器设计环境
3. Vivado硬件逻辑调试



+工程
+源码
文档



最新一代Xilinx口袋实验室平台 EGO1 Board-官方教程



赛灵思大学计划 (XUP) 官方教程 Xilinx大学计划工程师现场培训

Day 1:

- 7-Series Architecture Overview
- **Lab 1: Vivado Design Flow**
 - Use Vivado IDE to create a simple HDL design. Simulate the design using the XSIM HDL simulator available in Vivado design suite. Generate the bitstream and verify in hardware.
- Synthesis Technique
- **Lab 2: Synthesizing a RTL Design**
 - Synthesize a design with the default settings as well as other settings changed and observe the effect.
- Implementation and Static Timing Analysis
- **Lab 3: Implementing the Design**
 - Implement the synthesized design of previous lab, perform timing analysis, generate bitstream, download the bitstream and verify the functionality.

Day 2:

- IP Integrator
- **Lab 4: Using the IP Catalog and IP Integrator**
 - Use the IP Catalog to generate a clock resource and instantiate in a design. Use IP Integrate to generate a core and instantiate in the design.
- Xilinx Design Constraints
- **Lab 5: Xilinx Design Constraints**
 - Create a project with I/O Planning type, enter pin locations, and export it to the rtl. Then create the timing constraints and perform the timing analysis.
- Hardware Debugging
- **Lab 6: Hardware Debugging**
 - Use Mark Debug feature and also available Integrated Logic Analyzer(ILA) core (available in IP Catalog) to debug the hardware.

01_Class_Intro.pdf	lab1.pdf
11_7_Series_Architecture_Overview.pdf	lab2.pdf
12_Vivado_Design_Flow.pdf	lab3.pdf
12a_Lab1_Intro.pdf	lab4.pdf
13_Synthesis.pdf	lab5.pdf
13a_Lab2_Intro.pdf	lab6.pdf
14_Implementation_and_STA.pdf	lab1
14a_Lab3_Intro.pdf	lab2
15_IPI_And_IP_Catalog.pdf	lab3
15a_Lab4_Intro.pdf	lab4
16_Xilinx_Design_Constraints.pdf	lab5
16a_Lab5_Intro.pdf	lab6
17_Hardware_Debugging.pdf	
17a_Lab6_Intro.pdf	

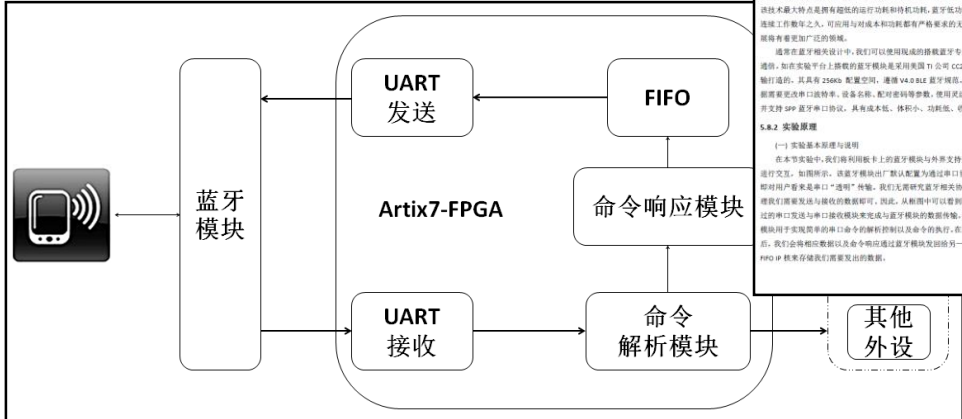
文档+源码+工程

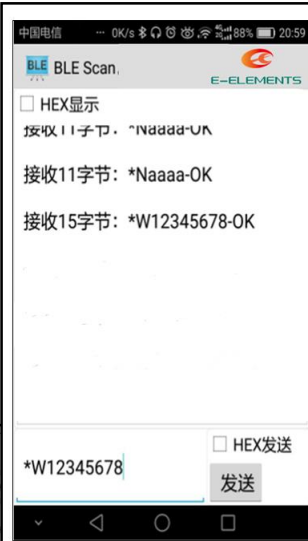
EGO1配套实验中文版

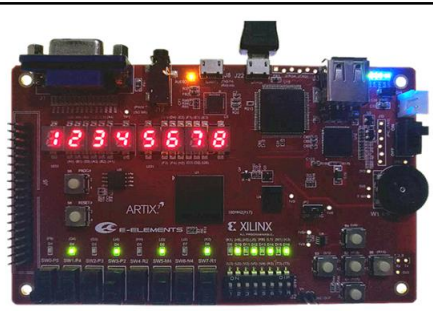
- 流水灯
- 抢答器
- 分频器
- 滤波器
- 串口控制器
- VGA图像显示
- 蓝牙远程控制
- 嵌入式软核CPU
- XADC示波器
-

持续更新

.....







EGo数模混合口袋实验平台

安卓端蓝牙BLE APP
APP命令:
*Nxxxx: 控制LED灯
*Wxxxx_xxxx: 控制七段数码管
.....

蓝牙远程控制实验

在本节中，我们将介绍通过蓝牙技术给FPGA板卡系统添加无线通信的功能。我们可以将无线通信的FPGA板卡硬件，在我们的实验平台上搭载有蓝牙4.0的硬件，可以以蓝牙4.0为主设备或从设备。我们既可以用蓝牙来作为板间通信的手段，也可以与其他支持蓝牙4.0的设备进行通信。

在实验中，我们使用支持蓝牙4.0的手机或平板电脑来与FPGA板卡上的蓝牙进行通信，并且通过手机的APP程序来控制FPGA板卡上的硬件外设。

5.8.1 蓝牙技术概述

蓝牙无线技术是得到应用最广泛的全球性的无线标准之一。蓝牙4.0是2012年最新蓝牙版本，是3.0的升级版，较3.0版本更省电、成本低、传输延迟短、传输有效距离远、AES-128加密等。通常用在蓝牙耳机、蓝牙音箱等设备上。

全新的蓝牙4.0版本将三种蓝牙技术（即传统蓝牙、高速蓝牙和低功耗蓝牙技术）合而为一，它集成了蓝牙技术在无线连接上的固有优势，同时增加了高速蓝牙和低功耗蓝牙的特点。这三个规格可以组合使用，也可以单独使用。低功耗蓝牙即low是蓝牙4.0的核心规范，低功耗技术是所有低功耗运行功能和待机功能。蓝牙低功耗设备使用一种低功耗模式可以连续工作数天之久，可用于与成本和功耗都有严格要求的无线方案，而且低功耗蓝牙的发展将非常普及和迅速。

通常在蓝牙模块设计中，我们可以使用集成在蓝牙芯片中的蓝牙模块来实现蓝牙通信。如在本实验平台上的蓝牙模块是采用美国TI公司CC2541芯片专为智能无线数据传输设计的，它具有256KB配置空间，通过V4.0 BLE蓝牙规范，支持串口AT指令，用户可根据需要更改串口波特率、设备名称、配对密码等参数，使用灵活，且该模块支持UART接口，并支持SPF蓝牙串口协议，具有成本低、体积小、功耗低、收发灵敏性高等优点。

5.8.2 实验原理

(一) 实验基本原理与说明

在本节实验中，我们将利用板卡上的蓝牙模块与外界支持蓝牙4.0的设备（如手机）进行交互。如图所示，该蓝牙模块由厂家默认配置与通过串口协议与我们的FPGA进行传输，相对用户来说串口“透明”传输。我们无需研究蓝牙相关协议与标准，只需用串口采集数据我们就能发送与接收的数据即可。因此，从图中可以看到我们使用在之前实验中有介绍过的串口发送与接收模块来完成与蓝牙模块的数据传输。我们新建一个串口命令响应的模块从串口接收数据并加以命令响应的处理，在接收数据时我们按照串口命令的指示，我们会将接收数据以及命令响应通过蓝牙模块返回给另一端设备中。在这个过程中我们采用FPGA中核来存储我们需要返回的数据。

图 实验框图

在这个设计中，我们在串口协议基础上自定义了蓝牙的控制命令，以便在远端设备上可以通过蓝牙来远程控制无线的FPGA平台上的数据、外设以及接口进行控制。例如此处我们自定义了如下命令：

命令1: *Nxxxx;

命令2: *Wxxxxxxx;

其中，我们使用星号作为标示命令的数据，N以及W等大写字母为命令的名称；小写x为一个十六进制数。命令N后跟四位十六进制数即16bit数据。命令W后跟八位十六进制数即32bit数据。此外，我们可灵活的在设计自定义新的命令，并可在设计中命令的功能以及后续数据的作用进行自定义设计。在实验中，我们定义命令N为点亮LED的命令，其后跟16bit数据分时分段控制上16位LED灯；定义命令W为七段数码管控制命令，其后跟32bit数据分时分段控制上8位七段数码管的数据。此外，我们还可以在此基础上继续设计命令命令的加宽扩充设计功能。

(二) 蓝牙模块的使用

在板卡搭载的蓝牙模块是基于TI公司的CC2541芯片的蓝牙4.0模块，该部分电路框图所示。

图 蓝牙模块电路

其中，蓝牙模块的FPGA引脚V33信号为FPGA对蓝牙模块供电。

+工程

+源码

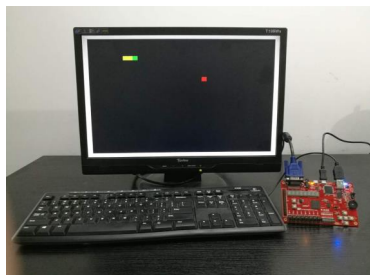
文档



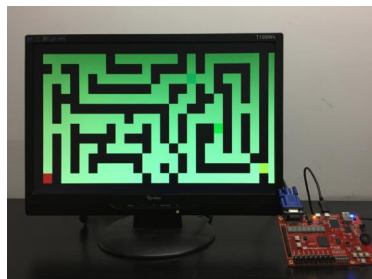
最新一代Xilinx口袋实验室平台 EGO1 Board-综合实验案例



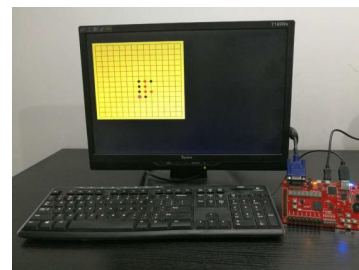
EGO1Game :基于FPGA的视频游戏案例



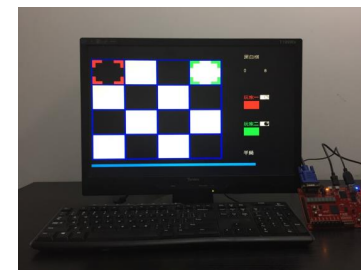
贪吃蛇游戏



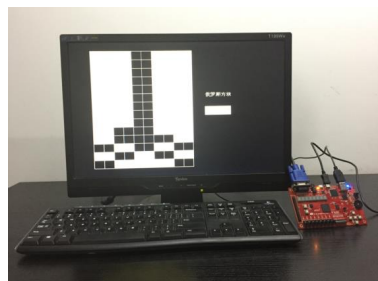
迷宫游戏



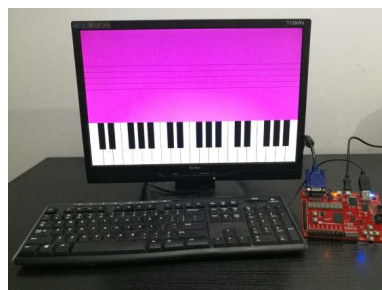
五子棋游戏



黑白棋游戏



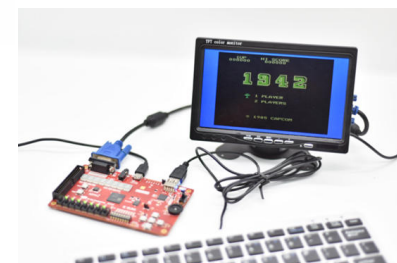
俄罗斯方块



电子琴



超级马里奥



1942



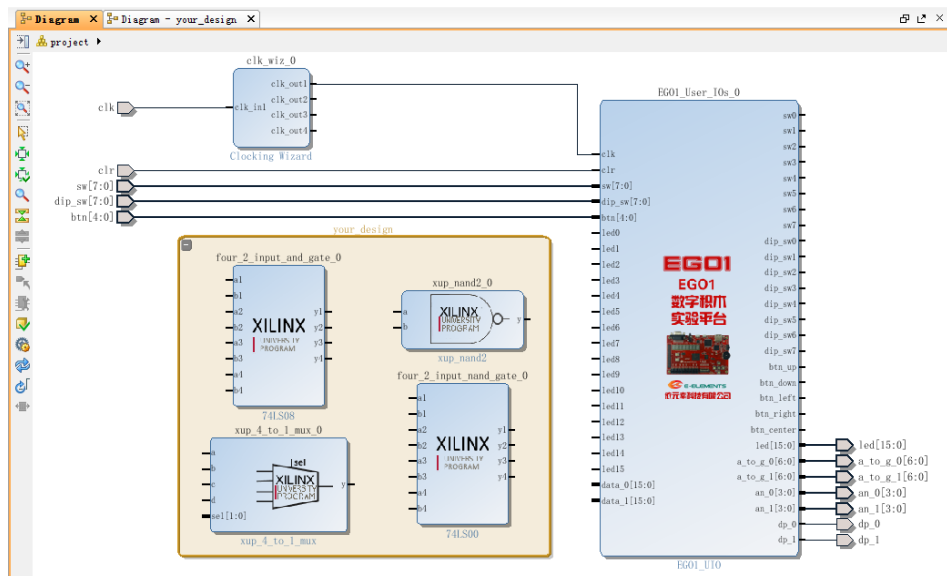
最新一代Xilinx口袋实验室平台 EGO1 Board-基础数电实验（原理图版）



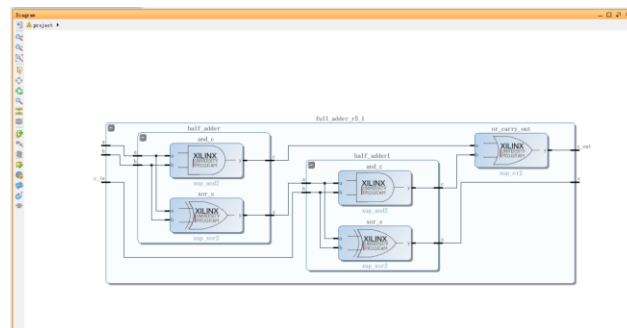
EGO1Lab :基于原理图的FPGA数字电路实验流程

- 图形化设计环境
- 沉浸式电路设计
- 支持常用74系列器件模块
- 支持基本门级电路模块

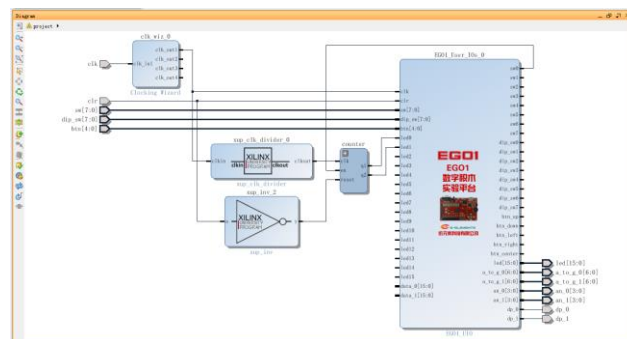
专为尚未学习HDL语言以及FPGA设计的用户量身打造。通过技术手段实现一键式设计流程，使用户能专注、沉浸在自己的电路设计上，而不被过多的工具设置所困扰。



➤ EGoLab实验框架



组合逻辑实验



时序逻辑实验



最新一代Xilinx口袋实验室平台 EGO1 Board-资源介绍



持续更新中.....

获取最新资料请联系依元素科技