

实验三. 频率计设计实验报告

无58 吴昆 2015010625

一、实验目的：

1. 掌握频率计的原理和设计方法。

二、设计：

0. 管脚替换说明

要求开关SW7和LED7分别为高量程选择与指示灯，由于SW7接触不良，现替换为SW8（V2）和LED8（V13），括号内为对应管脚。

1. 原理

频率计内部实现框图如下所示，其内部包括频率量程处理模块（10分频）、时钟频率产生模块、控制信号产生模块、十进制计数器模块、锁存器模块、译码显示模块等。：

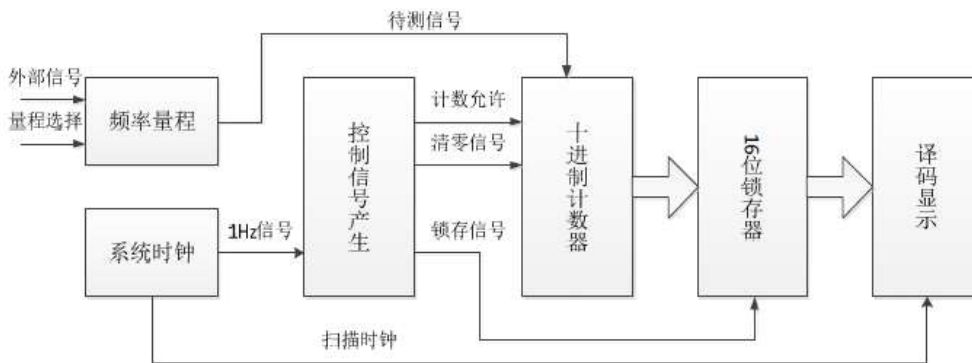


图 3.1 简单频率计内部结构框图

利用系统时钟产生1Hz的控制信号，在1s的时长内利用计数器对待测信号进行计数，将计数结果锁存（或者保存，不是指latch）并输出到数码管中显示。

1. 其中频率量程模块负责根据设定的量程控制信号决定是否对输入信号进行10分频；
2. 系统时钟模块根据外部输入的参考时钟产生标准1Hz的控制信号；
3. 控制信号产生模块产生计数所需的使能、清零信号以及保存测量结果所需的锁存信号和扫描显示所需的扫描时钟信号；
4. 十进制计数模块在计数使能、清零信号控制下对外部输入信号（或其10分频信号）在1s周期内对其进行计数操作；
5. 锁存器模块在计数完成之后对计数结果进行锁存，保存上一测量周期的测量结果；
6. 译码显示模块将测量结果输出到LED数码管显示，采用扫描的方式实现多位数据的同时显示。

2. 各部件说明

根据实验指导书，如下按模块分别说明：

1. 频率量程处理。使用开关（SW7）来控制量程。低量程直接测量周期。高量程先对待测信号进行10分频。
2. 系统时钟模块。开发板上W5端口提供100MHz时钟，需要根据系统时钟产生两个信号。一个是1Hz的控制信号，用来控制计数器行为以及锁存器。另外一个输出到数码管的扫描信号，频率为1kHz。
3. 控制信号产生模块。利用1Hz时钟产生计数器使能信号，清零信号以及锁存器的锁存信号。
4. 四位十进制计数器。当enable有效时对计数器的clock信号进行十进制计数，reset有效时对十进制计数器进行清零。
5. 锁存器模块。Lock信号有效时输出锁定，否则，输出透明显示计数器值。
6. 译码显示模块。数码管是4个7段数码管，分别显示千百十个位。另外使用LED灯（LD7）区别高低量程。

3. 控制信号和对应元件实现细节说明

控制信号产生模块在1Hz时钟输入上升沿取反输出 `save` , `reset` , `enable` , 初始时为0,0,1。

`enable` 和 `reset` 控制四位十进制计数器：在 `enable` 和 `reset` 分别为1和0时，将计数输入上升沿并按照十进制输出四位；在 `enable` 和 `reset` 分别是0和1时置零。

`save` 控制锁存器模块，在 `save` 为0时输出输入的信号，在 `save` 为1时所存当时的四位十进制输入信号并保持输出。

综上所述，系统表现出来的行为是在奇数1Hz时钟周期内计数输入信号上升沿并不断改变输出（到译码器到数字管）；在偶数秒保持数字管上的显示，同时计数器内部清零；以此循环。

4.测试方法

测试方法：为了测试方便，在实验指导书的最后提供一个待测信号输入模块`signalinput(testmode[1:0],sysclk,signin)`，其中`testmode[1:0]`接到SW1~SW0 的开关输入，00,01,10,11 分别选择4 个不同频率的信号。`sysclk` 是开发板提供的100MHz 时钟，`signin` 是输出的待测信号。要求同学按照下图所示对测试信号输入模块以及自行设计的频率计模块进行连接：

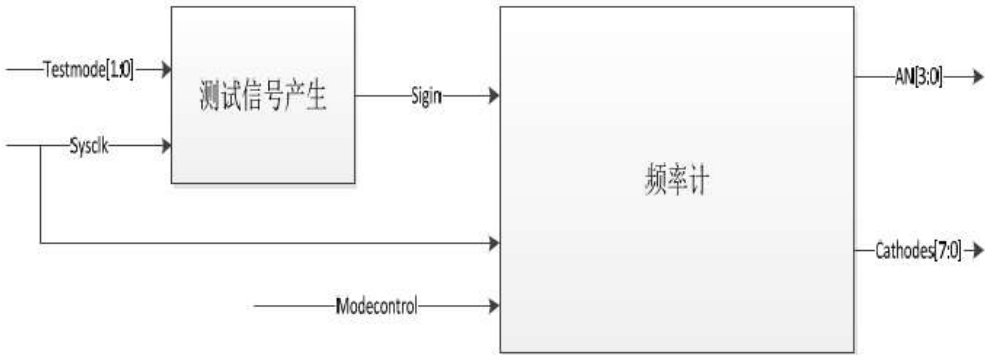


图 3.2 测试系统结构图

三、代码

1. 管脚约束

constraint.xdc

```
set_property IOSTANDARD LVCMOS33 [get_ports sysclk]
set_property IOSTANDARD LVCMOS33 [get_ports {testmode[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {testmode[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {AN[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {AN[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {AN[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {AN[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {Cathodes[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {Cathodes[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {Cathodes[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {Cathodes[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {Cathodes[4]}]
set_property IOSTANDARD LVCMOS33 [get_ports {Cathodes[5]}]
set_property IOSTANDARD LVCMOS33 [get_ports {Cathodes[6]}]
set_property IOSTANDARD LVCMOS33 [get_ports {Cathodes[7]}]
set_property IOSTANDARD LVCMOS33 [get_ports {highfreq}]
set_property IOSTANDARD LVCMOS33 [get_ports {modecontrol}]

set_property PACKAGE_PIN W5 [get_ports sysclk]
set_property PACKAGE_PIN V16 [get_ports {testmode[0]}]
set_property PACKAGE_PIN V17 [get_ports {testmode[1]}]
set_property PACKAGE_PIN U2 [get_ports {AN[0]}]
set_property PACKAGE_PIN U4 [get_ports {AN[1]}]
set_property PACKAGE_PIN V4 [get_ports {AN[2]}]
set_property PACKAGE_PIN W4 [get_ports {AN[3]}]
set_property PACKAGE_PIN W7 [get_ports {Cathodes[0]}]
set_property PACKAGE_PIN W6 [get_ports {Cathodes[1]}]
```