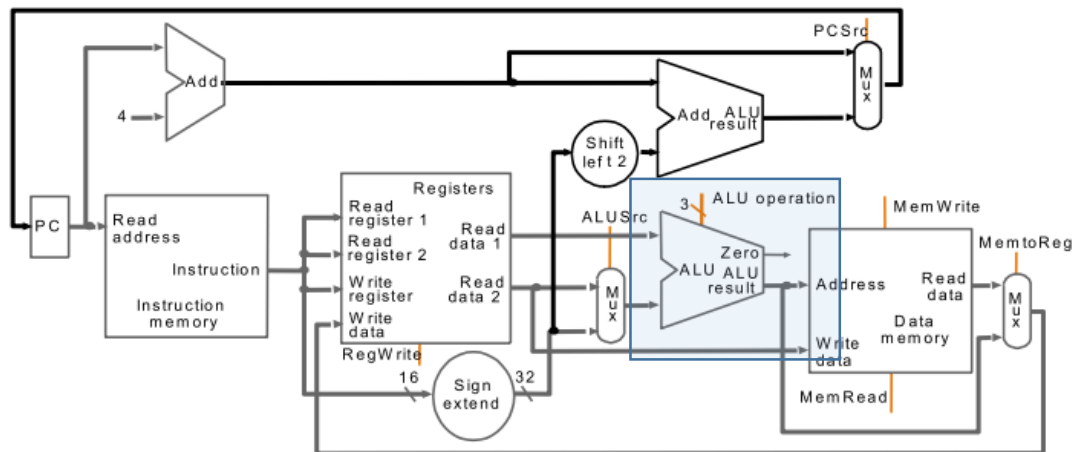


# LAB1 report

作業名稱: 計算機組織 Lab1

系統架構: 32bit ALU (modelsim 模擬 verilog)



設計模組分析：

使用 control line 的信號判斷所要執行的運算, 使用了 case 控制語句跳轉到對應分支計算結果。

設計結果與功能：

預測能實現各項功能

遭遇困難與解決方法：

不會 VerilogHDL

調不出波形

心得：

了解了 ALU 工作的基本原理。