

TP N°5: Dispositivos Lógicos Programables

- 1) La principal diferencia entre una PAL y una GAL es:
 - a) Usa tecnología EECMOS, de modo que es reprogramable.
- 2) Conteste V o F:
 - a) Los ASICs poseen arquitecturas con conexiones fijas (F)
 - b) Un ASICs Full Custom está pensado para el desarrollo de un diseño particular a gran escala (V)
 - c) Un ASICs Full Custom se utiliza para el diseño de dispositivos (F)
 - d) Los Microprocesadores poseen arquitecturas fijas que no pueden reconfigurarse (V)
 - e) Un ASICs Full Custom es un circuito prediseñado en el cual el usuario establece las conexiones (F)
 - f) Las FPGA son configuradas por el usuario (V)
 - g) Las FPGA son muy utilizadas para pruebas y desarrollo de prototipos (V)
 - h) El consumo de potencia es mucho menor en las FPGA que en los circuitos Full Custom (F)
 - i) Un Microcontrolador (con las mismas características) implementado dentro de una FPGA es más rápido que un microcontrolador dedicado (F)
- 3)
 - a) Con procesos.

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity SUMADOR_COMPLETO is
5      port(A, B, Cin : in bit;
6            Sum, Cout : out bit);
7  end SUMADOR_COMPLETO;
8
9  architecture test of SUMADOR_COMPLETO
10 begin
11     process(A, B, Cin)
12     begin
13         if A = '0' then
14             if B = '0' then
15                 if Cin = '0' then
16                     Sum <= '0';
17                     Cout <= '0';
18                 else
19                     Sum <= '1';
20                     Cout <= '0';
21                 end if;
22             else
23                 if Cin = '0' then
24                     Sum <= '1';
25                     Cout <= '0';
26                 else
27                     Sum <= '0';
28                     Cout <= '1';
29                 end if;
30             end if;
31         end if;
32     end process;
33 end test;
```

```
31 else
32     if B= '0' then
33         if Cin = '0' then
34             Sum <= '1';
35             Cout <= '0';
36         else
37             Sum <= '0';
38             Cout <= '1';
39         end if;
40     else
41         if Cin = '0' then
42             Sum <= '0';
43             Cout <= '1';
44         else
45             Sum <= '1';
46             Cout <= '1';
47         end if;
48     end if;
49 end if;
50 end process;
51 end test;
```

b) Sin procesos.

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity SUMADOR_COMPLETO is
5  port(A, B, Cin : in bit;
6       Sum, Cout : out bit);
7  end SUMADOR_COMPLETO;
8
9  architecture test of SUMADOR_COMPLETO is
10 begin
11     Sum <= A xor B xor Cin;
12     Cout <= (A and B) or (Cin and (A xor B));
13 end test;
```

4) ¿Qué se sintetiza a partir de los siguientes códigos de VHDL?

a) Multiplexor de 4 a 2

Sel 1	Sel 2	Salida
0	0	Entrada a tierra
0	1	Entrada A
1	0	Entrada B
1	1	Entrada C

b) Buffer

op	salida
0	Alta Impedancia (Z)
1	entrada

5) ¿Cuáles son los tres tipos de elementos programables que posee una FPGA? ¿Que funciones cumplen? ¿Cuáles son los componentes básicos de un bloque lógico de una FPGA?

a) Bloques de lógica Programable: Unidades que ejecutan las operaciones combinacionales, aritméticas y de memoria.

b) Interconexiones programables:

- i) Directas: permiten la conexión directa entre bloques, sin la necesidad de pasar por ninguna matriz de interconexión.
- ii) Largas: líneas conductoras de gran longitud, horizontales y verticales, que atraviesan el dispositivo desde sus extremos.

- c) Bloques de entrada/salida configurables: son las interfaces entre los pines de los dispositivos FPGA y el circuito lógico configurable interno. Cada bloque puede ser configurado como entrada/salida.

Los componentes básicos de un bloque lógico de una FPGA son:

- LUTs (Look-Up Tables)
- Flip-flops (Registros)
- Multiplexores (MUX).
- Conexiones (Interconexión)
- Bloques de Entrada/Salida (I/O)
- Celdas de Configuración

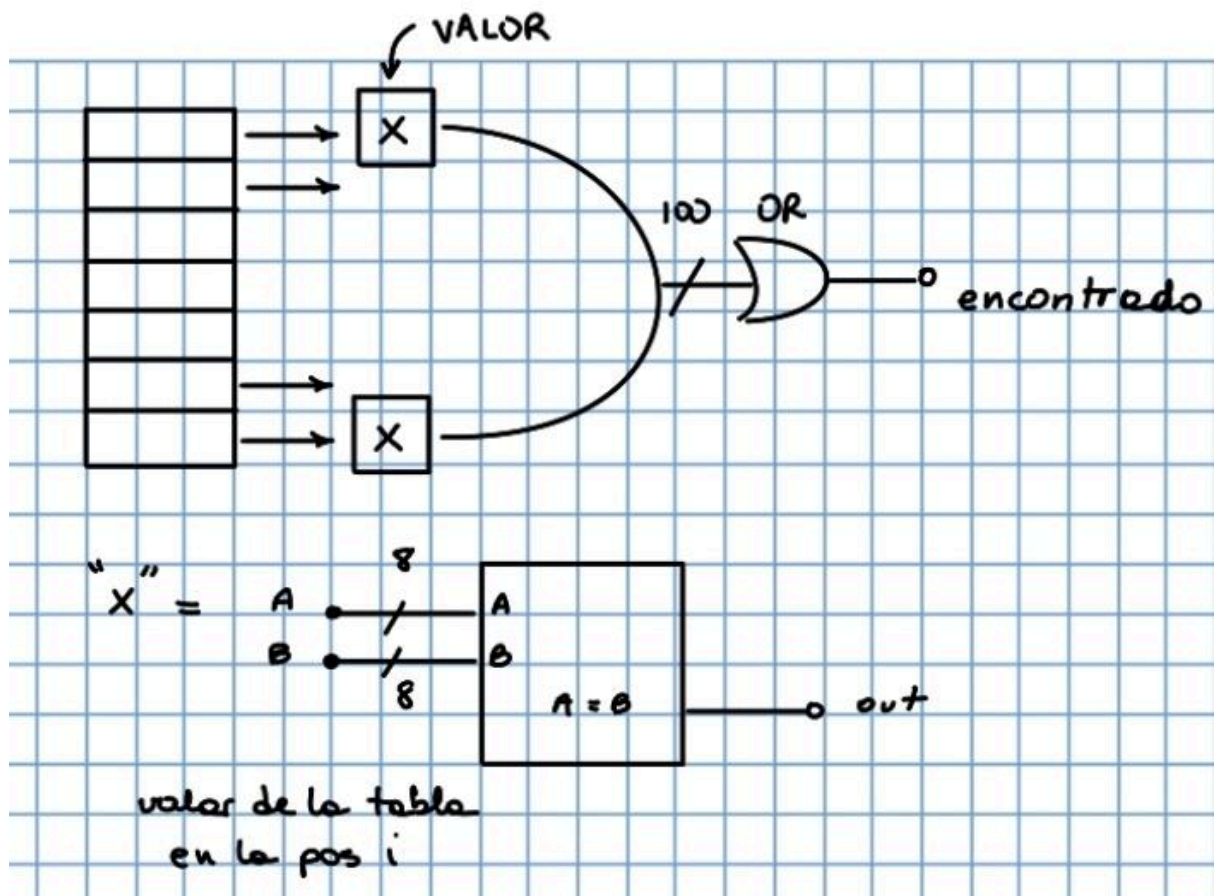
- 6) ¿Qué es un lenguaje de descripción de hardware y en qué se diferencia con los lenguajes de programación?

Un lenguaje de descripción de hardware es un tipo de lenguaje utilizado para describir el comportamiento y la estructura de circuitos electrónicos. Se diferencia en que los lenguajes de programación están diseñados para desarrollar aplicaciones que corren en un procesador o una máquina.

- 7) La entidad presenta 3 entradas y 8 salidas. Se sintetiza un decodificador de 3 a 8.

8)

a)



- b) Es combinacional debido a que al compilar el proceso que se encuentra en un formato de lógica secuencial, este se lo sintetiza como circuitos combinacionales que a su vez se ejecutan en forma paralela.
- c) La frecuencia máxima va a depender del retardo presente en la transferencia de datos de la RAM a las LUT de la FPGA, en el comparador de 8 bits y en el comparador de 100 entradas. La misma se puede incrementar ingresando previamente los datos en la FPGA y luego realizar las comparaciones, reduciendo de esta forma los retardos por parte de la transferencia de datos. Las ventajas: Operar los datos de manera rápida y a su vez incrementando la frecuencia.

Las desventajas: Si se busca cambiar algún dato de la memoria, se deberá de cargar de nuevo la información a la FPGA.

- d) Se necesitan de por lo menos:

$$100 \text{ posiciones} \times 8 \text{ bits} = 800 \text{ bits}$$

Pero, las memorias RAM están dimensionadas en potencias de 2, por lo que se necesitaría de una que contenga por lo menos 128 posiciones. Por lo tanto:

$$128 \text{ posiciones} \times 8 \text{ bits} = 1024 \text{ bits}$$