



## Звіт

З лабораторної роботи № 1

*З дисципліни «Моделювання комп'ютерних систем»*

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.

Ознайомлення зі стендом Elbert V2 - Spartan 3A FPGA»

Виконав: ст. гр. КІ-202

Мишок Р.В.

Прийняв:

Козак Н. Б.

Львів – 2023

**Мета:** ознайомлення з середовищем розробки Xilinx ISE та побудова дешифратора 3-7.

### Виконання завдання

Згідно завдання було розроблено схему дешифратора 3 в 7.

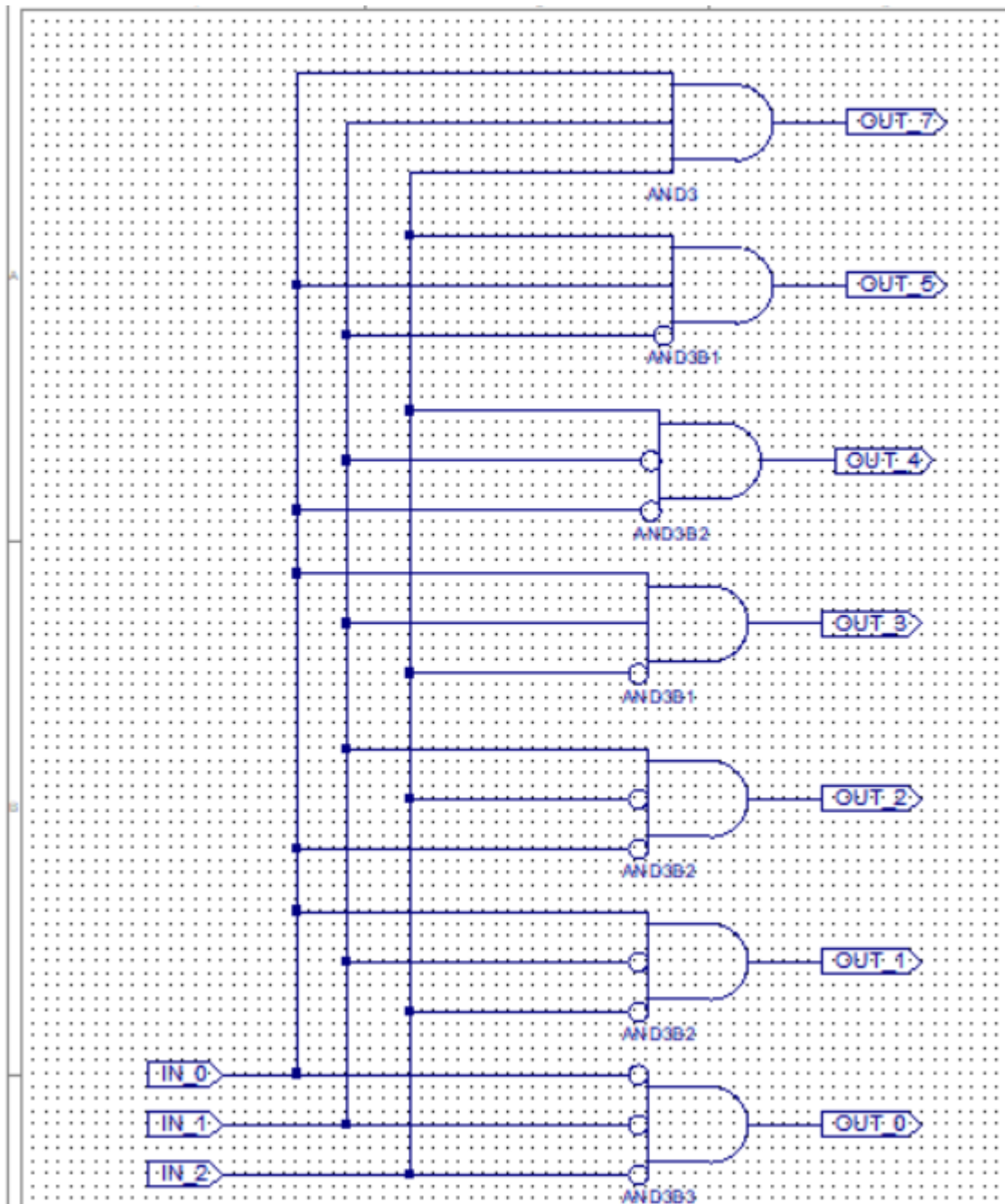


Рис.1. Схема дешифратора 3 в 7

Згодом було додану до проекту User Constraint файл, в якому було додано змінений вміст файлу elbertv2.ucf.

```

1 |
2 | *****
3 | #
4 | # UCF for ElbertV2 Development Board
5 | *****
6 |
7 | CONFIG VCCAUX = "3.3" ;
8 |
9 | # Clock 12 MHz
10 | #NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
11 | *****
12 | # LED
13 | *****
14 | NET "OUT_0" LOC = P46 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
15 | NET "OUT_1" LOC = P47 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
16 | NET "OUT_2" LOC = P48 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
17 | NET "OUT_3" LOC = P49 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
18 | NET "OUT_4" LOC = P50 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
19 | NET "OUT_5" LOC = P51 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
20 | NET "OUT_7" LOC = P55 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
21 |
22 | *****
23 | # DP Switches
24 | *****
25 | NET "IN_0" LOC = P70 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
26 | NET "IN_1" LOC = P69 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
27 | NET "IN_2" LOC = P68 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;

```

Рис.2. User Constraint файл

За допомогою симулятора ISim у режимі Simulation було перевірено роботу схеми.

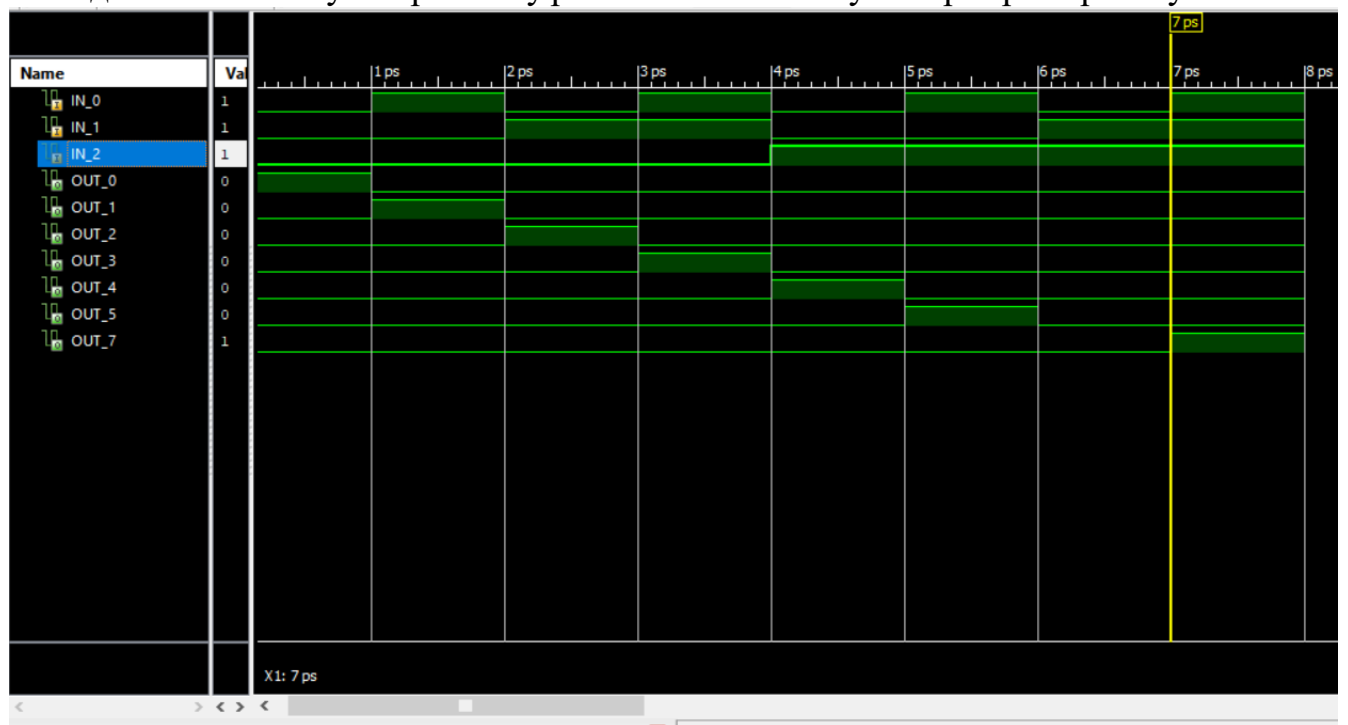


Рис.3. Запуск симуляції

Згодом було створено конфігураційний файл і були послідовно запущені процеси, щоб переконатися що всі процеси успішно виконалися.

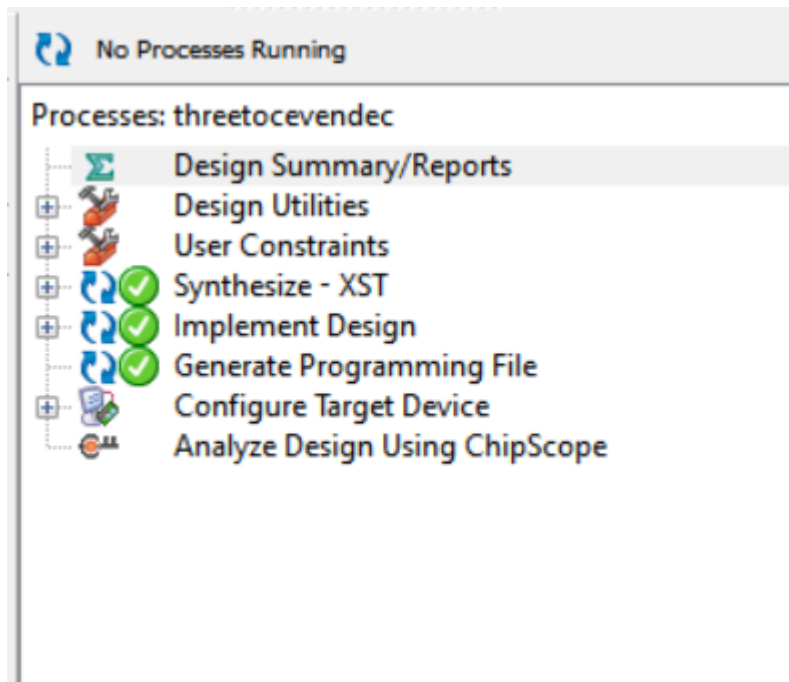


Рис.4. Виконання процесів

**Висновок:** у цій лабораторній роботі побудував дешифратор 3 в 7 і ознайомився з середовищем Xilinx ISE.

