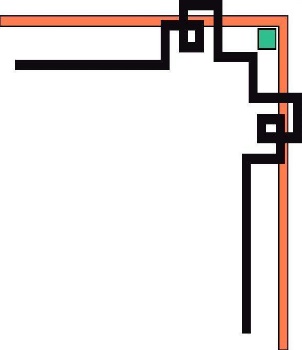
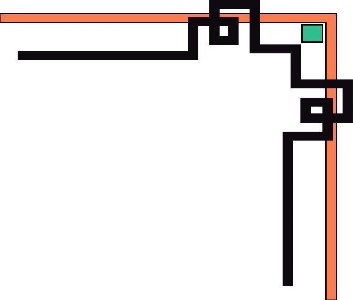
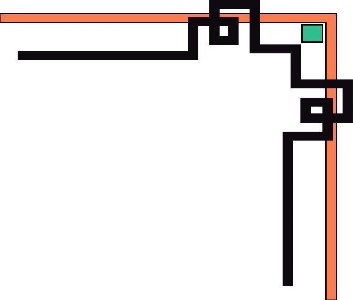
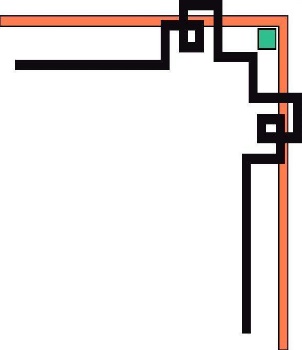
**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM**



**KHOA ĐIỆN - ĐIỆN TỬ**

🙠🙟🕮🙝🙢

A logo of hands holding a book and a candle

Description automatically generated

**BÁO CÁO MÔN HỌC**

**THIẾT KẾ MẠCH TÍCH HỢP VLSI**

**Đề tài: Thiết kế mạch chia 4 bit**

**GVHD:** ĐỖ DUY TÂN

**SVTH:** NGUYỄN TIẾN DŨNG - 21119183

NGUYỄN TẤN LÂM - 21119372

ĐẶNG TRƯỜNG HUY - 21119202

NGUYỄN ĐÌNH NHẬT MINH - 21119373

NGUYỄN VĂN KIÊN - 21119371

**LỚP:** CHIỀU THỨ 3

Thành phố Hồ Chí Minh, ngày 20 tháng 11 năm 2023

**MỤC LỤC**

[I. Lý thuyết cơ bản 1](#_Toc152067051)

[1.1. Phép chia (Division) là gì? 1](#_Toc152067052)

[1.2. Mạch chia 4 bit (Divider) là gì? 1](#_Toc152067053)

[II. Sơ đồ khối và nguyên lý hoạt động 2](#_Toc152067054)

[2.1. Nguyên lý hoạt động của Cell 2](#_Toc152067055)

[2.2. Nguyên lí hoạt động toàn mạch: 2](#_Toc152067056)

[III. Thiết kế 3](#_Toc152067057)

[1. Các cổng Logic 3](#_Toc152067058)

[2. MUX 2-1 12](#_Toc152067059)

[3. FullAdder 13](#_Toc152067060)

[4. Cell 15](#_Toc152067061)

[5. Divider 15](#_Toc152067062)

[IV. Mô phỏng: 17](#_Toc152067063)

[1. Kết quả mô phỏng 17](#_Toc152067064)

[2. Delay 18](#_Toc152067065)

[3. Power 21](#_Toc152067066)

# I. Lý thuyết cơ bản

## 1.1. Phép chia (Division) là gì?

A close-up of a number

Description automatically generatedPhép chia (Division) là phép tính vận hành phức tạp nhất trong 4 thuật toán phép tính cơ bản. Các bộ chia thường sẽ hoạt động nhiều năng suất với tốc độ xử lý chậm hơn so với bộ cộng hay bộ trừ khác. Phép chia được thực hiện dựa trên phương pháp dịch từng bit, tạo ra thương số có một chữ số tại một thời điểm, bắt đầu từ bit MSB.

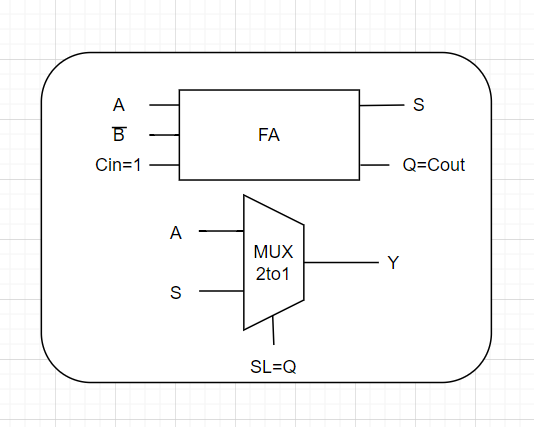
Phép chia dịch theo từng bit ( phép chia tuần tự) có thể được thực hiện bằng cách khởi tạo phần dư ban đầu và liên tiếp trừ đi phần dư đó được dịch chuyển đúng các số hạng, Mỗi số kế tiếp bị trừ đi phần dư được dịch chuyển 1 bit so với phần trước.

## 1.2. Mạch chia 4 bit (Divider) là gì?

A grid of numbers and letters

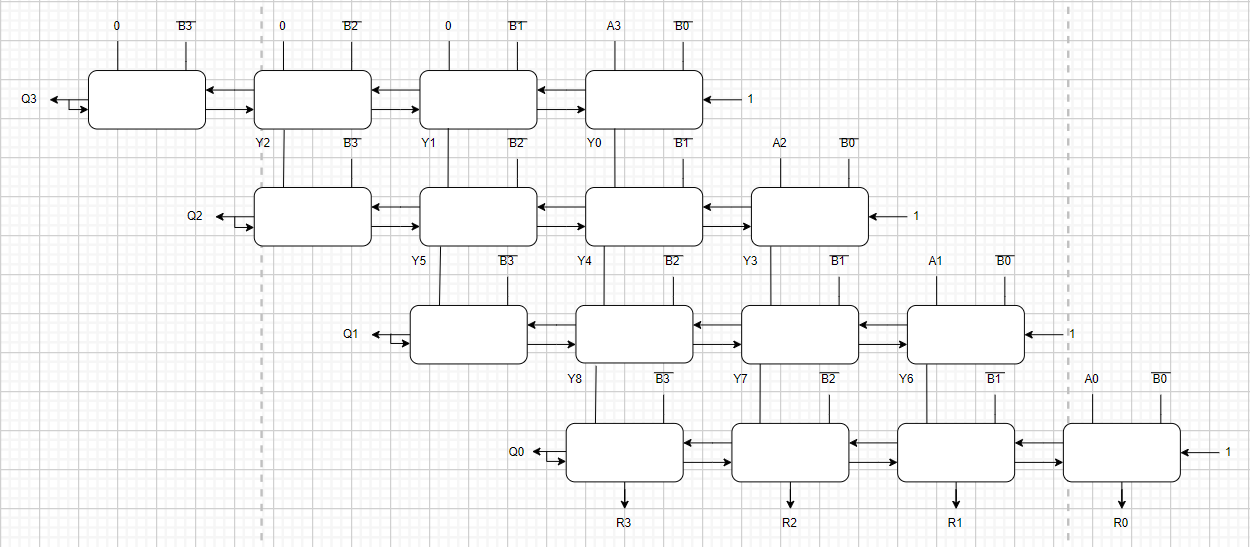
Description automatically generatedMạch chia (Divider 4 bit) sẽ bao gồm 1 bộ đảo để thực hiện đảo các ngõ vào B và tổ hợp 16 cell được kết nối với nhau để thực hiện phép chia 2 số 4 bit với A là số bị chia, B là số chia, Q là thương, R là số dư. Cuối cùng đóng gói lại để tiện cho việc sử dụng và kiểm tra đánh giá thông số của mạch.

# II. Sơ đồ khối và nguyên lý hoạt động



## 2.1. Nguyên lý hoạt động của Cell

Ngõ vào bao gồm A, , Cin ( Cin=1, cộng 1 vào  để có ngay số bù của B), khi nhập giá trị của A và B thì kết quả ta thu được là hiệu của một phép trừ. Ngõ ra S của bộ ADDER sẽ nối vào chân S của mạch MUX2-1, tương tự A sẽ nối vào chân A. Nếu kết quả là số dương sẽ lấy giá trị S, âm thì sẽ lấy giá trị A, Cout sẽ thể hiện kết quả là âm hay dương. Ngõ ra Cout = Q của bộ ADDER sẽ được nối vào chân SL (Select) của mạch MUX2-1. Nếu bit tràn là 1 thì lấy giá trị S, 0 thì lấy giá trị của A. Ngõ ra Y của mạch MUX2-1 sẽ được nối vào Cell tiếp theo.



## 2.2. Nguyên lí hoạt động toàn mạch:

Mạch sẽ bao gồm 16 Cell kết nối với nhau tạo mạch chia 2 số 4 bit với A là số bị chia, B là số chia, Q là thương, R là số dư. Ngõ vào ban đầu là 000A3 và sau khi đi qua các Cell thì bit tràn sẽ được gán là Q3, kiểm tra Q3 là 0 hay 1. Nếu là 0 thì ngõ ra Y2Y1Y0 được gán là 00A3, ngược lại ngõ ra Y2Y1Y0 được gán là S2S1S0, nên ngõ vào ở 4 Cell tiếp theo sẽ là Y2Y1Y0A3 và . Tương tự với các Cell như trên cho đến khi ra được số dư cuối cùng là R3R2R1R0 và Q3Q2Q1Q0 là thương của phép chia đó

# III. Thiết kế

## 1. Các cổng Logic

1. **NOT**

- Bảng trạng thái:

|  |  |
| --- | --- |
| Input | Output |
| A | Y |
| 0 | 1 |
| 1 | 0 |

- Hàm ngõ ra:

- Mạch điện:

Chọn PMOS: W/L=2/1

NMOS: W/L=1/1

A computer screen shot of a computer diagram

Description automatically generated

- Đóng gói:

A screenshot of a computer

Description automatically generated

1. **NAND**

- Bảng trạng thái:

|  |  |  |
| --- | --- | --- |
| Input | | Output |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

- Hàm ngõ ra: 

- Mạch điện:

Chọn PMOS: W/L=2/1

NMOS: W/L=2/1

A computer screen shot of a diagram

Description automatically generated

- Đóng gói:

A screen shot of a computer

Description automatically generated

1. **AND**

- Bảng trạng thái:

|  |  |  |
| --- | --- | --- |
| Input | | Output |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

- Hàm ngõ ra: 

- Mạch điện:

A computer screen shot of a diagram

Description automatically generated

- Đóng gói:

A screen shot of a computer

Description automatically generated

1. **NOR**

- Bảng trạng thái:

|  |  |  |
| --- | --- | --- |
| Input | | Output |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

- Hàm ngõ ra: 

- Mạch điện:

Chọn PMOS: W/L=4/1

NMOS: W/L=1/1

A computer screen shot of a computer scheme

Description automatically generated

- Đóng gói:

A screen shot of a diagram

Description automatically generated

1. **OR**

- Bảng trạng thái:

|  |  |  |
| --- | --- | --- |
| Input | | Output |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

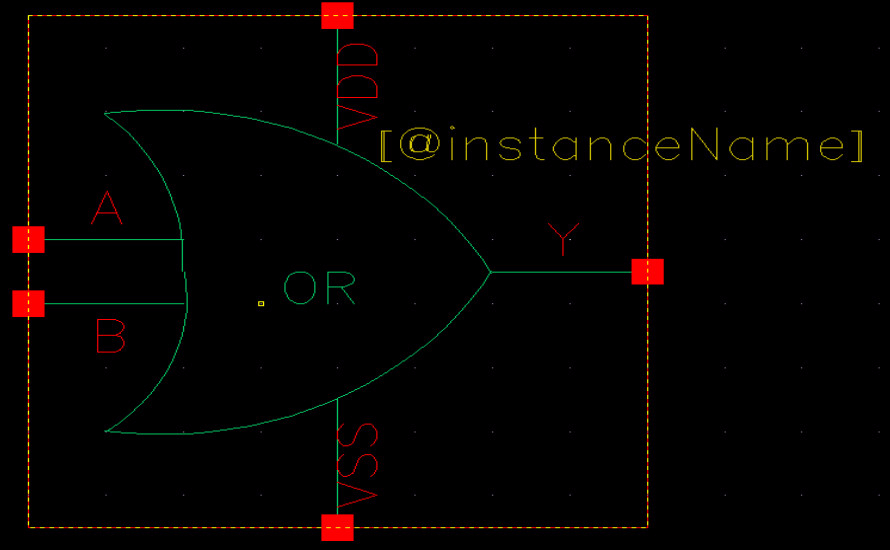
- Hàm ngõ ra: 

- Mạch điện:

A computer screen shot of a diagram

Description automatically generated

- Đóng gói:



1. **XOR**

- Bảng trạng thái:

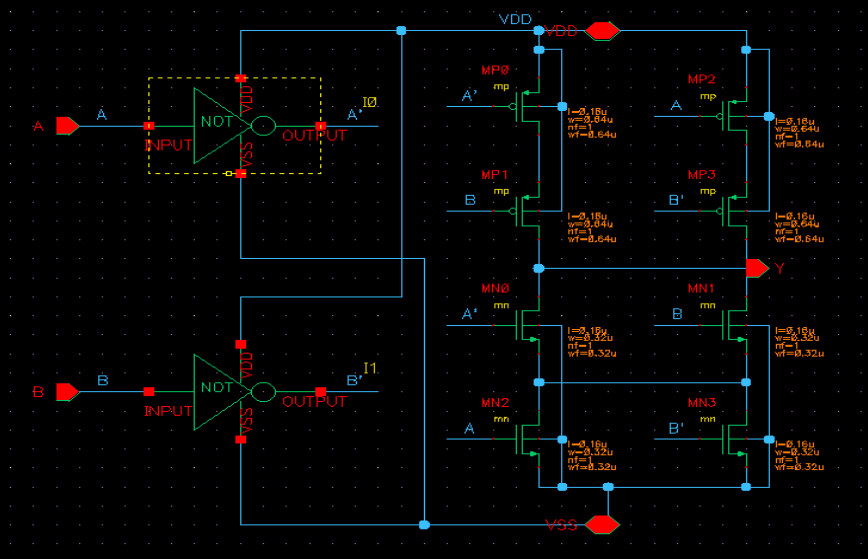
|  |  |  |
| --- | --- | --- |
| Input | | Output |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

- Hàm ngõ ra:

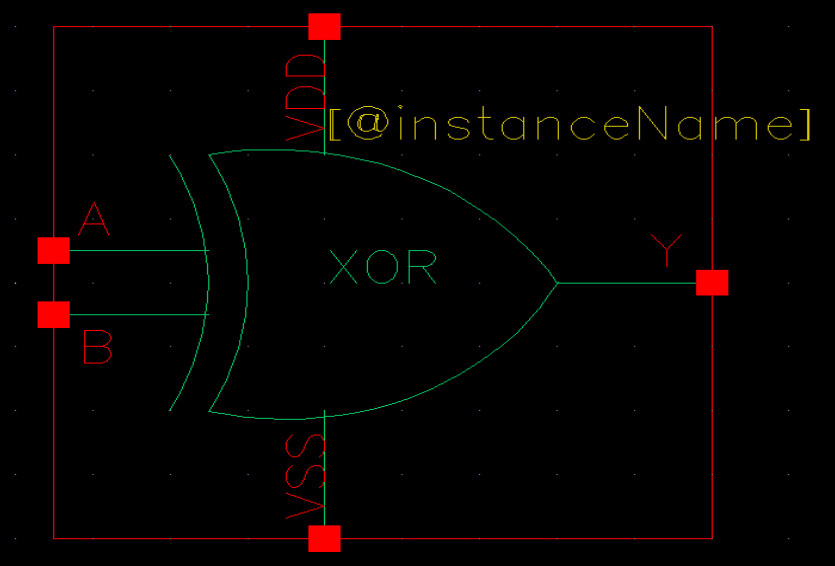
- Mạch điện:

Chọn PMOS: W/L=4/1

NMOS: W/L=2/1



- Đóng gói:



## 2. MUX 2-1

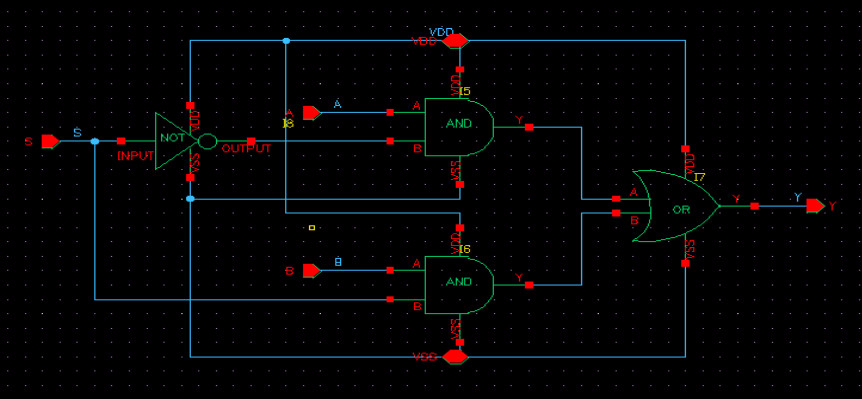
- Bảng trạng thái

|  |  |  |
| --- | --- | --- |
| Input | | Output |
| E | S | Y |
| 0 | x | 0 |
| 1 | 0 | A |
| 1 | 1 | B |

- Hàm ngõ ra:



- Mạch điện:



- Đóng gói:

A screenshot of a computer

Description automatically generated

## 3. FullAdder

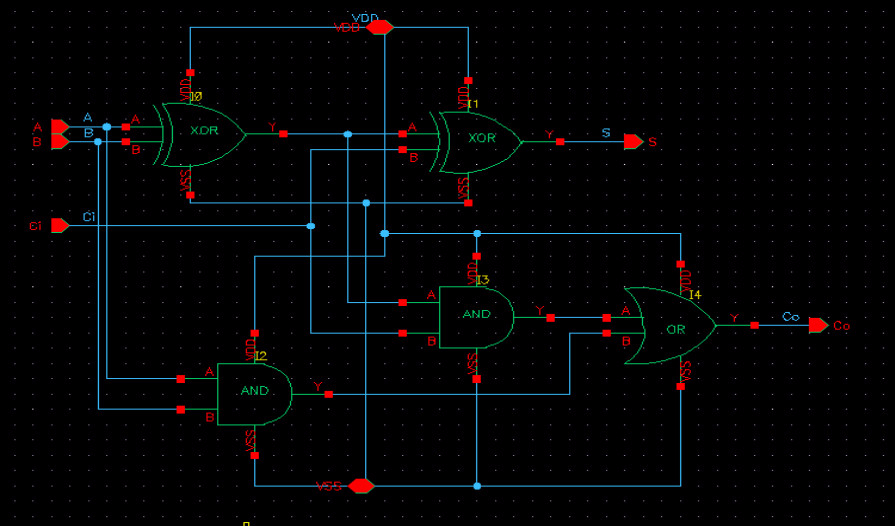
- Bảng trạng thái:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Input | | | Output | |
| A | B | Cin | S | Cout |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

- Hàm ngõ ra:



- Mạch điện:



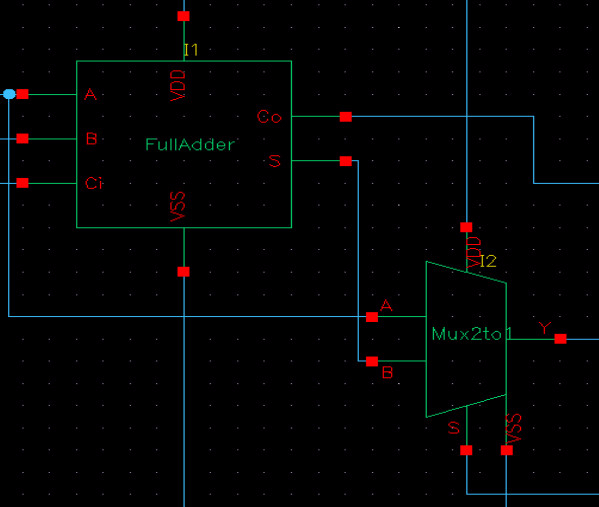
- Đóng gói:

A screenshot of a computer

Description automatically generated

## 4. Cell

- Mạch điện:

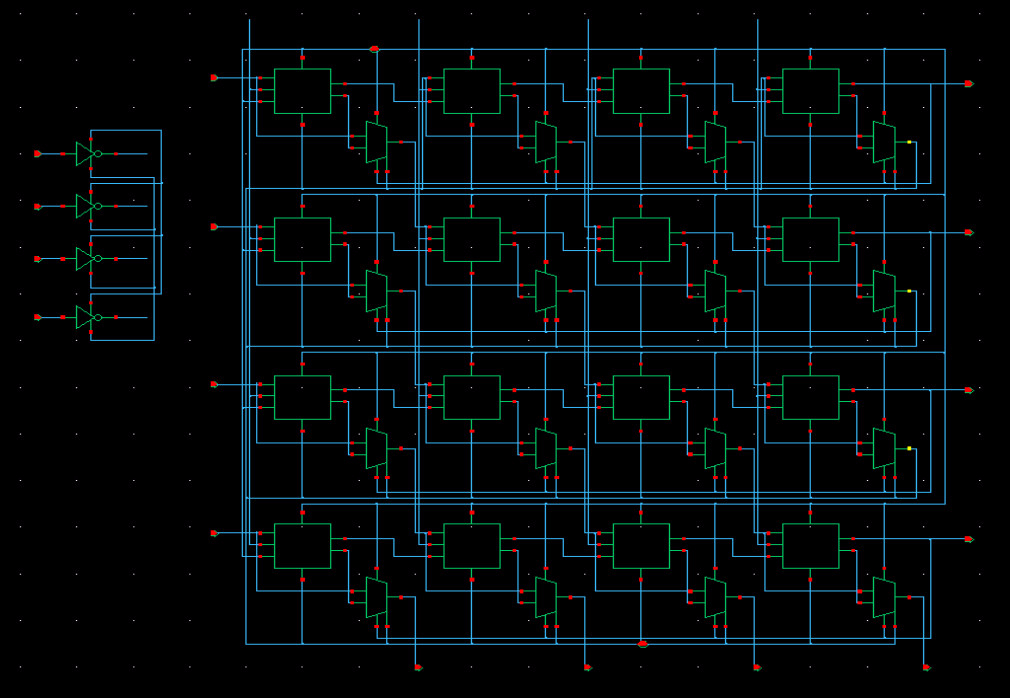


- Nguyên lý hoạt động: Ngõ vào bao gồm A, , Cin ( Cin=1, cộng 1 vào  để có ngay số bù của B), khi nhập giá trị của A và B thì kết quả ta thu được là hiệu của một phép trừ. Ngõ ra S của bộ ADDER sẽ nối vào chân B của mạch MUX2-1, tương tự A sẽ nối vào chân A. Nếu kết quả là số dương sẽ lấy giá trị S, âm thì sẽ lấy giá trị A, Cout sẽ thể hiện kết quả là âm hay dương. Ngõ ra Cout = Q của bộ ADDER sẽ được nối vào chân S (Select) của mạch MUX2-1. Nếu bit tràn là 1 thì lấy giá trị S, 0 thì lấy giá trị của A. Ngõ ra Y của mạch MUX2-1 sẽ được nối vào Cell tiếp theo.

## 5. Divider

- Mạch chia sẽ bao gồm 1 bộ đảo để thực hiện đảo các ngõ vào B và tổ hợp 16 cell được kết nối với nhau để thực hiện phép chia 2 số 4bit với A là số bị chia, B là số chia, Q là thương, R là số dư. Cuối cùng đóng gọi lại để tiện cho việc sử dụng và kiểm tra đánh giá thông số của mạch.

- Mạch tổng thể:



- Đóng gói:

# IV. Mô phỏng:

## 1. Kết quả mô phỏng

* Kết quả của các phép chia được thể hiện bằng dạng sóng dưới đây:

A screen shot of a computer

Description automatically generated

*Hình 1. Dạng sóng thể hiện các giá trị ngõ vào.*

A screen shot of a computer

Description automatically generated

*Hình 2. Dạng sóng thể hiện các giá trị ngõ ra.*

* Bảng giá trị:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| B | 15 | 7 | 11 | 3 | 13 | 5 | 9 | 1 | 14 | 6 | 10 | 2 | 12 | 4 | 8 | 0 |
| Q | 1 | 2 | 1 | 4 | 0 | 2 | 1 | 8 | 0 | 1 | 0 | 2 | 0 | 0 | 0 | 15 |
| R | 0 | 0 | 2 | 0 | 11 | 0 | 0 | 0 | 7 | 0 | 5 | 0 | 3 | 2 | 1 | 0 |

Từ bảng giá trị trên ta có thể thấy mạch đã thực hiện các phép chia có dư một cách chính xác. Riêng trường hợp 0:0 (vô lí) vì không thể chia được cho 0 nên kết quả mà mạch cho ra sẽ là 15 dư 0.

## 2. Delay

* Kết quả mô phỏng cho thấy delay ở các ngõ ra Q0, Q1, Q2, Q3:

A screen shot of a graph

Description automatically generated*A screen shot of a graph

Description automatically generated*

*Hình 3. Delay ở ngõ ra Q0.*

A screen shot of a graph

Description automatically generated*A screen shot of a graph

Description automatically generated*

*Hình 4. Delay ở ngõ ra Q1.*

A screen shot of a graph

Description automatically generated*A screen shot of a graph

Description automatically generated*

*Hình 5. Delay ở ngõ ra Q2.*

*A screen shot of a graph

Description automatically generated* *A screen shot of a graph

Description automatically generated*

*Hình 6. Delay ở ngõ ra Q3.*

Từ các kết quả trên, ta có thể tính được giá trị delay ở các ngõ ra bằng công thức:

TP = (TPHL + TPLH) / 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Q3 | Q2 | Q1 | Q0 |
| TPLH | 749ps | 748ps | 735ps | 735ps |
| TPHL | 616ps | 614ps | 614ps | 612ps |
| TP | 682ps | 681ps | 674ps | 673ps |

Từ kết quả trên, ta có thể thấy delay ở các ngõ ra Q3, Q2, Q1, Q0 không chênh lệch quá nhiều, khoảng 680ps

* Kết quả mô phỏng cho thấy delay ở các ngõ ra R0, R1, R2, R3:

*A screen shot of a graph

Description automatically generated*A screen shot of a graph

Description automatically generated

*Hình 7. Delay ở ngõ ra R0.*

*A screen shot of a graph

Description automatically generated* A screen shot of a graph

Description automatically generated

*Hình 8. Delay ở ngõ ra R1.*

A screen shot of a graph

Description automatically generated*A screen shot of a graph

Description automatically generated*

*Hình 9. Delay ở ngõ ra R2.*

*A screen shot of a graph

Description automatically generatedA screen shot of a graph

Description automatically generated*

*Hình 10. Delay ở ngõ ra R3.*

Từ các kết quả trên, ta có thể tính được giá trị delay ở các ngõ ra bằng công thức:

TP = (TPHL + TPLH) / 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | R3 | R2 | R1 | R0 |
| TPLH | 1423ps | 713ps | 446ps | 169ps |
| TPHL | 804ps | 1018ps | 804ps | 177ps |
| TP | 1113ps | 865ps | 625ps | 173ps |

Từ kết quả trên, ta có thể thấy delay ở các ngõ ra R3, R2, R1, R0 có sự chênh lệch lớn. Delay thấp nhất nằm ở R0 và cao nhất nằm ở R3.

## 3. Power

A screenshot of a computer screen

Description automatically generated

Công suất trung bình toàn mạch đo được là 1.009uW