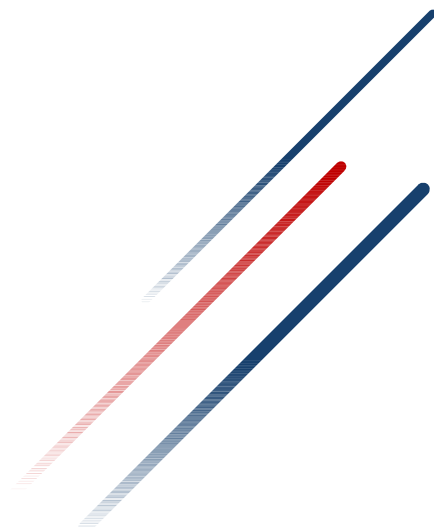


数字逻辑设计实验

薛睿



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ

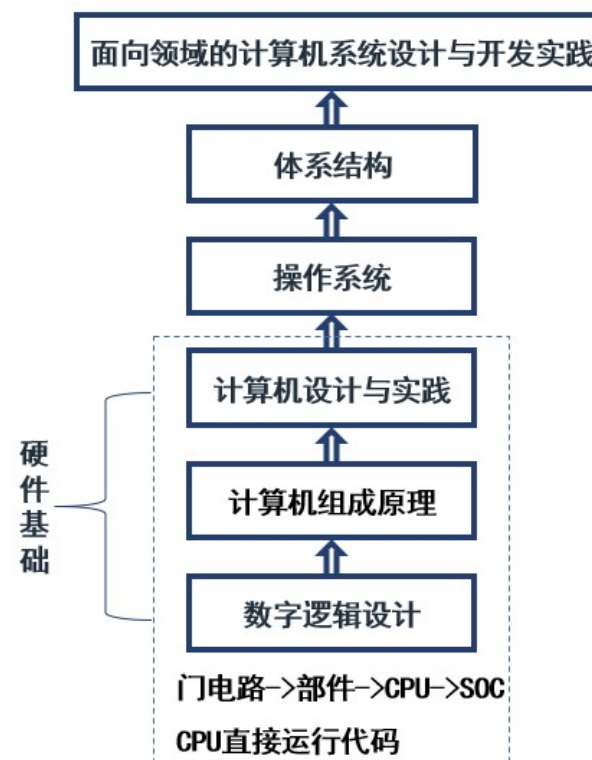


课程介绍



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ

- ❑ 深入理解数字逻辑设计的理论知识
- ❑ 掌握Verilog数字设计基础知识
- ❑ 具备基于FPGA设计数字系统的能力
- ❑ 为后续课程打好基础



课程介绍

□ 实验安排 学时：20学时
 成绩：20分

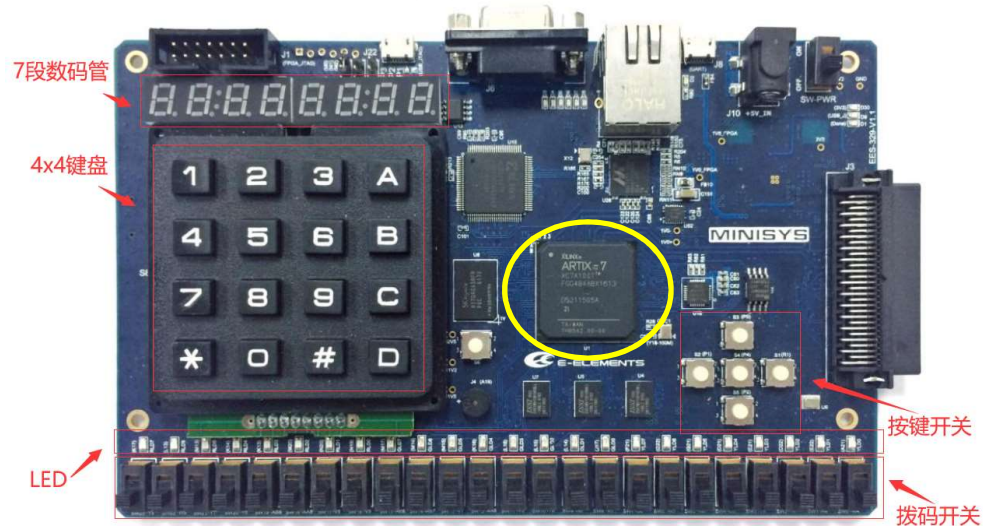
序号	实验项目	学时	分值	重点、难点
1	Vivado使用与多路复用器实现	2	2	熟悉流程、掌握组合逻辑基本语法
2	寄存器设计	2	2	熟悉流程、掌握时序逻辑基本语法
3	计数器设计	2	2.5	计数器设计方法
4	数码管控制器设计	4	3.5	数码管访问原理、计数器设计应用
5	状态机设计	4	4	三段式描述方法
6	综合实验	6	6	模块化设计、调试

实验平台

□ FPGA两大厂商：Xilinx(已被AMD收购) 和Altera(已被Intel收购)

□ Minisys开发板

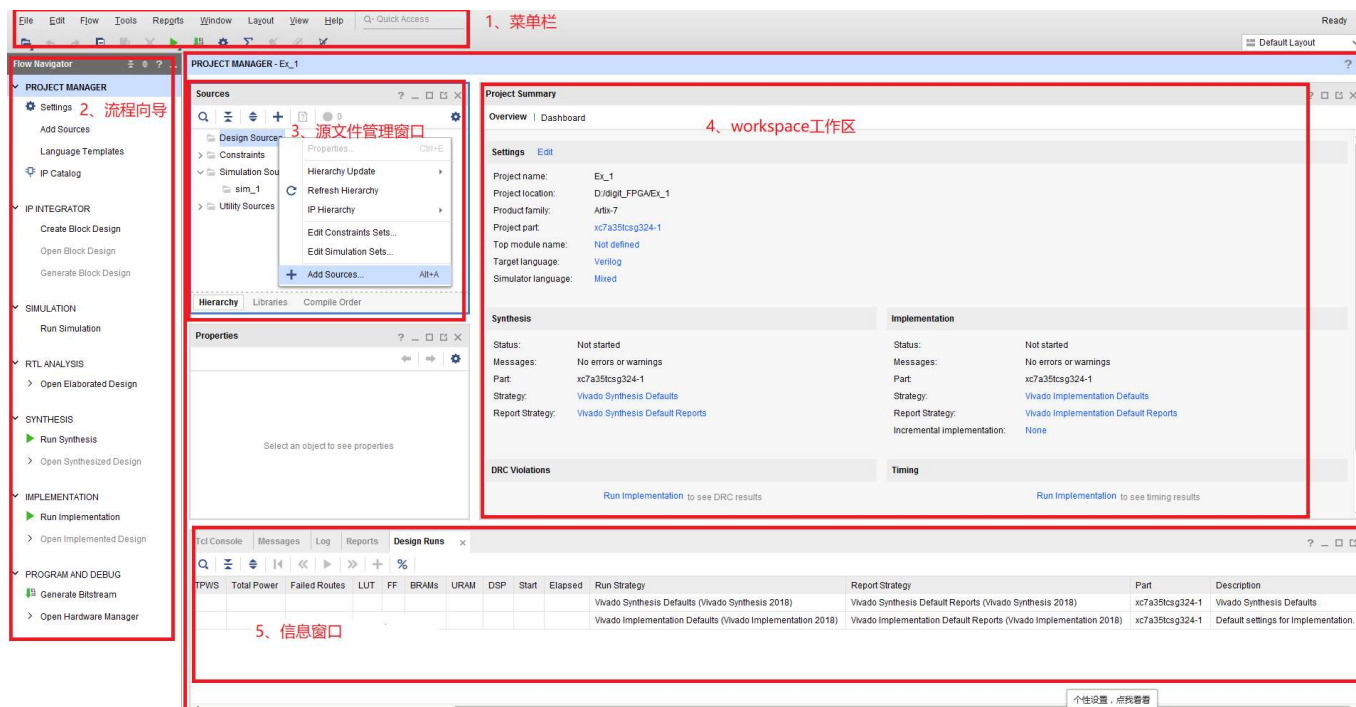
- 以Xilinx **Artix-7™**系列 FPGA为主芯片
- 主芯片型号：**xc7a100tfgg484-1**



Vivado

❑ FPGA厂商Xilinx公司2012年发布的集成开发环境

❑ 集编辑器、逻辑函数库、布线/仿真工具、下载器等



❑ 课程使用版本:

❑ 2018.3 webpack
(无需license)

相关链接

❑ 实验指导书

仓库地址: <https://gitee.com/hitsz-cslab/diglogic>

网页版: <https://hitsz-cslab.gitee.io/diglogic/>

❑ 作业提交网址

<http://10.249.12.98:8000/>

❑ 腾讯文档答疑

<https://docs.qq.com/doc/DWm5nQlViWmhqbmtx>



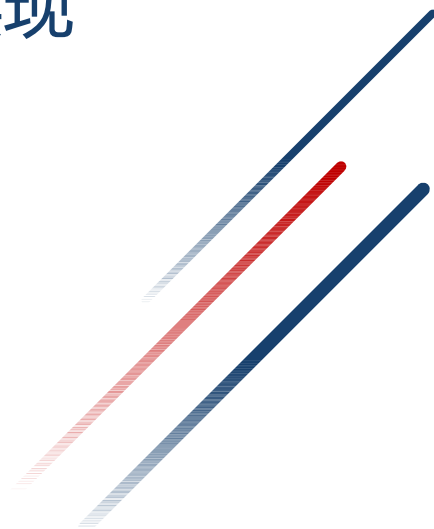
数字逻辑设计

实验1 Vivado使用与多路复用器实现

薛睿



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ



实验目的

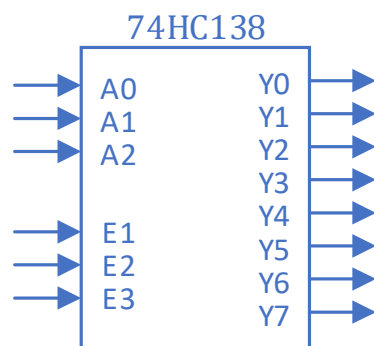


HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ

- ❑ 熟悉MINISYS实验板的功能和使用方法；
- ❑ 掌握Vivado的开发环境及开发流程；
- ❑ 运用Verilog语言描述组合逻辑电路，理解仿真波形。

实验项目一

以3-8译码器为例，在Vivado中建立工程，导入提供的代码，运行综合、实现、生成比特流文件，下载到Minisys开发板，验证结果。



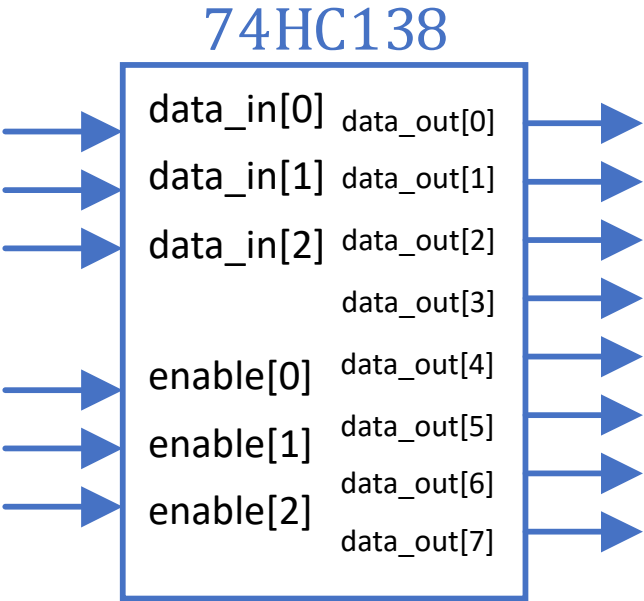
使能信号 $E3E2E1 = 3'b100$ 有效，
否则Y7-0始终输出1

Input			Output							
A2	A1	A0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

接口定义

信号名	属性	位宽	备注
enable	input	3	译码器使能信号
data_in	input	3	译码器输入信号
data_out	output	8	译码器输出信号

```
module decoder_38 (  
    input wire [2:0] enable,  
    input wire [2:0] data_in,  
    output reg [7:0] data_out  
);  
//功能实现代码  
endmodule
```



引脚分配

信号名	部件名	管脚	信号名	部件名	管脚
enable[0]	SW21	Y7	data_out[0]	GLD0	A21
enable[1]	SW22	W9	data_out[1]	GLD1	E22
enable[2]	SW23	Y9	data_out[2]	GLD2	D22
data_in[0]	SW0	W4	data_out[3]	GLD3	E21
data_in[1]	SW1	R4	data_out[4]	GLD4	D21
data_in[2]	SW2	T4	data_out[5]	GLD5	G21
			data_out[6]	GLD6	G22
			data_out[7]	GLD7	F21

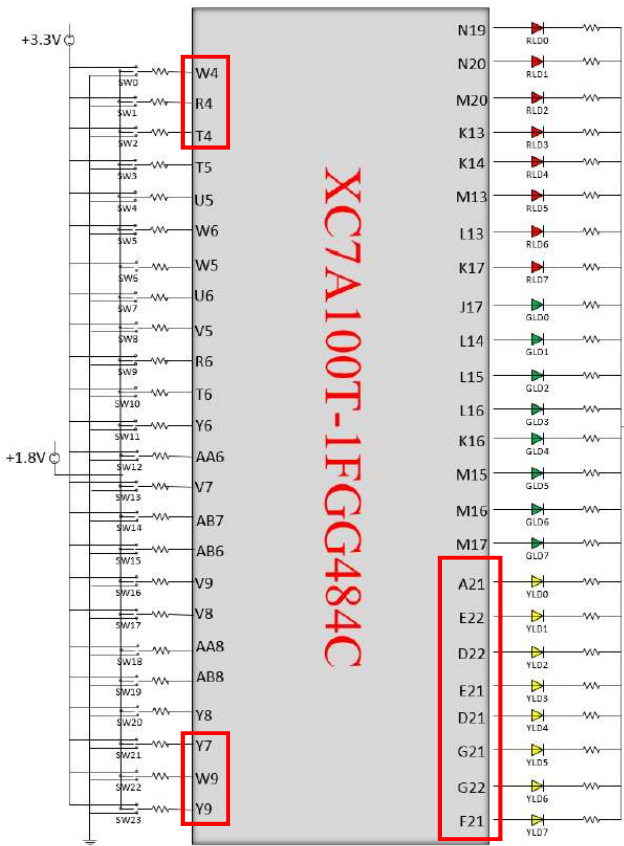


图 1-2 拨码开关、LED 灯电路图

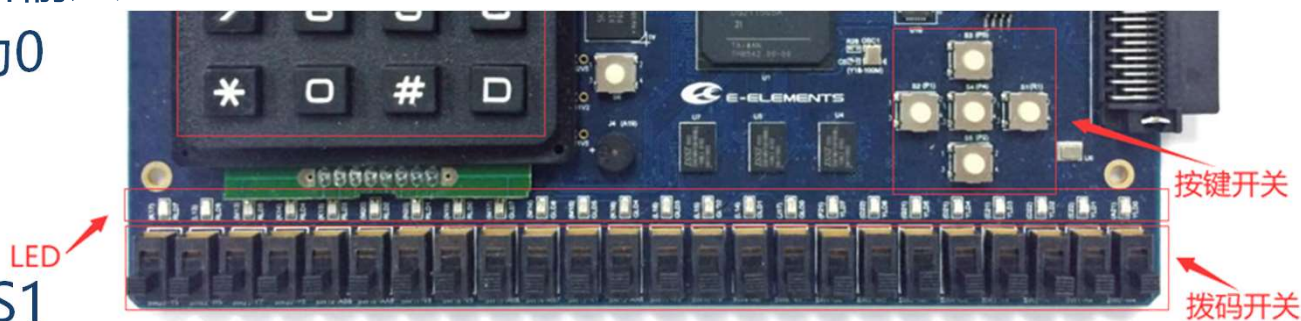
Minisys开发板外设介绍

□ 拨码开关

- 数量：24个
- 部件名：SW23 ~ SW0
- 作用：作为数据输入
- 取值：向下拨为0

□ 按键开关

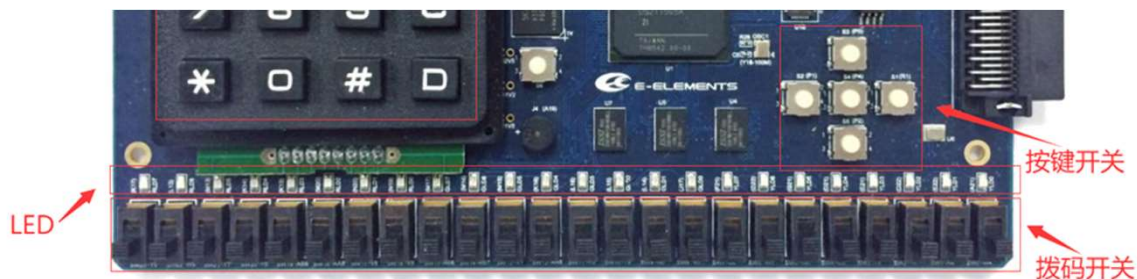
- 数量：5个
- 部件名：S5 ~ S1
- 作用：作为数据输入
- 取值：默认为0，按下为1



Minisys开发板外设介绍

□ LED灯

- 数量：24个（红、绿、黄各8个）
- 部件名：RLD7~0、GLD7~0、YLD7~0
- 作用：显示信号值
- 取值：输入1点亮



注意事项



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ

- ❑ 开发板使用**注意事项**
 - ❑ 插拔接插件前请关闭电路总开关，否则容易损坏器件
 - ❑ 防止静电：不要用手摸电路板、使用完毕装回防静电袋
 - ❑ 保持电路板清洁
 - ❑ 小心轻放，避免不必要的硬件损伤
- ❑ 用microUSB线将实验板的JTAG (J22) 与PC机的USB口相连
 - ❑ 插拔USB线务必先对准，再稍稍用力插拔即可
 - ❑ **禁止过度用力从而损坏micro USB接口！**

注意事项

□ 开发板使用**注意事项**

- 严禁将开发板带出实验室！！
- 严禁将开发板带出实验室！！
- 严禁将开发板带出实验室！！
- 一经发现，将登记并扣分处理，带出放到其他实验室也将扣分处理。

实验步骤

□ 基于Vivado的开发流程:详细步骤参考指导书

- ① 建立工程
- ② 编写RTL
- ③ 添加设计文件
- ④ 编写仿真文件
- ⑤ 添加仿真文件
- ⑥ 进行仿真
- ⑦ 编写约束文件
- ⑧ 添加约束文件
- ⑨ 综合、实现和生成比特流
- ⑩ 开发板验证

数字逻辑设计 (2023秋季)
哈工大 (深圳)

前言

预备知识

Minisys介绍与注意事项

Vivado下载与安装

Vivado开发流程

建立工程

添加设计文件

添加仿真文件

进行仿真

添加约束文件

综合、实现和下板


开发板连接失败排查

仿真调试常用功能

Verilog代码规范

往年的学习总结和经验

建立工程

双击桌面Vivado图标 ，打开
Vivado版本为2018.3，如有自行安装

单击Create Project，创建工程；



验收要求

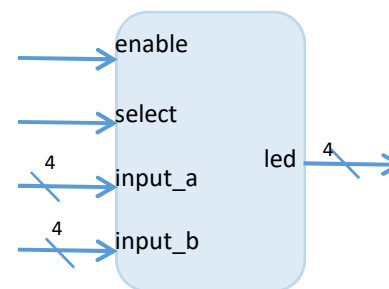


HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ

□ 开发板验证通过 (必须通过)

实验项目二

使用Verilog实现2输入4位多路复用器，拨码开关作为输入，输出驱动LED显示，运行仿真、上板验证。



详细要求：

- 拨码开关SW23作为多路复用器使能信号enable输入；
- 拨码开关SW22作为多路复用器选择信号select输入；
- 拨码开关SW3-SW0作为input_a输入，SW7-SW4作为input_b输入；
- 输出信号需连接到开发板的GLD3-GLD0。
- 使能enable=1有效，select为1，计算a-b作为输出；select为0，计算a+b作为输出。无符号处理，加法无需考虑溢出，减法只测试a>b的情况。

实验内容

□ 实现功能

使能enable=0 时，输出全1；使能enable=1有效，select为1，计算a-b作为输出；select为0，计算a+b作为输出。无符号处理，加法无需考虑溢出，减法只测试a>b的情况。

input				output
enable	selcect	input_a	input_b	led[3:0]
1	1	xxxx	xxxx	input_a - input_b
1	0	xxxx	xxxx	input_a + input_b
0	1	xxxx	xxxx	1111
0	0	xxxx	xxxx	1111

Tips:可以直接用Verilog的+、-操作，也可以自行实现加法器、减法器

接口定义

信号名	属性	位宽	备注
enable	input	1	使能信号
select	input	1	选择信号
input_a	input	4	输入数据a
input_b	input	4	输入数据b
led	output	4	LED显示信号

引脚约束

- 将模块的input/output信号与芯片的物理引脚进行

- 绑定引脚

- 语法格式

set_property PACKAGE_PIN (pin location) [get_ports (pc

set_property PACKAGE_PIN P5 [get_ports sw[0]] # 将sw

- 设置引脚的电气特性

- 语法格式

set_property IOSTANDARD (level:LVC MOS33 etc.) [get_

set_property IOSTANDARD LVCMOS33 [get_ports sw[0]

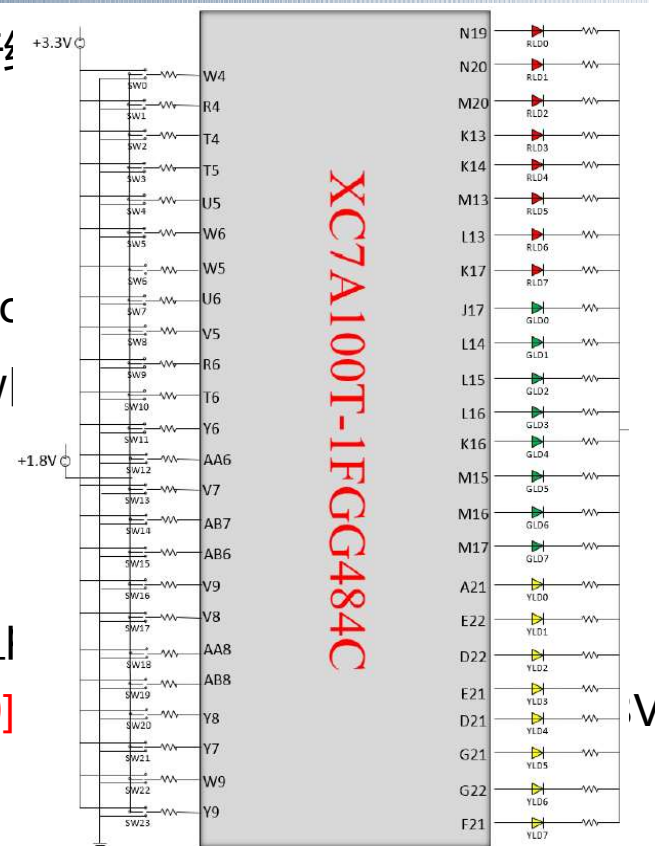


图 1-2 拨码开关、LED 灯电路图

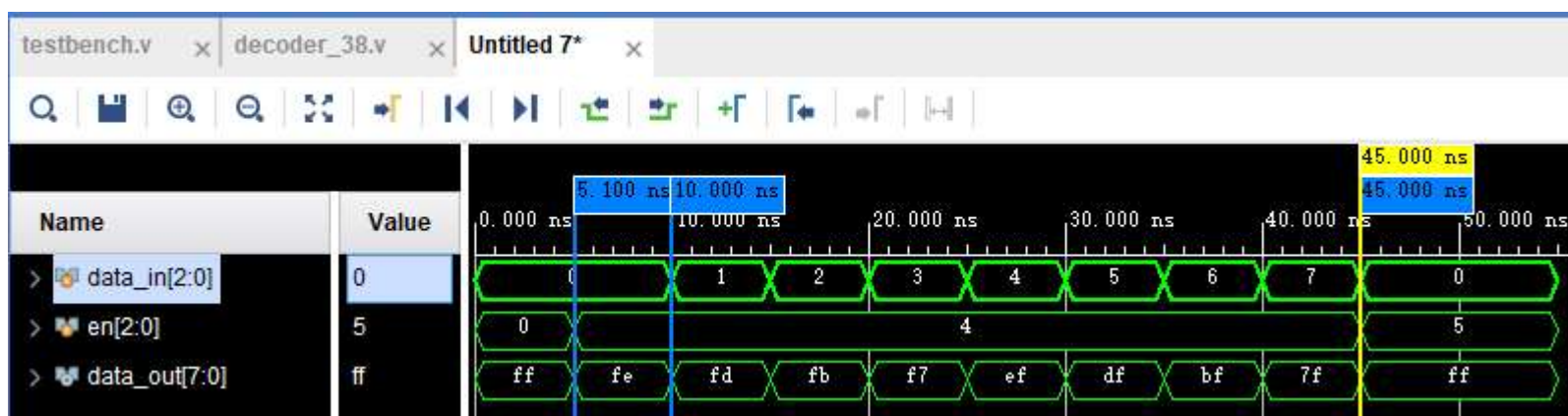
实验步骤



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ

- ❑ 创建工程，工程名为multiplexer;
- ❑ **编写**并添加设计文件multiplexer.v;
- ❑ 添加提供的仿真文件testbench.v，并完成仿真;
- ❑ **编写**并添加约束文件，并综合实现，生成比特流;
- ❑ 将生成的比特流下载到开发板验证;

仿真分析



- (1) 初始态 enable 为 0，输入 data_in 为 0，输出 data_out 为 ff，符合预期；
- (2) 5ns 时，enable 从初始 0 变为 4，使能有效，输入 data_in 仍为 0，输出 data_out 为 fe，符合预期；

.....

详细分析说明参看指导书

课后作业

- ❑ 参考在线指导书“实验1课后作业”一节，对比3个RTL代码的RTL Analysis和Synthesis schematic截图、仿真和下板的情况。
- ❑ 将RTL Analysis和Synthesis schematic截图、仿真与实验的仿真分析写到同一个文件，作出分析说明。

验收要求

□ 课上检查

- 多路复用器仿真、开发板验证通过（1分）

□ 课后提交

- 多路复用器仿真波形分析、RTL Analysis和
Synthesis schematic截图及代码（0.5分）
- 课后作业的RTL Analysis和Synthesis schematic
截图、仿真和相关分析说明（0.5分）

数字逻辑设计（2023秋季） 哈工大（深圳）

前言 >

预备知识 v

Minisys介绍与注意事项

Vivado下载与安装

Vivado开发流程 v

建立工程

添加设计文件

添加仿真文件

进行仿真

添加约束文件

综合、实现和下板

开发板连接失败排查

仿真调试常用功能

Verilog代码规范

往年的学习总结和经验

实验1 Vivado使用与多路复用器实现 >

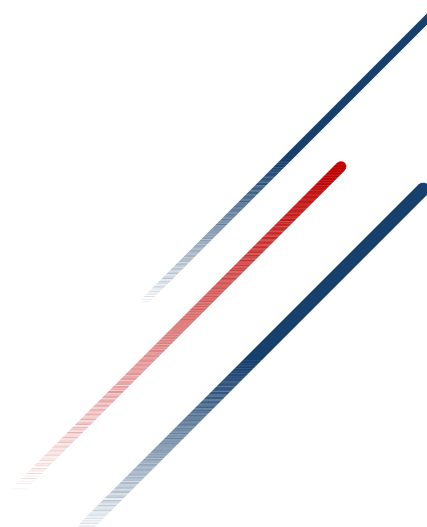
提交要求

- ❑ 提交**DDL**：见作业提交系统，一般为当前实验的下个周末。
- ❑ 注意：如有雷同，**雷同者均0分！**
- ❑ **无出勤记录的同学提交作业不给分。**

开始实验



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ



组合逻辑的Verilog描述-always块

- 使用触发事件为**电平敏感信号**的always块
- 使用always块描述组合逻辑电路时，需用**阻塞赋值**
- 将always模块中使用到的**所有**输入信号和条件判断信号都列在敏感信号列表中（建议估田*）

```
//3-8译码器
module decoder_38 (
    input wire [2:0] data_in,
    input wire [2:0] en, //使能端为3'b100时有效
    output reg [7:0] data_out
);
always @ (*) begin
    if (en == 3'b100)
        case(data_in)
            3'h0:data_out = 8'hfe;
            3'h1:data_out = 8'hfd;
            3'h2:data_out = 8'hfb;
            3'h3:data_out = 8'hf7;
            3'h4:data_out = 8'hfe;
            3'h5:data_out = 8'hdf;
            3'h6:data_out = 8'hbf;
            3'h7:data_out = 8'h7f;
            default:data_out = 8'hff;
        endcase
    else data_out = 8'hff;
end
endmodule
```

Testbench-组合逻辑

```
`timescale 1ns/1ps //1ns表示延时单位，1ps表示时间精度

module decoder_38_sim();
    reg [2:0] data_in; //3位二进制输入
    reg [2:0] en; //3位使能信号
    wire [7:0] data_out; //8位二进制输出

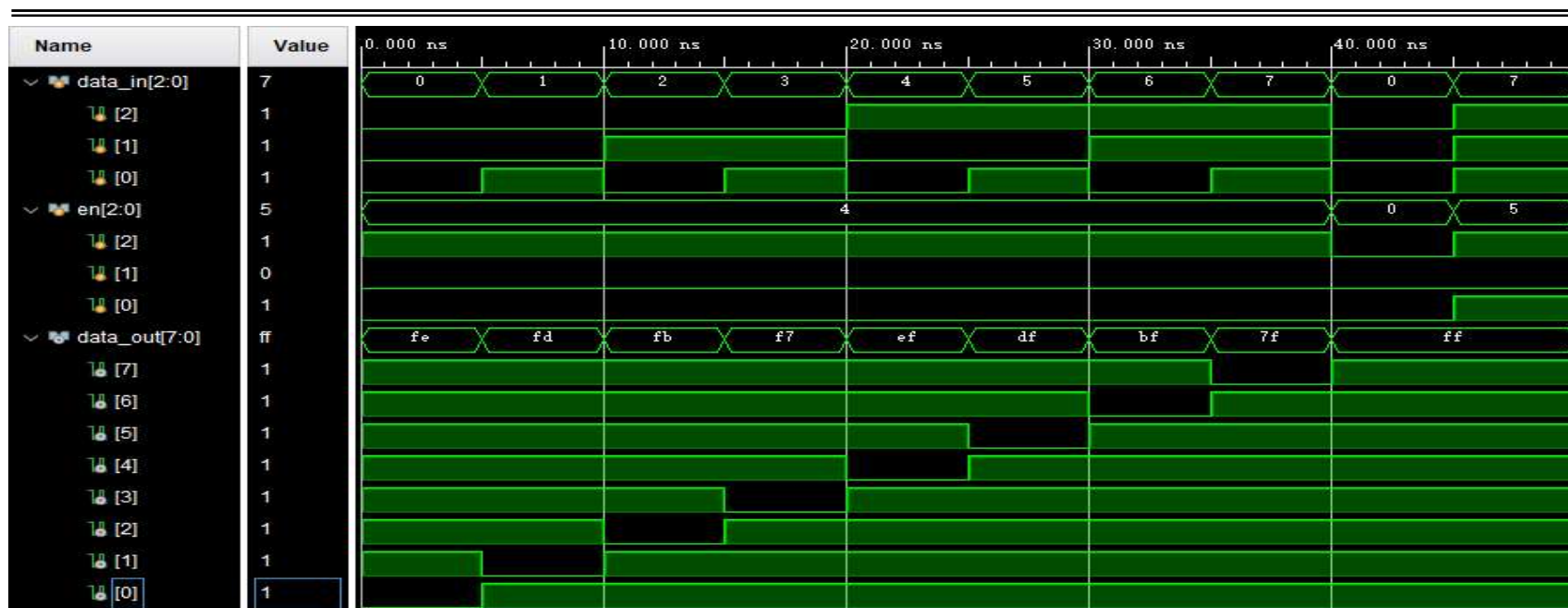
    decoder_38 u_decoder_38( //结合自己的设计模块完成实例化
        .data_in(data_in),
        .en(en),
        .data_out(data_out)
    );

    initial begin
        begin en = 3'b100; data_in = 3'b000; end //构造输入激励信号
        #5 begin en = 3'b100; data_in = 3'b001; end
        #5 begin en = 3'b100; data_in = 3'b010; end
        #5 begin en = 3'b100; data_in = 3'b011; end
        #5 begin en = 3'b100; data_in = 3'b100; end
        #5 begin en = 3'b100; data_in = 3'b101; end
        #5 begin en = 3'b100; data_in = 3'b110; end
        #5 begin en = 3'b100; data_in = 3'b111; end
        #5 begin en = 3'b000; data_in = 3'b000; end //使能端无效
        #5 begin en = 3'b101; data_in = 3'b111; end //使能端无效
        #5 $stop; //立即结束仿真
    end

endmodule
```

- 仿真模块没有输入、输出端口
- 激励信号数据类型要求为`reg`，以便保持激励值不变，直至执行到下一跳激励语句为止
- 输出信号数据类型要求为`wire`，以便能随时跟踪激励信号的变化
- `initial`块只能执行一次，不带触发条件。

仿真分析



0ns时，使能端为1'b100有效， data_in信号为1'b000， data_out输出为8'b11111110 (低电平有效)；

5ns时，使能端为1'b100有效， data_in信号为1'b001， data_out输出为8'b111111101 (低电平有效)；

.....

45ns时，使能端为1'b101无效， data_in信号为1'b111， data_out输出为8'b11111111 (低电平有效)