

# 数字逻辑设计

王鸿鹏

计算机科学与技术学院

wanghp@hit.edu.cn

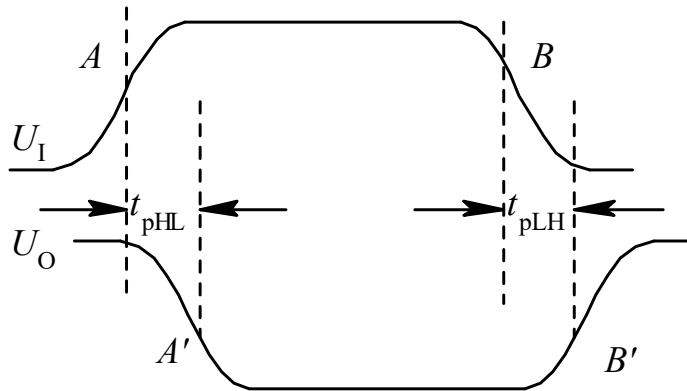
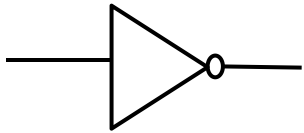
# 组合逻辑电路设计中的冒险问题

---

- 组合电路中的冒险 (hazard / 险象)
  - 门延迟
  - 冒险的分类
- 冒险的判断及消除
  - 代数法
  - 卡诺图法

# 门延迟

当输入发生变化，逻辑门的输出不会同步发生改变



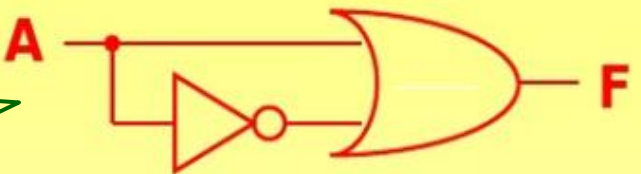
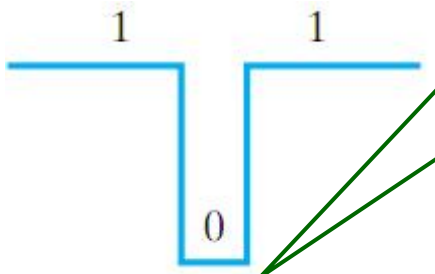
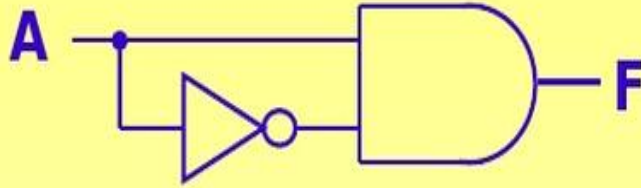
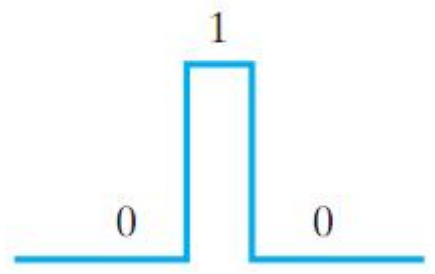
可能引发非预期的尖峰干扰

- 对于组合逻辑电路, 多数情况下可以忽略门的延迟.
- 但是, 门的延迟对时序电路的影响不容忽视

# 组合电路中的冒险/险象

当一个逻辑门的两个输入端的信号同时向相反方向变化，则该电路存在**竞争**。

两路信号到达逻辑门的时间存在差异。

存在竞争的电路	险象
	
	

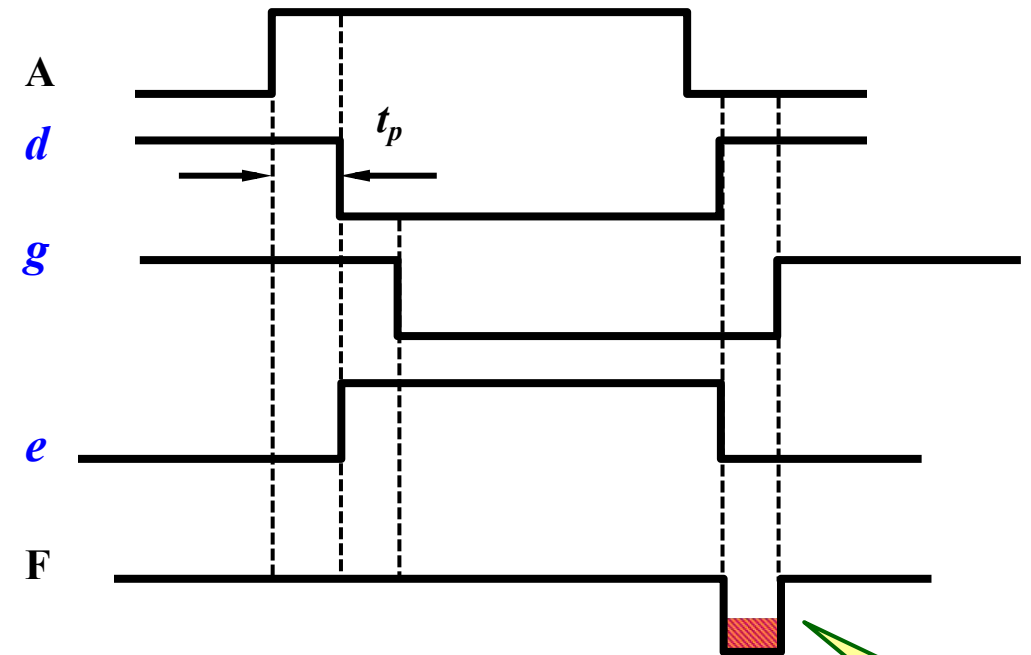
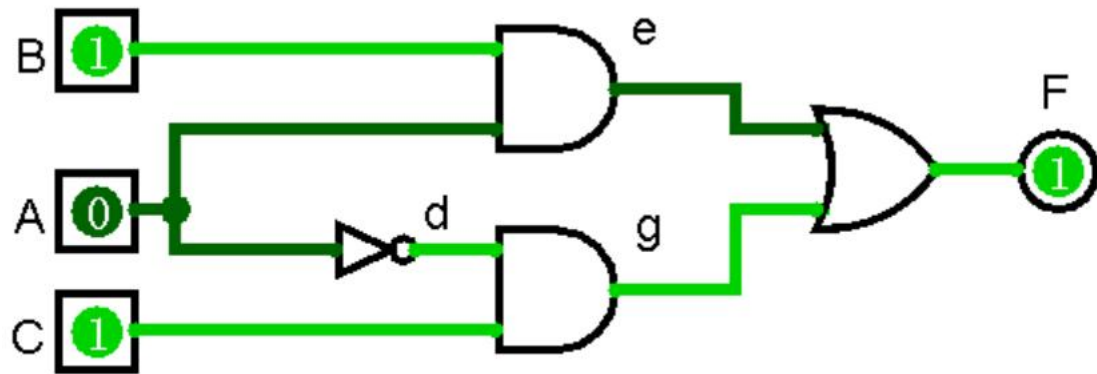
逻辑门因输入端的竞争而导致输出了不应有的尖峰干扰脉冲（又称过渡干扰脉冲）称为**冒险**。

# 组合电路中的险象

$$F = AB + \bar{A}C$$

if  $B=C=1$ ,

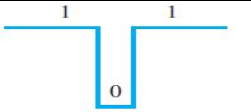
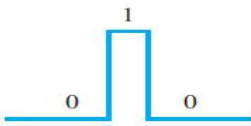
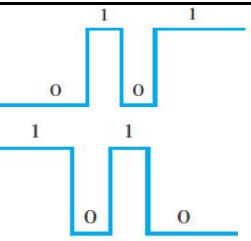
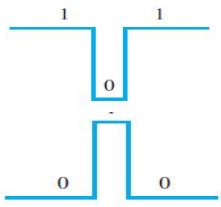
$F=1$  (理论上)



静态1冒险

实际上

# 组合电路中的险象/冒险类型

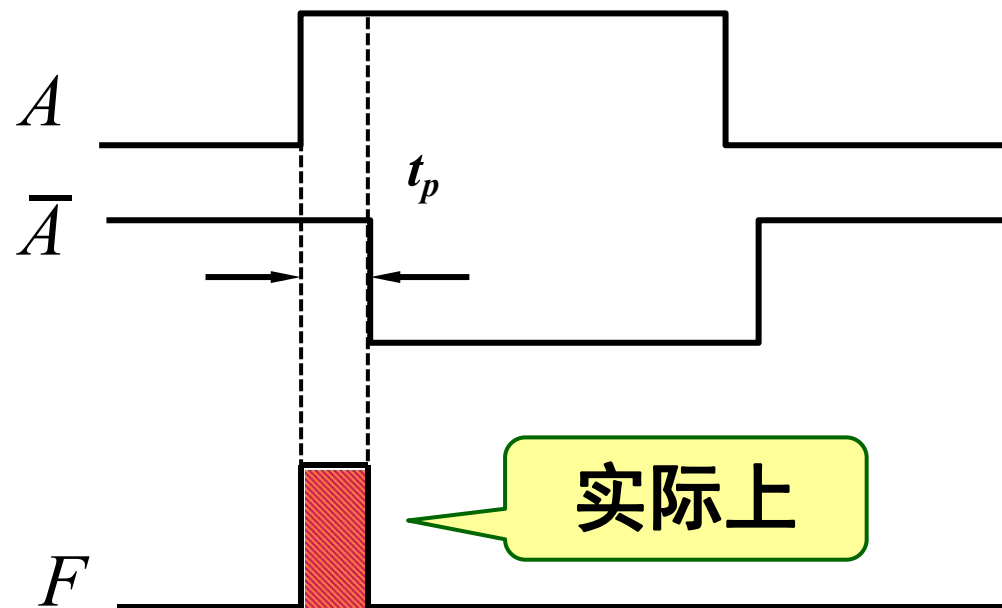
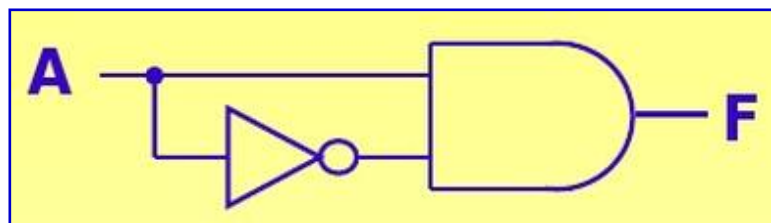
类型	概念		输出波形	备注
静态冒险	输入信号发生一次变化只引起 <b>一个</b> 错误信号脉冲	静态1冒险		
		静态0冒险		
动态冒险	输入信号发生一次改变引起 <b>多个</b> 错误信号脉冲			有动态冒险，就有静态冒险
功能冒险	<b>多个</b> 输入信号的变化不同步而产生的错误信号脉冲			逻辑功能决定的，无法从设计上消除冒险
逻辑冒险	<b>一个</b> 输入信号的变化不同步而产生的错误信号脉冲			

# 静态冒险

$$F = (A+B)(\bar{A}+C)$$

if  $B=C=1$ ,

$F=0$  (理论上)



静态0冒险

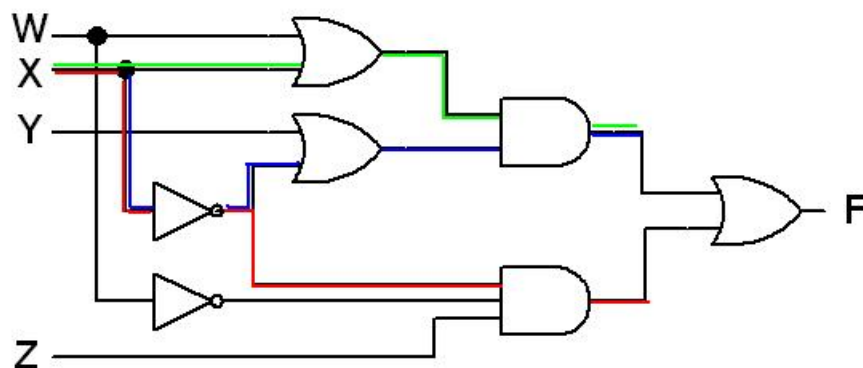
# 组合电路中的动态冒险

- 当输入发生一次变化，输出将发生多次变化。
- 通常发生在多级电路情况下
- 不同的路径有不同的传输延迟

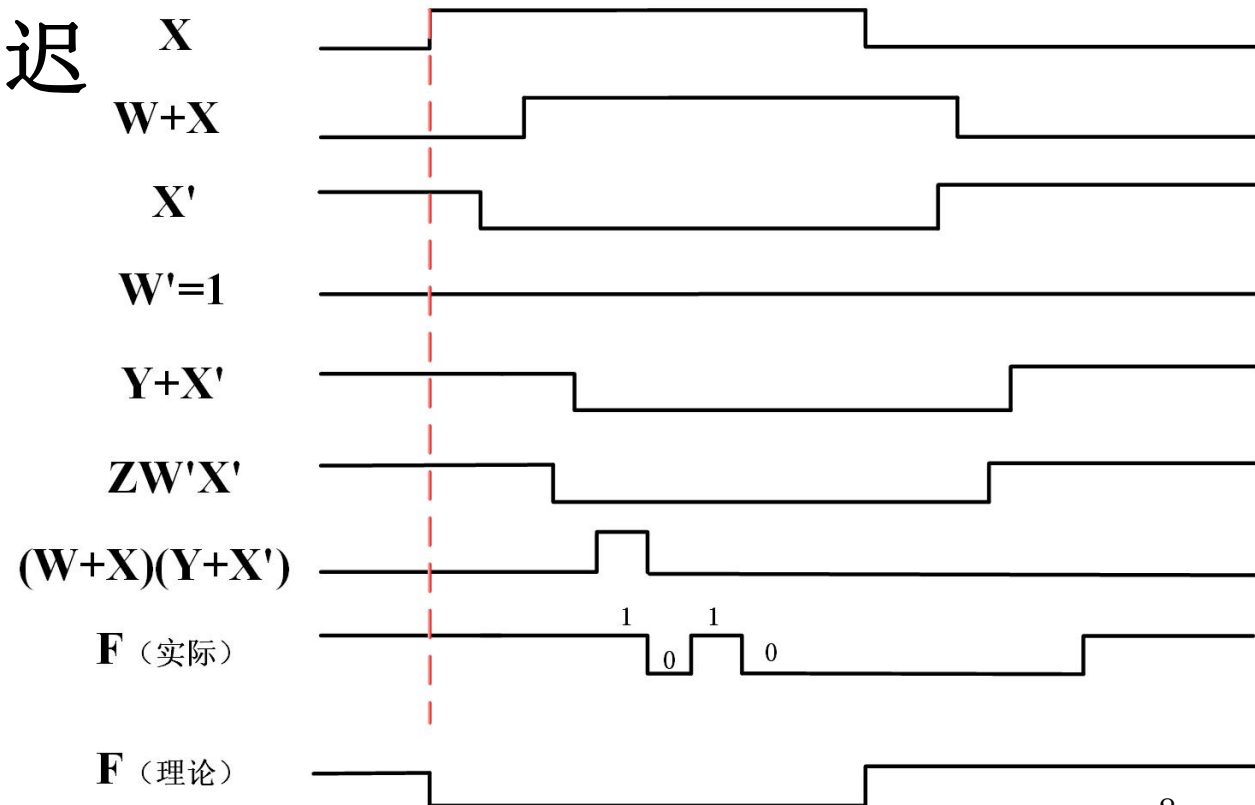
例：  $F = (W + X)(Y + X') + ZW'X'$

if  $WYZ = 001$ ,  $F = X'$

from X to F: 存在3条路径



假设时延如下：或>与>非





# 组合电路中的功能冒险

$F(1,0,0) \rightarrow F(1,1,1)$ , 若B和C变化速度不同:

BC \ A	BC			
	00	01	11	10
0	0	0	1	0
1	1	1	1	0

**C 较快:** 初值 100  $\rightarrow$  过渡值 101  $\rightarrow$  终值 111  $F$ 值 1  $\rightarrow$  1  $\rightarrow$  1

**B 较快:** 初值 100  $\rightarrow$  过渡值 110  $\rightarrow$  终值 111  $F$ 值 1  $\rightarrow$  0  $\rightarrow$  1

静态1冒险

真值表

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

# 组合逻辑电路设计

---

- 组合电路中的冒险
  - 门延迟
  - 冒险的分类
- 冒险的判断及消除
  - 代数法
  - 卡诺图法

# 险象/冒险的判断——代数法

---

检查表达式中是否存在某个变量 $X$

它同时以原变量和反变量的形式出现，

并能在特定条件下简化成下面形式之一：

$$X + \overline{X}$$

$$X \cdot \overline{X}$$

# 险象判断——例子

---

$$F = \overline{A}\overline{C} + \overline{A}B + AC$$

分别检查C, A

C:

$$AB=00$$

$$F = \overline{C}$$

$$AB=01$$

$$F = 1$$

$$AB=10$$

$$F = C$$

$$AB=11$$

$$F = C$$

A:

$$BC=00$$

$$F = \overline{A}$$

$$BC=01$$

$$F = A$$

$$BC=10$$

$$F = \overline{A}$$

$$BC=11$$

$$\underline{F = A + \overline{A}}$$

没有同时出现C和 $\overline{C}$ , 无险象

静态1冒险

# 险象判断——例子

$$F=(A+B)(\bar{A}+C)(\bar{B}+C)$$

分别检查变量:  $A, B$

$B$ :

$A \ C=0 \ 0$	$F=B\bar{B}$
---------------	--------------

$A \ C=0 \ 1$	$F=B$
---------------	-------

$A \ C=1 \ 0$	$F=0$
---------------	-------

$A \ C=1 \ 1$	$F=1$
---------------	-------

$A$ :

$B \ C=0 \ 0$	$F=A\bar{A}$
---------------	--------------

$B \ C=0 \ 1$	$F=A$
---------------	-------

$B \ C=1 \ 0$	$F=\bar{A}$
---------------	-------------

$B \ C=1 \ 1$	$F=1$
---------------	-------

# 险象判断——卡诺图法

化简后是否存在相切的卡诺圈

C \ AB	00	01	11	10
	0	1	1	
1	1	1		

$$F_1 = A'C + BC'$$

$A=0, B=1 \rightarrow F_1 = C + C'$

C \ AB	00	01	11	10
	0	1	0	0
1	0	1	1	0

$$F_2 = (A' + C)(B + C')$$

$A=1, B=0 \rightarrow F_2 = CC'$

# 卡诺图法判断险象的例子

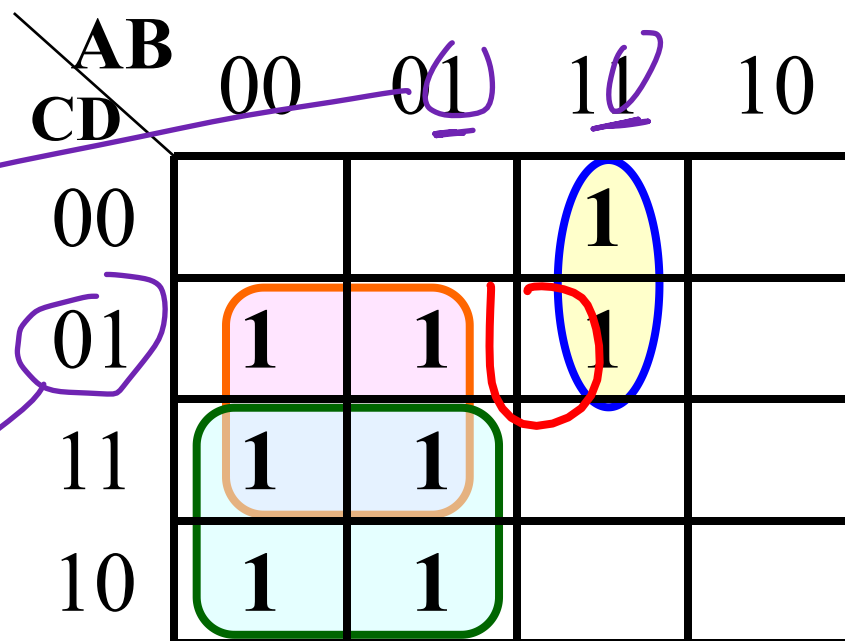
$$F = A'D + A'C + ABC'$$

请判断是否存在险象？

存在卡诺圈相切

$$B=D=1, C=0 \longrightarrow F = A + A'$$

发生险象



# 险象的消除——1

## ① 添加卡诺圈

C \ AB				
	00	01	11	10
0		1	1	
1	1	1		

$$F_1 = A'C + BC' + \boxed{A'B}$$

$$A=0, B=1 \longrightarrow F_1=1$$

C \ AB				
	00	01	11	10
0	1	1	0	0
1	0	1	1	0

$$F_2 = (A' + C)(B + C') \boxed{(A' + B)}$$

$$A=1, B=0 \longrightarrow F_2=0$$



# 险象的消除

添加一个包含相邻单元的新项

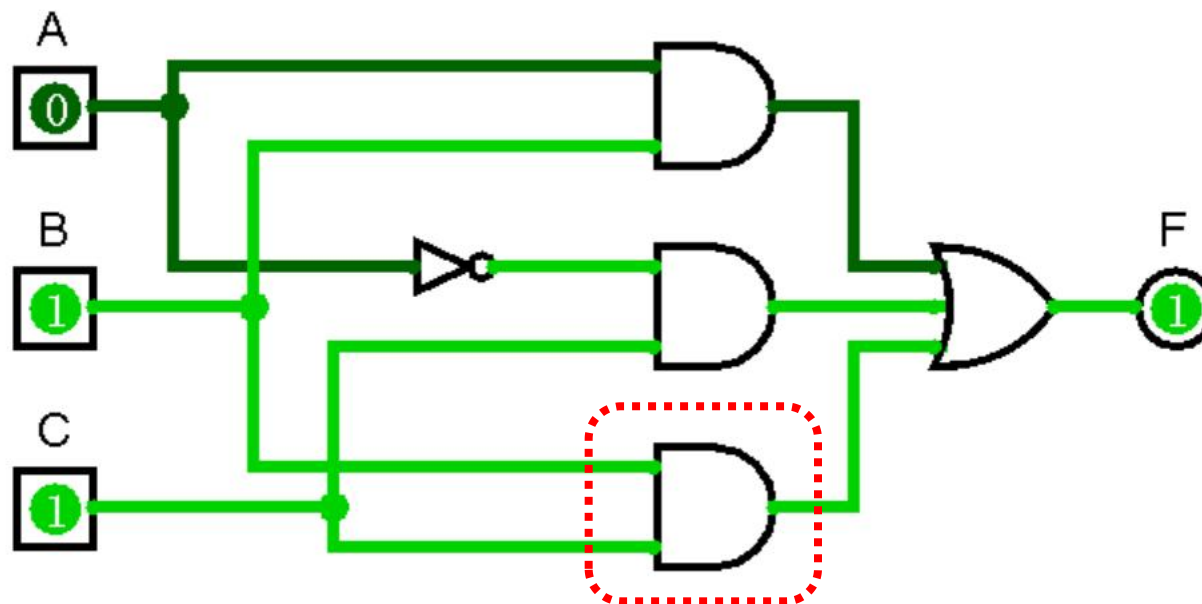
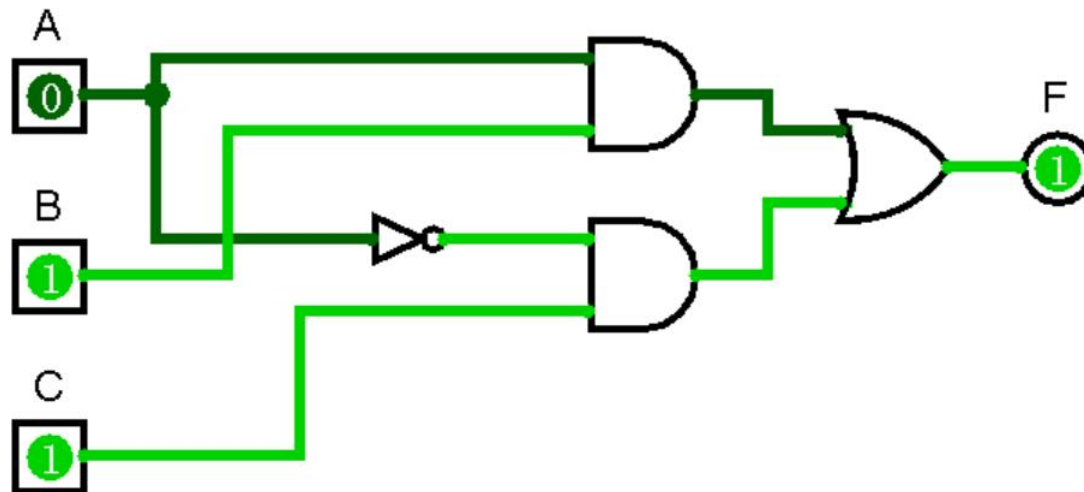
$AB \backslash CD$	00	01	11	10
00	0	0	0	1
01	0	1	1	1
11	1	1	0	0
10	1	1	0	0

# 险象的消除——2

## ② 添加冗余项

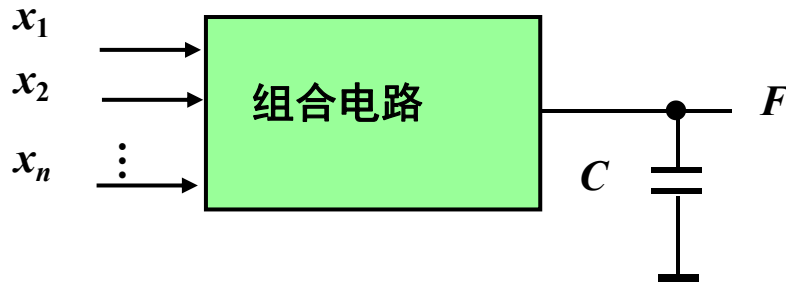
$$F = AB + A'C$$

$$F = AB + A'C + \mathbf{BC}$$

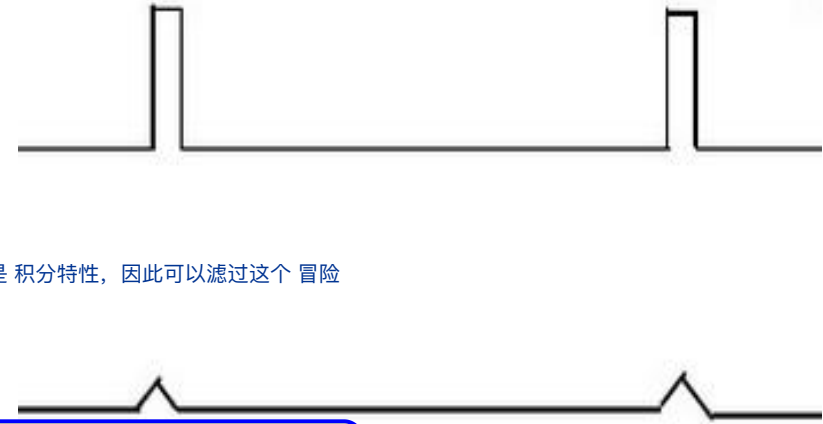


# 险象的消除——其他方法

## ③ 添加滤波电容

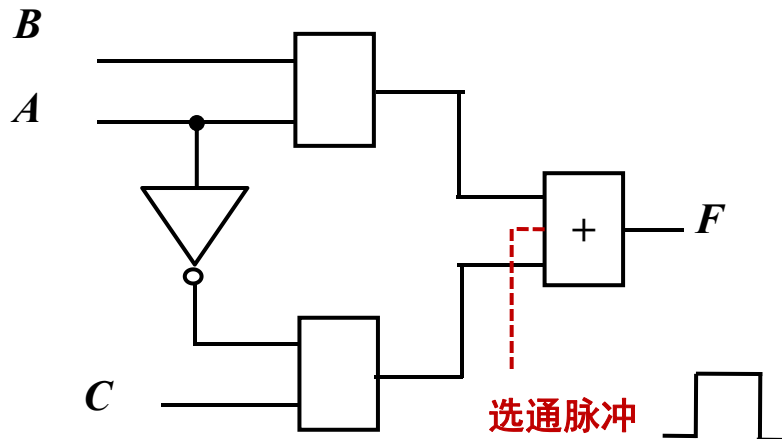


电容是积分特性，因此可以滤过这个冒险

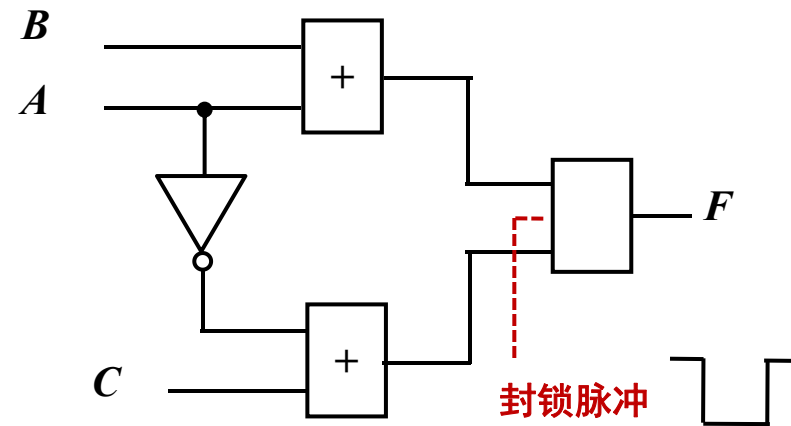


## ④ 加封锁/选通脉冲

FPGA设计中常用



对静态1冒险，输入端加选通信号



对静态0冒险，输入端加封锁信号