

# 王靳

☎ (+86) 158-1687-0583 · ✉ wangfiox@hotmail.com · 🌐 github.com/kingfiox · 📝 blog.kingfiox.work

作为一名计算机专业的学生，我对嵌入式体系结构有浓厚的兴趣，比较喜欢“玩板子”，喜欢软硬件协同开发。具有相对扎实的编程基础，热衷于刷各大学校的实验。在校期间参与实验室项目，对 nvm 存储有一些了解。

## 🏠 教育背景

2022.09 至 哈尔滨工业大学（深圳）· 计算机科学  
今 综测: 79/330 （大一）

## 🔧 专业技能

熟悉 🐧 Linux, Rust, Haskell, C/C++, Chisel, Verilog

## 🏆 获奖情况

华为毕昇杯	（国）三等奖	2024 年 8 月
大一年度项目	（校）优秀奖	2024 年 2 月

## </> 项目经历

华为毕昇杯	比赛参赛项目	2024 年 02 月 – 2024 年 12 月
-------	--------	---------------------------

Rust, RISC-V, 编译原理

将 Sysy(subset of C) 编译成 riscv 汇编，能被 riscv-gcc 汇编 & 链接成 elf, 并在开发版上运行。

个人主要完成以下工作：

- 基于弦图寄存器分配
- 基于表调度的指令调度
- 基于 Pettis-Hansen code layout 的块重排（二进制优化）
- 从中端 IR 到后端 IR 的指令选择
- 一些窥孔优化, 指令融合, 死代码消除等

mini open mp, 线程库	个人项目	2024 年 10 月
-------------------	------	-------------

RISC-V, C, 操作系统

这个是与毕昇杯编译器配套的项目，用于自动并行。一开始是用汇编写的(2024/04)，赛后用 C with inline asm 重写了一遍(2024/10)

- 参考了 musl libc 中 pthread\_create 的实现
- 使用了一些编译器魔法，例如控制寄存器分配等
- 使用了一些 clang 的 builtin 魔法，例如获取栈指针的位置等
- 使用了 clone 系统调用，精心选择线程创建的参数

RISC-V 五级流水	学校大作业(附加题)	2024 年 06 月 – 2024 年 08 月
-------------	------------	---------------------------

Chisel, Verilog, RISC-V, 计算机组成原理

实验报告 🌐 <https://github.com/KINGFIOX/minirv/tree/main/report>

- 基于 Chisel 实现的五级流水
- 实现了静态分支预测、数据前递

xv6 mit os lab	学校实验	2024 年 10 月 – 2024 年 12 月
----------------	------	---------------------------

C, RISC-V, 操作系统

<b>南京大学计算机基础实验</b>	<b>学校实验</b>	2024 年 10 月 – 2024 年 12 月
C, i386, 计算机组成原理, 操作系统		
<b>北京大学操作系统实验</b>	<b>学校实验</b>	2024 年 11 月 – 2024 年 12 月
C, i386, 操作系统		
<b>哈深计组实验</b>	<b>学校实验(附加题)</b>	2024 年 05 月 – 2024 年 06 月
Chisel, Verilog		
> 完成了 ICache, DCache, 在学校实验的基础上, 实现了可调参的组相联 Cache		

## 科研经历

---

### **PVLDBv18\_2025 二作在发**

C++, linux, nvm, 多线程

大一下(2023 年 06 月)进组, 主要学习了 nvm 存储的特性, C++, 多线程的相关知识

## 学生工作经历

---

<b>计算机十班班长</b>	2022 年 09 月 – 至今
<b>计算机学院学生会权益部成员</b>	2023 年 3 月 – 2024 年 6 月