

Instituto Tecnológico de Costa Rica

Área Académica de Ingeniería en Computadores

CE3201- Taller de Diseño Digital

II Semestre 2019

Investigación

Tarea 1

Kenneth Jeanpol Alvarado Mendez, 2015095715 Grupo 01

Profesor: Alejandro Vargas

22 de agosto de 2019

Índice

1. Flip Flop JK	3
1.1. Tabla de Verdad del JK	3
1.2. Testbench	3
2. Flip Flop SR	4
2.1. Tabla de Verdad del SR	4
2.2. Esquemático del Flip Flop SR	4
2.3. Testbench	5

1. Flip Flop JK

1.1. Tabla de Verdad del JK

J	K	CLK	Q	\overline{Q}	
0	0	\uparrow	Q_0	\overline{Q}_0	No cambia
0	1	\uparrow	0	1	RESET
1	0	\uparrow	1	0	SET
1	1	\uparrow	Q_0	\overline{Q}_0	Basculación

Figura 1: Tabla de Verdad del Flip Flop JK

1.2. Testbench

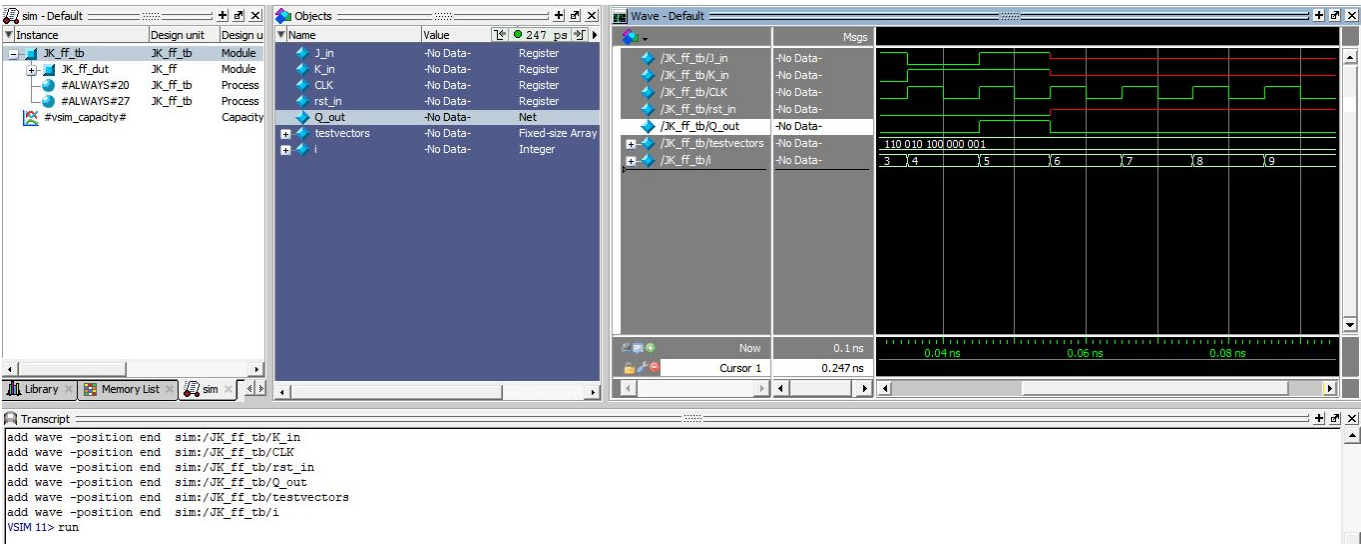


Figura 2: Testbench en Altera del Flip Flop JK

2. Flip Flop SR

2.1. Tabla de Verdad del SR

Operación	Entradas		Salidas	
	S	R	Q	\bar{Q}
Memoria	0	0	Q_0	\bar{Q}_0
Reset	0	1	0	1
Set	1	0	1	0
Prohibido	0	0	0	0

Figura 3: Tabla de Verdad del Flip Flop SR

2.2. Esquemático del Flip Flop SR

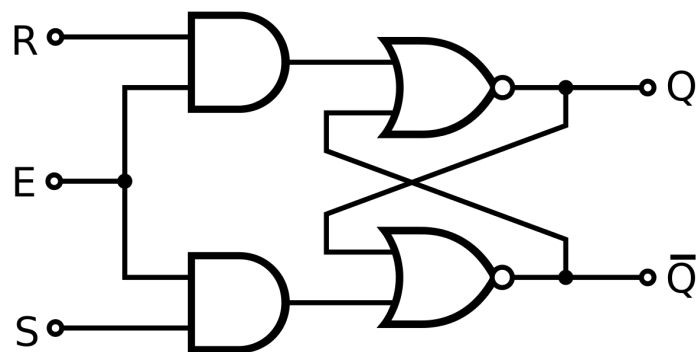


Figura 4: Configuración del Flip Flop SR con compuertas lógicas

2.3. Testbench

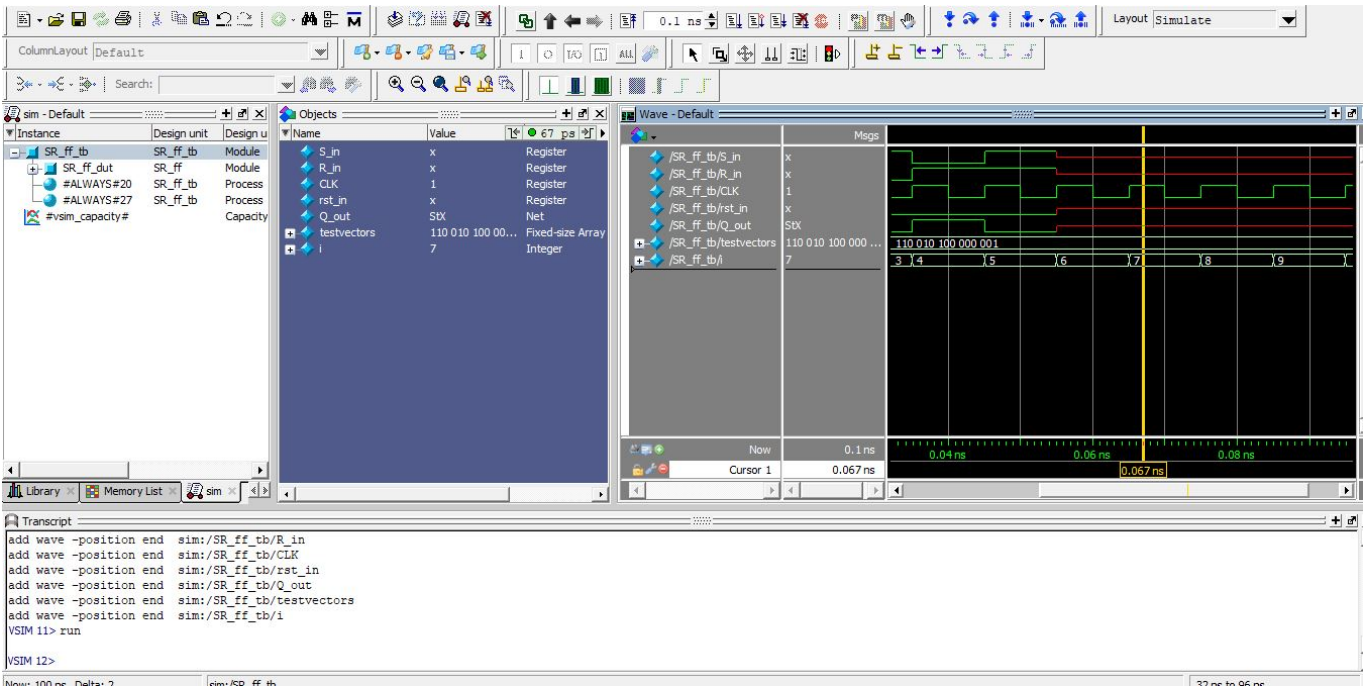


Figura 5: Testbench en Altera del Flip Flop JK